

# Zynq UltraScale+

## 开发平台

### Z19-P 开发板



## 文档版本控制

文档版本	修改内容记录
REV1.0	创建文档

## 目 录

文档版本控制 .....	2
一、 开发板简介 .....	5
二、 ACU19EG 核心板 .....	8
(一) 简介 .....	8
(二) ZYNQ 芯片 .....	9
(三) DDR4 DRAM .....	10
(四) QSPI Flash .....	19
(五) eMMC Flash .....	20
(六) 时钟配置 .....	21
(七) 电源 .....	23
(八) 结构图 .....	25
(九) 连接器管脚定义 .....	26
三、 扩展板 .....	42
(一) 简介 .....	42
(二) PCIE3.0 X16 接口 .....	43
(三) M.2 接口 .....	45
(四) DP 显示接口 .....	46
(五) USB3.0 接口 .....	47
(六) 千兆以太网接口 .....	49
(七) USB Uart 接口 .....	50
(八) Micro SD 卡座 .....	51
(九) FMC 连接器 .....	52
(十) JTAG 调试口 .....	62
(十一) EEPROM 和温度传感器 .....	63
(十二) LED 灯 .....	64
(十三) 拨码开关配置 .....	64
(十四) 电源 .....	65
(十五) 风扇 .....	66
(十六) 结构尺寸图 .....	67

芯驿电子科技(上海)有限公司基于 XILINX Zynq UltraScale+ MPSoCs 开发平台的开发板(型号: Z19-P) 2022 款正式发布了, 为了让您对此开发平台可以快速了解, 我们编写了此用户手册。

这款 MPSoCs 开发平台采用核心板加扩展板的模式, 方便用户对核心板的二次开发利用。核心板使用 XILINX Zynq UltraScale+ EG 芯片 ZU19EG 的解决方案, 它采用 Processing System(PS)+Programmable Logic(PL)技术将四核 ARM Cortex-A53 和 FPGA 可编程逻辑集成在一颗芯片上。另外核心板上带有 9 片 DDR4 SDRAM 芯片(1GB 颗粒), 1 片 32GB 的 eMMC 存储芯片和 2 片 512Mb 的 QSPI FLASH 芯片。

在底板设计上我们为用户扩展了丰富的外围接口, 比如 2 路 FMC\_HPC、1 路 M.2 SSD 接口、1 路 USB3.0 Type-C 接口、1 路千兆以太网接口、2 路 UART 接口、1 路 PCIE3.0X16 金手指、1 路 TF 卡接口。满足用户各种高速数据交换, 数据存储, 视频传输处理, 深度学习, 人工智能以及工业控制的要求, 是一款“专业级”的 ZYNQ 开发平台。为高速数据传输和交换, 数据处理的前期验证和后期应用提供了可能。相信这样的一款产品非常适合从事 MPSoCs 开发的学生、工程师等群体。



## 一、 开发板简介

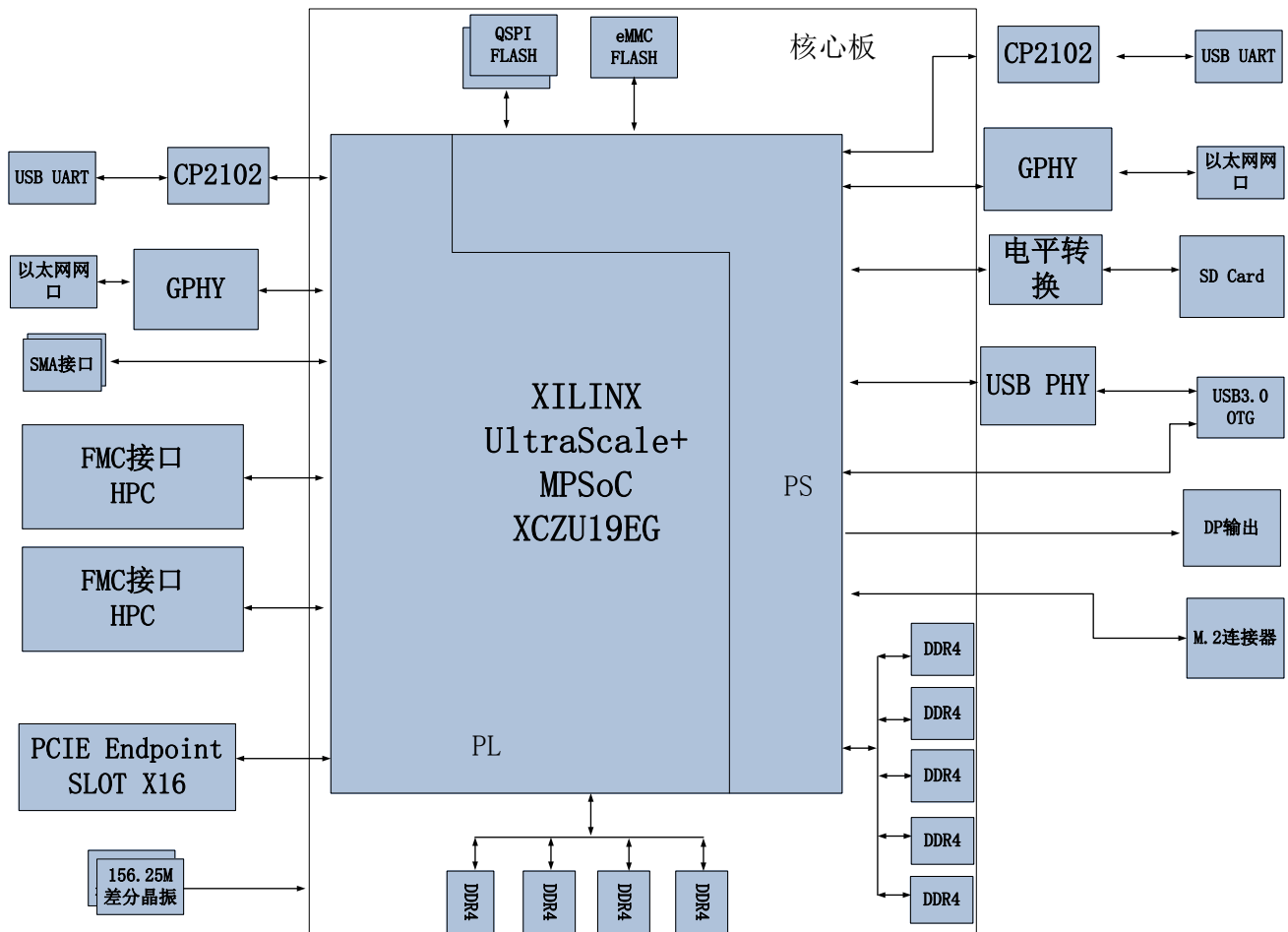
在这里，对这款 Z19-P MPSoCs 开发平台进行简单的功能介绍。

开发板的整个结构，继承了我们一贯的核心板+扩展板的模式来设计的。核心板和扩展板之间使用高速板间连接器连接。

核心板主要由 ZU19EG + 9 个 DDR4 + eMMC + 2 个 QSPI FLASH 的最小系统构成。主芯片采用 Xilinx 公司的 Zynq UltraScale+ MPSoCs 系列的芯片，型号为 XCZU19EG-2FFVC1760I。ZU19EG 芯片可分成处理器系统部分 Processor System ( PS ) 和可编程逻辑部分 Programmable Logic ( PL )。在 ZU19EG 芯片的 PS 端挂了 5 片 DDR4, PL 端挂了 4 片 DDR4，每片 DDR4 容量高达 1G 字节，使得 ARM 系统和 FPGA 系统能独立处理和存储的数据的功能。PS 端的 32GB eMMC FLASH 存储芯片和 2 片 512Mb 的 QSPI FLASH 用来静态存储 MPSoCs 的操作系统、文件系统及用户数据。

底板为核心板扩展了丰富的外围接口，其中包含 2 路 FMC\_HPC、1 路 M.2 SSD 接口、1 路 mini\_DP 接口、1 个 USB3.0 OTG 接口、1 路千兆以太网接口、2 路 UART 接口、1 路 PCIeX16 金手指和一些按键 LED。

下图为整个开发系统的结构示意图：



通过这个示意图，我们可以看到，我们这个开发平台所能含有的接口和功能。

- ZU19EG 核心板

由 ZU19EG+4GB 带 ECC DDR4( PS )+4GB DDR4( PL )+32GB eMMC FLASH + 1Gb QSPI FLASH 组成，另外有 2 个晶振提供时钟，一个单端 33.3333MHz 晶振提供给 PS 系统，一个差分 200MHz 晶振提供给 PL 逻辑 DDR 参考时钟。

- PCIe x16 接口

支持 PCI Express 3.0 标准，提供标准的 PCIe x16 高速数据传输接口，单通道通信速率可高达 8GBaud。

- M.2 接口

1 路 PCIe x1 标准的 M.2 接口，用于连接 M.2 的 SSD 固态硬盘，通信速度高达 6Gbps。

- DP 输出接口

1 路标准的 Display Port 输出显示接口，用于视频图像的显示。最高支持 4K@30Hz 或者 1080P@60Hz 输出。

- USB3.0 Type-C 接口

1 路 USB3.0 OTG 接口，USB 接口类型为 TYPE C。支持 HOST，SLAVE，OTG 三种模式。

- 千兆以太网接口

1 路 10/100M/1000M 以太网 RJ45 接口。用于和电脑或其它网络设备进行以太网数据交换。

- USB Uart 接口

2 路 Uart 转 USB 接口，PS 和 PL 各 1 路。用于和电脑通信，方便用户调试。串口芯片采用 Silicon Labs CP2102GM 的 USB-UART 芯片，USB 接口采用 MINI USB 接口。

- Micro SD 卡座

1 路 Micro SD 卡座，用于存储操作系统镜像和文件系统。

- FMC 扩展口

2 个标准的 FMC HPC 的扩展口，可以外接 XILINX 或者我们黑金的各种 FMC 模块( HDMI 输入输出模块，双目摄像头模块，高速 AD 模块等等 )。

- JTAG 调试口

1 个 10 针 2.54mm 标准的 JTAG 口，用于 FPGA 程序的下载和调试，用户可以通过 XILINX 下载器对 ZU19EG 系统进行调试和下载。

- 温湿度传感器

板载 1 片温湿度传感器芯片 LM75，用于检测板子周围环境的温度和湿度。

- EEPROM

1 片 IIC 接口的 EEPROM 24LC04;

- RTC 实时时钟

1 路内置的 RTC 实时时钟；

- 差分时钟

2 路 156.25M 差分参考时钟输入；

- LED 灯

5 个发光二极管 LED, 核心板上 1 个, 底板上 4 个。核心板上 1 个电源指示灯。底板上有 1 个电源指示灯, 1 个 DONE 配置指示灯, 2 个用户指示灯。

- 按键

1 个复位按键。

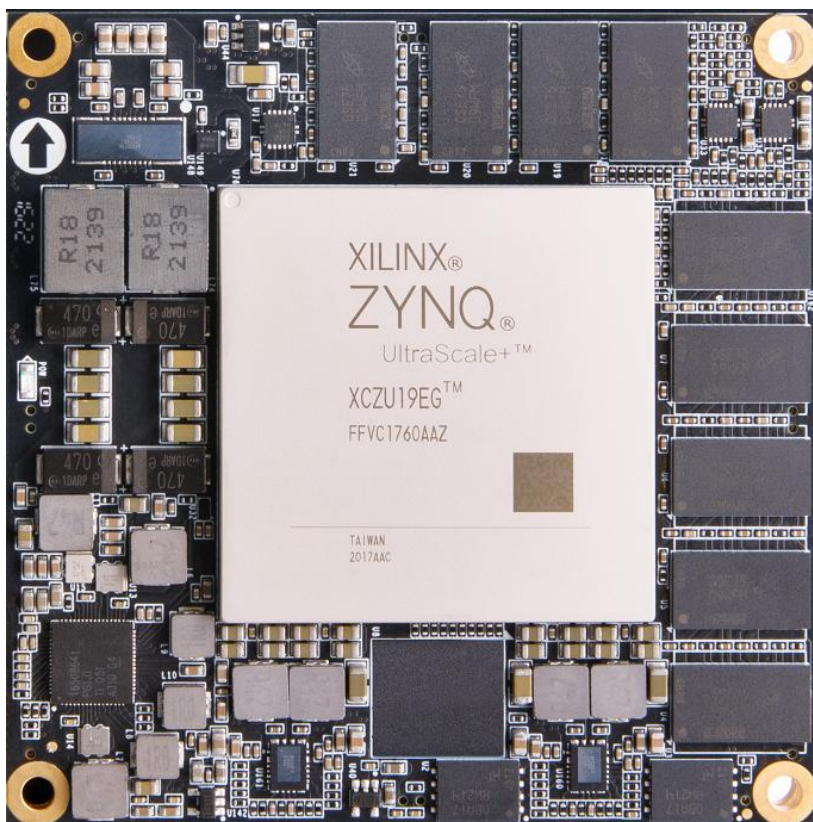
## 二、 ACU19EG 核心板

### (一) 简介

ACU19EG(核心板型号,下同)核心板,ZYNQ 芯片是基于 XILINX 公司的 Zynq UltraScale+ MPSoCs EV 系列的 XCZU19EG-2FFVC1760I。

这款核心板使用了 9 片 Micron 的 DDR4 芯片 MT40A512M16GE,其中 PS 挂载 5 片 DDR4,组成 72 位数据总线宽度(支持 ECC)。PL 端挂载 4 片 DDR4,组成 64 位数据总线宽度。每片 DDR4 容量为 1GB,DDR4 SDRAM 的最高运行速度可达 1200MHz(数据速率 2400Mbps)。另外核心板上也集成了 2 片 512MBit 大小的 QSPI FLASH 和 32GB 大小的 eMMC FLASH 芯片,用于启动存储配置和系统文件。

为了和底板连接,这款核心板的 8 个 120Pin 板对板连接器扩展出了 PS 端的 USB2.0 接口,千兆以太网接口,SD 卡接口及其它剩余的 MIO 口;也扩展出了 4 对 PS MGT 高速收发器接口;以及 PL 端的 48 路 GHT/GTY 收发器和几乎所有 IO 口(HP I/O:240 个,HD I/O:96 个),XCZU19EG 芯片到接口之间走线做了等长和差分处理,并且核心板尺寸仅为 80\*80 (mm),对于二次开发来说,非常适合。



ACU19EG 核心板正面图



## (二) ZYNQ 芯片

开发板使用的是 Xilinx 公司的 Zynq UltraScale+ MPSoCs EG 系列的系列的芯片，型号为 XCZU19EG-2FFVC1760I。ZU19EG 芯片的 PS 系统集成了 4 个 ARM Cortex™-A53 处理器，速度高达 1.3Ghz，支持 2 级 Cache；另外 ZU19EG 还包含 2 个 Cortex-R5 处理器（速度高达 533Mhz）。

ZU19EG 芯片支持 32 位或者 64 位的 DDR4，LPDDR4，DDR3,DDR3L, LPDDR3 存储芯片，在 PS 端带有丰富的高速接口如 PCIE Gen2, USB3.0, SATA 3.1, DisplayPort；同时另外也支持 USB2.0，千兆以太网，SD/SDIO，I2C，CAN，UART，GPIO 等接口。PL 端内部含有丰富的可编程逻辑单元，DSP 和内部 RAM。ZU19EG 芯片的总体框图如图 2-2-1 所示

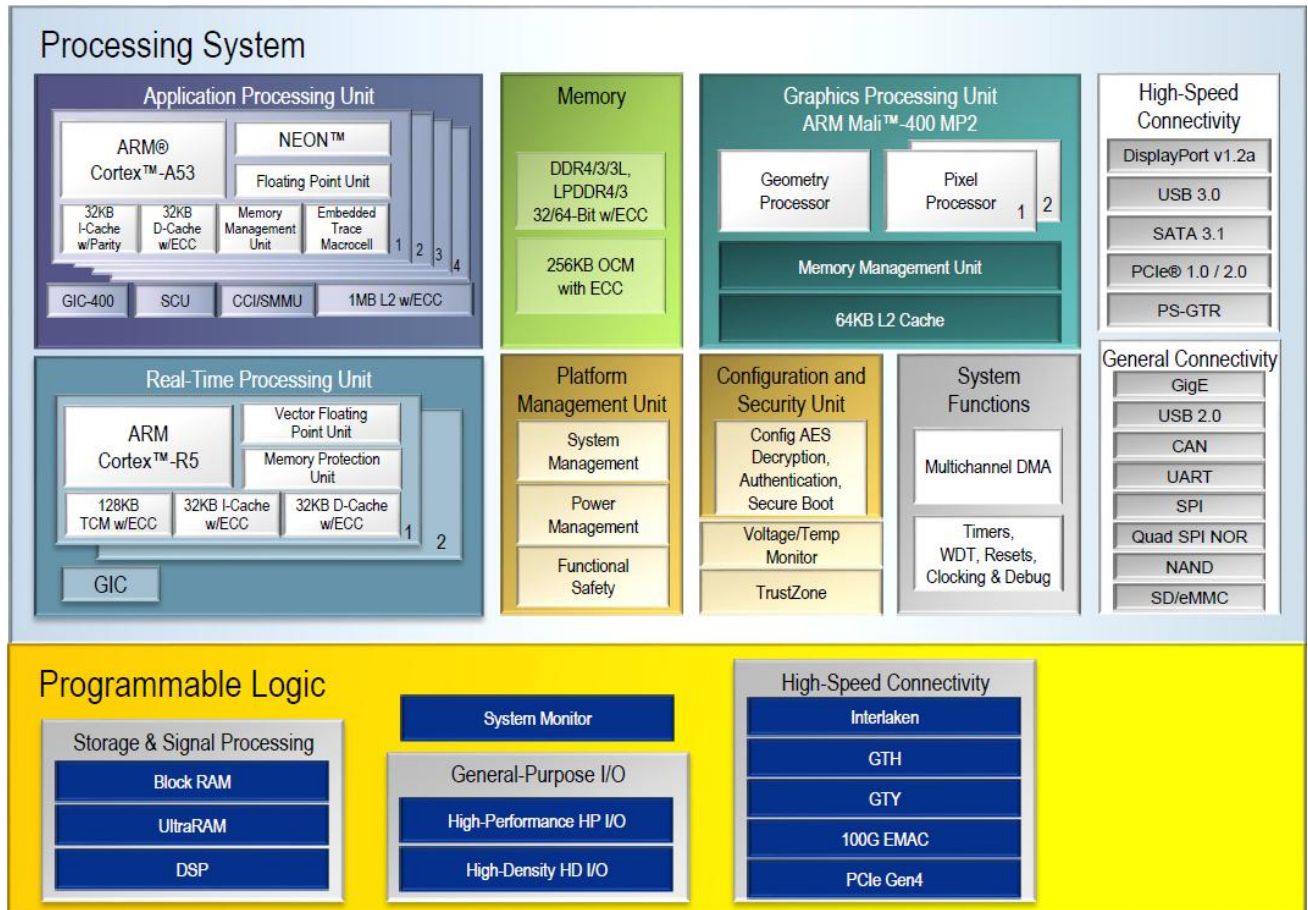


图2-2-1 ZYNQ ZU19EG芯片的总体框图

其中 PS 系统部分的主要参数如下：

- ARM 四核 Cortex™-A53 处理器，速度高达 1.3GHz，每个 CPU 32KB 1 级指令和数据缓存，1MB 2 级缓存 2 个 CPU 共享。
- ARM 双核 Cortex-R5 处理器，速度高达 533MHz，每个 CPU 32KB 1 级指令和数据缓存，及 128K 紧耦合内存。

- 外部存储接口，支持 32/64bit DDR4/3/3L、LPDDR4/3 接口。
- 静态存储接口，支持 NAND, 2xQuad-SPI FLASH。
- 高速连接接口，支持 PCIe Gen2 x4, 2xUSB3.0, Sata 3.1, DisplayPort, 4x Tri-mode Gigabit Ethernet。
- 普通连接接口：2xUSB2.0, 2x SD/SDIO, 2x UART, 2x CAN 2.0B, 2x I2C, 2x SPI, 4x 32b GPIO。
- 电源管理：支持 Full/Low/PL/Battery 四部分电源的划分。
- 加密算法：支持 RSA, AES 和 SHA。
- 系统监控：10 位 1Mbps 的 AD 采样，用于温度和电压的检测。

其中 PL 逻辑部分的主要参数如下：

- 逻辑单元(System Logic Cells)：1143K；
- 触发器(CLB flip-flops)：1045K；
- 查找表(CLBLUTs)：523K；
- Block RAM：34.6Mb；
- 时钟管理单元 (CMTs)：11 个
- DSP Slices：1968 个
- GTH 16.3Gb/s 收发器：44 个

XCZU19EG-2FFVC1760I芯片的速度等级为-2，工业级，封装为FFVC1760。

### (三) DDR4 DRAM

ACU19EG核心板上配有9片Micron(美光)的1GB的DDR4芯片,型号为MT40A512M16LY-062E, 其中PS端挂载5片DDR4, 组成72位数据总线带宽(支持ECC), 每片DDR容量为1GB。PL端挂载4片DDR4, 组成64位数据总线带宽, 每片DDR容量为1GB。PS端的DDR4 SDRAM的最高运行速度可达1200MHz(数据速率2400Mbps), 4片DDR4存储系统直接连接到了PS的BANK504的存储器接口上。PL端的DDR4 SDRAM的最高运行速度可达1200MHz(数据速率2400Mbps), 4片DDR4连接到了FPGA的BANK69,70,71的接口上。PS端和PL端DDR4 SDRAM的具体配置如下表2-3-1所示。

位置	位号	芯片型号	容量	厂家
PS	U4,U5,U6,U7,U162	MT40A512M16LY-062E	512M x 16bit	Micron
PL	U18,U19,U20,U21	MT40A512M16LY-062E	512M x 16bit	Micron

表 2-3-1 DDR4 SDRAM 配置

DDR4 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充

分考虑了匹配电阻/终端电阻,走线阻抗控制,走线等长控制,保证 DDR4 的高速稳定的工作。

PS 端的 DDR4 的硬件连接方式如图 2-3-1 所示:

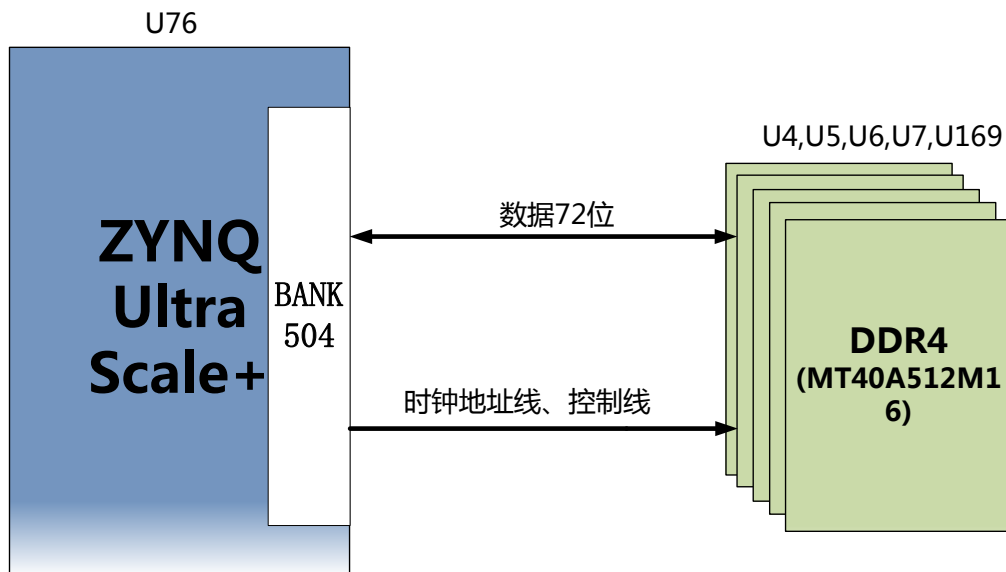


图2-3-1 PS端DDR4 DRAM原理图部分

PL 端的 DDR4 DRAM 的硬件连接方式如图 2-3-2 所示:

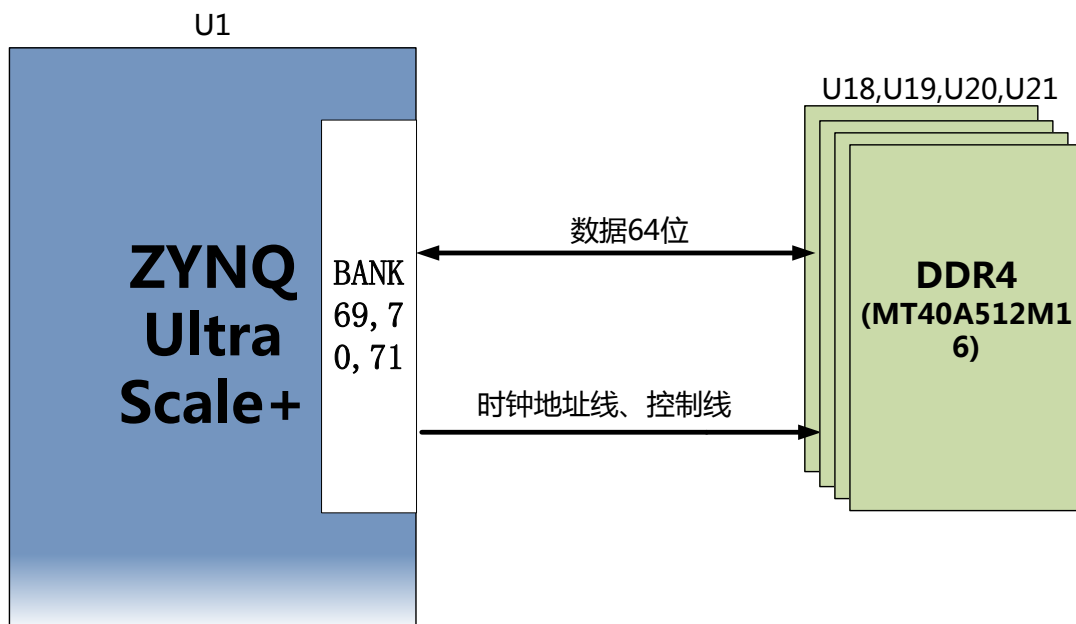


图2-3-2 PL端DDR4 DRAM原理图部分

PS 端 DDR4 SDRAM 引脚分配：

信号名称	引脚名	引脚号
PS_DDR4_DQS0_N	PS_DDR_DQS_N0_504	BA30
PS_DDR4_DQS0_P	PS_DDR_DQS_P0_504	AY30
PS_DDR4_DQS1_N	PS_DDR_DQS_N1_504	AY33

PS_DDR4_DQS1_P	PS_DDR_DQS_P1_504	AY32
PS_DDR4_DQS2_N	PS_DDR_DQS_N2_504	AT30
PS_DDR4_DQS2_P	PS_DDR_DQS_P2_504	AR30
PS_DDR4_DQS3_N	PS_DDR_DQS_N3_504	AT32
PS_DDR4_DQS3_P	PS_DDR_DQS_P3_504	AR32
PS_DDR4_DQS4_N	PS_DDR_DQS_N4_504	AR40
PS_DDR4_DQS4_P	PS_DDR_DQS_P4_504	AP40
PS_DDR4_DQS5_N	PS_DDR_DQS_N5_504	AK37
PS_DDR4_DQS5_P	PS_DDR_DQS_P5_504	AJ37
PS_DDR4_DQS6_N	PS_DDR_DQS_N6_504	AU41
PS_DDR4_DQS6_P	PS_DDR_DQS_P6_504	AU40
PS_DDR4_DQS7_N	PS_DDR_DQS_N7_504	AL41
PS_DDR4_DQS7_P	PS_DDR_DQS_P7_504	AL40
PS_DDR4_DQS8_N	PS_DDR_DQS_N8_504	AY40
PS_DDR4_DQS8_P	PS_DDR_DQS_P8_504	AY39
PS_DDR4_DQ0	PS_DDR_DQ0_504	AV29
PS_DDR4_DQ1	PS_DDR_DQ1_504	AW30
PS_DDR4_DQ2	PS_DDR_DQ2_504	AW29
PS_DDR4_DQ3	PS_DDR_DQ3_504	AW31
PS_DDR4_DQ4	PS_DDR_DQ4_504	BB31
PS_DDR4_DQ5	PS_DDR_DQ5_504	BB30
PS_DDR4_DQ6	PS_DDR_DQ6_504	BB29
PS_DDR4_DQ7	PS_DDR_DQ7_504	BA31
PS_DDR4_DQ8	PS_DDR_DQ8_504	BB33
PS_DDR4_DQ9	PS_DDR_DQ9_504	BA32
PS_DDR4_DQ10	PS_DDR_DQ10_504	BA33
PS_DDR4_DQ11	PS_DDR_DQ11_504	BB34
PS_DDR4_DQ12	PS_DDR_DQ12_504	AV31
PS_DDR4_DQ13	PS_DDR_DQ13_504	AW32
PS_DDR4_DQ14	PS_DDR_DQ14_504	AV32
PS_DDR4_DQ15	PS_DDR_DQ15_504	AV33
PS_DDR4_DQ16	PS_DDR_DQ16_504	AN29
PS_DDR4_DQ17	PS_DDR_DQ17_504	AP29
PS_DDR4_DQ18	PS_DDR_DQ18_504	AP30
PS_DDR4_DQ19	PS_DDR_DQ19_504	AP31

PS_DDR4_DQ20	PS_DDR_DQ20_504	AT31
PS_DDR4_DQ21	PS_DDR_DQ21_504	AU30
PS_DDR4_DQ22	PS_DDR_DQ22_504	AU31
PS_DDR4_DQ23	PS_DDR_DQ23_504	AU29
PS_DDR4_DQ24	PS_DDR_DQ24_504	AV34
PS_DDR4_DQ25	PS_DDR_DQ25_504	AU33
PS_DDR4_DQ26	PS_DDR_DQ26_504	AT33
PS_DDR4_DQ27	PS_DDR_DQ27_504	AU34
PS_DDR4_DQ28	PS_DDR_DQ28_504	AN33
PS_DDR4_DQ29	PS_DDR_DQ29_504	AP32
PS_DDR4_DQ30	PS_DDR_DQ30_504	AN32
PS_DDR4_DQ31	PS_DDR_DQ31_504	AN31
PS_DDR4_DQ32	PS_DDR_DQ32_504	AN41
PS_DDR4_DQ33	PS_DDR_DQ33_504	AN42
PS_DDR4_DQ34	PS_DDR_DQ34_504	AP42
PS_DDR4_DQ35	PS_DDR_DQ35_504	AP41
PS_DDR4_DQ36	PS_DDR_DQ36_504	AN39
PS_DDR4_DQ37	PS_DDR_DQ37_504	AR38
PS_DDR4_DQ38	PS_DDR_DQ38_504	AP39
PS_DDR4_DQ39	PS_DDR_DQ39_504	AN38
PS_DDR4_DQ40	PS_DDR_DQ40_504	AL37
PS_DDR4_DQ41	PS_DDR_DQ41_504	AL38
PS_DDR4_DQ42	PS_DDR_DQ42_504	AK38
PS_DDR4_DQ43	PS_DDR_DQ43_504	AK39
PS_DDR4_DQ44	PS_DDR_DQ44_504	AJ36
PS_DDR4_DQ45	PS_DDR_DQ45_504	AL35
PS_DDR4_DQ46	PS_DDR_DQ46_504	AJ35
PS_DDR4_DQ47	PS_DDR_DQ47_504	AK35
PS_DDR4_DQ48	PS_DDR_DQ48_504	AR42
PS_DDR4_DQ49	PS_DDR_DQ49_504	AT41
PS_DDR4_DQ50	PS_DDR_DQ50_504	AT42
PS_DDR4_DQ51	PS_DDR_DQ51_504	AT40
PS_DDR4_DQ52	PS_DDR_DQ52_504	AV42
PS_DDR4_DQ53	PS_DDR_DQ53_504	AV41
PS_DDR4_DQ54	PS_DDR_DQ54_504	AV39

PS_DDR4_DQ55	PS_DDR_DQ55_504	AV38
PS_DDR4_DQ56	PS_DDR_DQ56_504	AM39
PS_DDR4_DQ57	PS_DDR_DQ57_504	AM38
PS_DDR4_DQ58	PS_DDR_DQ58_504	AM40
PS_DDR4_DQ59	PS_DDR_DQ59_504	AM41
PS_DDR4_DQ60	PS_DDR_DQ60_504	AJ42
PS_DDR4_DQ61	PS_DDR_DQ61_504	AK42
PS_DDR4_DQ62	PS_DDR_DQ62_504	AK40
PS_DDR4_DQ63	PS_DDR_DQ63_504	AK41
PS_DDR4_DQ64	PS_DDR4_DQ64_504	BB40
PS_DDR4_DQ65	PS_DDR4_DQ65_504	BA41
PS_DDR4_DQ66	PS_DDR4_DQ66_504	BA42
PS_DDR4_DQ67	PS_DDR4_DQ67_504	BA40
PS_DDR4_DQ68	PS_DDR4_DQ68_504	AW42
PS_DDR4_DQ69	PS_DDR4_DQ69_504	AW40
PS_DDR4_DQ70	PS_DDR4_DQ70_504	AW41
PS_DDR4_DQ71	PS_DDR4_DQ71_504	AW39
PS_DDR4_DM0	PS_DDR_DM0_504	AY29
PS_DDR4_DM1	PS_DDR_DM1_504	AY34
PS_DDR4_DM2	PS_DDR_DM2_504	AR29
PS_DDR4_DM3	PS_DDR_DM3_504	AR33
PS_DDR4_DM4	PS_DDR_DM4_504	AR39
PS_DDR4_DM5	PS_DDR_DM5_504	AL36
PS_DDR4_DM6	PS_DDR_DM6_504	AU39
PS_DDR4_DM7	PS_DDR_DM7_504	AL42
PS_DDR4_DM8	PS_DDR_DM8_504	AY42
PS_DDR4_A0	PS_DDR_A0_504	BA38
PS_DDR4_A1	PS_DDR_A1_504	BB36
PS_DDR4_A2	PS_DDR_A2_504	BA35
PS_DDR4_A3	PS_DDR_A3_504	BB35
PS_DDR4_A4	PS_DDR_A4_504	BB38
PS_DDR4_A5	PS_DDR_A5_504	AY35
PS_DDR4_A6	PS_DDR_A6_504	AP37
PS_DDR4_A7	PS_DDR_A7_504	AT36
PS_DDR4_A8	PS_DDR_A8_504	AR35

PS_DDR4_A9	PS_DDR_A9_504	AT35
PS_DDR4_A10	PS_DDR_A10_504	AU35
PS_DDR4_A11	PS_DDR_A11_504	AU36
PS_DDR4_A12	PS_DDR_A12_504	AW36
PS_DDR4_A13	PS_DDR_A13_504	AW37
PS_DDR4_ACT_B	PS_DDR_ACT_N_504	AR37
PS_DDR4_ALERT_B	PS_DDR_ALERT_N_504	AM36
PS_DDR4_BA0	PS_DDR_BA0_504	AN37
PS_DDR4_BA1	PS_DDR_BA1_504	AN36
PS_DDR4_BG0	PS_DDR_BG0_504	AP36
PS_DDR4_CAS_B	PS_DDR_A15_504	AW34
PS_DDR4_CKE0	PS_DDR_CKE0_504	AY38
PS_DDR4_CLK0_N	PS_DDR_CK_N0_504	BA37
PS_DDR4_CLK0_P	PS_DDR_CK0_504	BA36
PS_DDR4_CS0_B	PS_DDR_CS_N0_504	AY37
PS_DDR4_ODT0	PS_DDR_ODT0_504	BB39
PS_DDR4_PARITY	PS_DDR_PARITY_504	AM35
PS_DDR4_RAS_B	PS_DDR_A16_504	AR34
PS_DDR4_RESET_B	PS_DDR_RAM_RST_N_504	AM34
PS_DDR4_WE_B	PS_DDR_A14_504	AW35

#### PL 端 DDR4 SDRAM 引脚分配：

信号名称	引脚名	引脚号
PL_DDR4_DQS0_N	IO_L10N_T1U_N7_QBC_AD4N_70	G23
PL_DDR4_DQS0_P	IO_L10P_T1U_N6_QBC_AD4P_70	H23
PL_DDR4_DQS1_N	IO_L4N_T0U_N7_DBC_AD7N_70	K24
PL_DDR4_DQS1_P	IO_L4P_T0U_N6_DBC_AD7P_70	L24
PL_DDR4_DQS2_N	IO_L22N_T3U_N7_DBC_AD0N_70	B26
PL_DDR4_DQS2_P	IO_L22P_T3U_N6_DBC_AD0P_70	B25
PL_DDR4_DQS3_N	IO_L16N_T2U_N7_QBC_AD3N_70	E27
PL_DDR4_DQS3_P	IO_L16P_T2U_N6_QBC_AD3P_70	E26
PL_DDR4_DQS4_N	IO_L10N_T1U_N7_QBC_AD4N_69	A32
PL_DDR4_DQS4_P	IO_L10P_T1U_N6_QBC_AD4P_69	B31
PL_DDR4_DQS5_N	IO_L4N_T0U_N7_DBC_AD7N_69	F30

PL_DDR4_DQS5_P	IO_L4P_T0U_N6_DBC_AD7P_69	G30
PL_DDR4_DQS6_N	IO_L22N_T3U_N7_DBC_AD0N_69	A40
PL_DDR4_DQS6_P	IO_L22P_T3U_N6_DBC_AD0P_69	A39
PL_DDR4_DQS7_N	IO_L16N_T2U_N7_QBC_AD3N_69	C34
PL_DDR4_DQS7_P	IO_L16P_T2U_N6_QBC_AD3P_69	D34
PL_DDR4_DQ0	IO_L12N_T1U_N11_GC_70	G25
PL_DDR4_DQ1	IO_L9N_T1L_N5_AD12N_70	J24
PL_DDR4_DQ2	IO_L11P_T1U_N8_GC_70	H25
PL_DDR4_DQ3	IO_L8N_T1L_N3_AD5N_70	J26
PL_DDR4_DQ4	IO_L12P_T1U_N10_GC_70	H24
PL_DDR4_DQ5	IO_L8P_T1L_N2_AD5P_70	K26
PL_DDR4_DQ6	IO_L11N_T1U_N9_GC_70	H26
PL_DDR4_DQ7	IO_L9P_T1L_N4_AD12P_70	J23
PL_DDR4_DQ8	IO_L2P_T0L_N2_70	M25
PL_DDR4_DQ9	IO_L6P_T0U_N10_AD6P_70	M23
PL_DDR4_DQ10	IO_L2N_T0L_N3_70	L25
PL_DDR4_DQ11	IO_L6N_T0U_N11_AD6N_70	L23
PL_DDR4_DQ12	IO_L3P_T0L_N4_AD15P_70	N24
PL_DDR4_DQ13	IO_L5N_T0U_N9_AD14N_70	N23
PL_DDR4_DQ14	IO_L3N_T0L_N5_AD15N_70	N25
PL_DDR4_DQ15	IO_L5P_T0U_N8_AD14P_70	P23
PL_DDR4_DQ16	IO_L20N_T3L_N3_AD1N_70	A28
PL_DDR4_DQ17	IO_L24P_T3U_N10_70	A24
PL_DDR4_DQ18	IO_L21N_T3L_N5_AD8N_70	B27
PL_DDR4_DQ19	IO_L23N_T3U_N9_70	C25
PL_DDR4_DQ20	IO_L20P_T3L_N2_AD1P_70	A27
PL_DDR4_DQ21	IO_L21P_T3L_N4_AD8P_70	C26
PL_DDR4_DQ22	IO_L24N_T3U_N11_70	A25
PL_DDR4_DQ23	IO_L23P_T3U_N8_70	C24
PL_DDR4_DQ24	IO_L15P_T2L_N4_AD11P_70	F27
PL_DDR4_DQ25	IO_L14P_T2L_N2_GC_70	F25
PL_DDR4_DQ26	IO_L17P_T2U_N8_AD10P_70	D27
PL_DDR4_DQ27	IO_L14N_T2L_N3_GC_70	E25
PL_DDR4_DQ28	IO_L15N_T2L_N5_AD11N_70	F28
PL_DDR4_DQ29	IO_L18P_T2U_N10_AD2P_70	F24



PL_DDR4_DQ30	IO_L17N_T2U_N9_AD10N_70	D28
PL_DDR4_DQ31	IO_L18N_T2U_N11_AD2N_70	E24
PL_DDR4_DQ32	IO_L11N_T1U_N9_GC_69	D31
PL_DDR4_DQ33	IO_L9P_T1L_N4_AD12P_69	A29
PL_DDR4_DQ34	IO_L12P_T1U_N10_GC_69	C30
PL_DDR4_DQ35	IO_L9N_T1L_N5_AD12N_69	A30
PL_DDR4_DQ36	IO_L11P_T1U_N8_GC_69	E31
PL_DDR4_DQ37	IO_L8P_T1L_N2_AD5P_69	C29
PL_DDR4_DQ38	IO_L12N_T1U_N11_GC_69	C31
PL_DDR4_DQ39	IO_L8N_T1L_N3_AD5N_69	B30
PL_DDR4_DQ40	IO_L3N_T0L_N5_AD15N_69	F32
PL_DDR4_DQ41	IO_L5P_T0U_N8_AD14P_69	G28
PL_DDR4_DQ42	IO_L2N_T0L_N3_69	H30
PL_DDR4_DQ43	IO_L6P_T0U_N10_AD6P_69	J28
PL_DDR4_DQ44	IO_L2P_T0L_N2_69	J30
PL_DDR4_DQ45	IO_L6N_T0U_N11_AD6N_69	H28
PL_DDR4_DQ46	IO_L3P_T0L_N4_AD15P_69	F31
PL_DDR4_DQ47	IO_L5N_T0U_N9_AD14N_69	F29
PL_DDR4_DQ48	IO_L24P_T3U_N10_69	C42
PL_DDR4_DQ49	IO_L21N_T3L_N5_AD8N_69	A38
PL_DDR4_DQ50	IO_L23P_T3U_N8_69	B40
PL_DDR4_DQ51	IO_L20N_T3L_N3_AD1N_69	B37
PL_DDR4_DQ52	IO_L24N_T3U_N11_69	B42
PL_DDR4_DQ53	IO_L20P_T3L_N2_AD1P_69	B36
PL_DDR4_DQ54	IO_L23N_T3U_N9_69	B41
PL_DDR4_DQ55	IO_L21P_T3L_N4_AD8P_69	A37
PL_DDR4_DQ56	IO_L15N_T2L_N5_AD11N_69	C33
PL_DDR4_DQ57	IO_L17N_T2U_N9_AD10N_69	A35
PL_DDR4_DQ58	IO_L15P_T2L_N4_AD11P_69	D33
PL_DDR4_DQ59	IO_L14N_T2L_N3_GC_69	B33
PL_DDR4_DQ60	IO_L14P_T2L_N2_GC_69	B32
PL_DDR4_DQ61	IO_L18N_T2U_N11_AD2N_69	A34
PL_DDR4_DQ62	IO_L17P_T2U_N8_AD10P_69	B35
PL_DDR4_DQ63	IO_L18P_T2U_N10_AD2P_69	A33
PL_DDR4_DM0	IO_L7P_T1L_N0_QBC_AD13P_70	K27

PL_DDR4_DM1	IO_L1P_T0L_N0_DBC_70	P26
PL_DDR4_DM2	IO_L19P_T3L_N0_DBC_AD9P_70	C28
PL_DDR4_DM3	IO_L13P_T2L_N0_GC_QBC_70	G26
PL_DDR4_DM4	IO_L7P_T1L_N0_QBC_AD13P_69	E29
PL_DDR4_DM5	IO_L1P_T0L_N0_DBC_69	K29
PL_DDR4_DM6	IO_L19P_T3L_N0_DBC_AD9P_69	C36
PL_DDR4_DM7	IO_L13P_T2L_N0_GC_QBC_69	E32
PL_DDR4_A0	IO_L6N_T0U_N11_AD6N_71	M21
PL_DDR4_A1	IO_L5N_T0U_N9_AD14N_71	N21
PL_DDR4_A2	IO_L16N_T2U_N7_QBC_AD3N_71	E20
PL_DDR4_A3	IO_L5P_T0U_N8_AD14P_71	P21
PL_DDR4_A4	IO_L17P_T2U_N8_AD10P_71	E21
PL_DDR4_A5	IO_L15N_T2L_N5_AD11N_71	E19
PL_DDR4_A6	IO_L6P_T0U_N10_AD6P_71	M22
PL_DDR4_A7	IO_L7N_T1L_N1_QBC_AD13N_71	J19
PL_DDR4_A8	IO_L9N_T1L_N5_AD12N_71	J21
PL_DDR4_A9	IO_L16P_T2U_N6_QBC_AD3P_71	F20
PL_DDR4_A10	IO_L8P_T1L_N2_AD5P_71	L20
PL_DDR4_A11	IO_L3P_T0L_N4_AD15P_71	M20
PL_DDR4_A12	IO_L4P_T0U_N6_DBC_AD7P_71	N20
PL_DDR4_A13	IO_L7P_T1L_N0_QBC_AD13P_71	K19
PL_DDR4_CS_B	IO_L4N_T0U_N7_DBC_AD7N_71	N19
PL_DDR4_ACT_B	IO_L8N_T1L_N3_AD5N_71	K20
PL_DDR4_ODT	IO_L9P_T1L_N4_AD12P_71	K21
PL_DDR4_WE_B	IO_L10N_T1U_N7_QBC_AD4N_71	J22
PL_DDR4_BA0	IO_L10P_T1U_N6_QBC_AD4P_71	K22
PL_DDR4_BA1	IO_L15P_T2L_N4_AD11P_71	F19
PL_DDR4_CAS_B	IO_L11N_T1U_N9_GC_71	H19
PL_DDR4_RAS_B	IO_L11P_T1U_N8_GC_71	H20
PL_DDR4_CLK_N	IO_L13N_T2L_N1_GC_QBC_71	G21
PL_DDR4_CLK_P	IO_L13P_T2L_N0_GC_QBC_71	G22
PL_DDR4_BG0	IO_L14N_T2L_N3_GC_71	F22
PL_DDR4_CKE	IO_L17N_T2U_N9_AD10N_71	D21
PL_DDR4_RST	IO_L14P_T2L_N2_GC_71	F23

#### (四) QSPI Flash

ACU19EG 核心板配有 2 片 512MBit 大小的 Quad-SPI FLASH 芯片组成 8 位带宽数据总线, FLASH 型号为 MT25QU512ABB1EW9-0SIT, 它使用 1.8V CMOS 电压标准。由于 QSPI FLASH 的非易失特性, 在使用中, 它可以作为系统的启动设备来存储系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、ARM 的应用程序代码以及其它的用户数据文件。QSPI FLASH 的具体型号和相关参数见表 2-4-1。

位号	芯片类型	容量	厂家
U2,U3	MT25QU512ABB1EW9-0SIT	512M bit	美光

表2-4-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 ZYNQ 芯片的 PS 部分 BANK500 的 GPIO 口上, 在系统设计中需要配置这些 PS 端的 GPIO 口功能为 QSPI FLASH 接口。为图 4-1 为 QSPI Flash 在原理图中的部分。

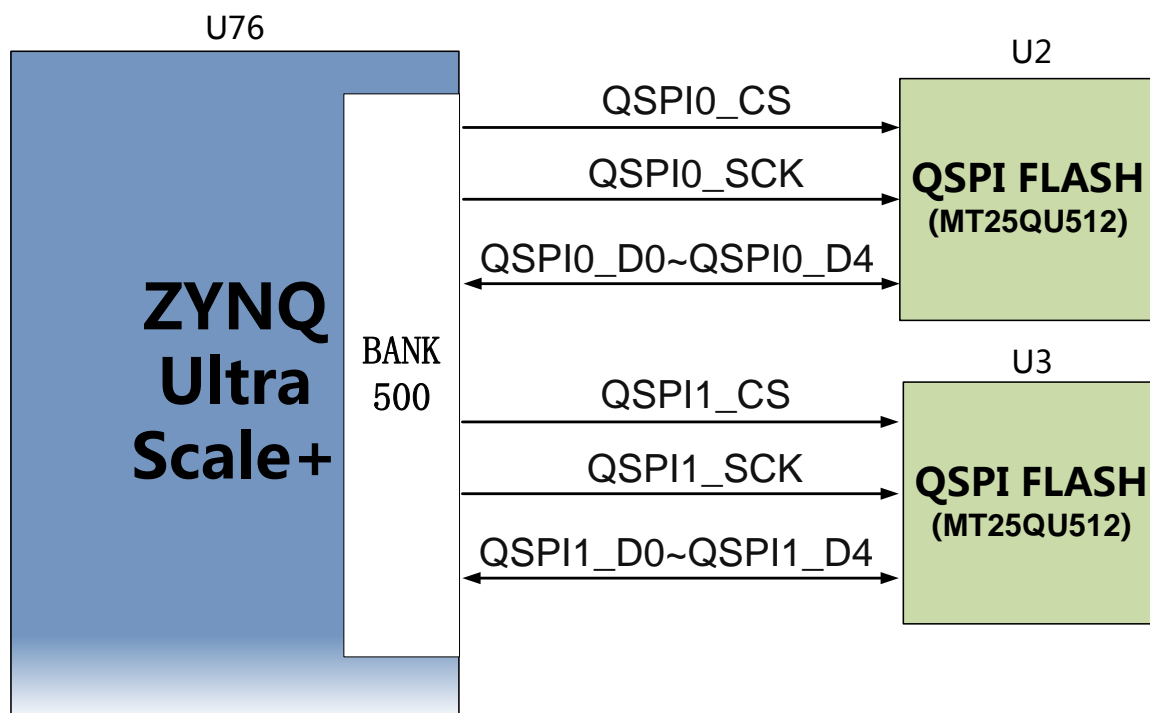


图 2-4-1 QSPI Flash 连接示意图

配置芯片引脚分配：

信号名称	引脚名	引脚号
MIO5_QSPI0_SS_B	PS_MIO5_500	AL32
MIO0_QSPI0_SCLK	PS_MIO0_500	AM33

MIO4_QSPI0_IO0	PS_MIO4_500	AL33
MIO1_QSPI0_IO1	PS_MIO1_500	AM29
MIO2_QSPI0_IO2	PS_MIO2_500	AM31
MIO3_QSPI0_IO3	PS_MIO3_500	AM30
MIO7_QSPI1_SS_B	PS_MIO7_500	AL30
MIO12_QSPI1_SCLK	PS_MIO12_500	AJ34
MIO8_QSPI1_IO0	PS_MIO8_500	AK33
MIO9_QSPI1_IO1	PS_MIO9_500	AK34
MIO10_QSPI1_IO2	PS_MIO10_500	AK30
MIO11_QSPI1_IO3	PS_MIO11_500	AK32

## (五) eMMC Flash

ACU19EG 核心板配有一片大容量的 32GB 大小的 eMMC FLASH 芯片，型号为 MTFC32GAPALBH-IT，它支持 JEDEC e-MMC V5.0 标准的 HS-MMC 接口，电平支持 1.8V 或者 3.3V。eMMC FLASH 和 ZYNQ 连接的数据宽度为 8bit。由于 eMMC FLASH 的大容量和非易失特性，在 ZYNQ 系统使用中，它可以作为系统大容量的存储设备，比如存储 ARM 的应用程序、系统文件以及其它的用户数据文件。eMMC FLASH 的具体型号和相关参数见表 2-5-1。

位号	芯片类型	容量	厂家
U8	MTFC32GAPALBH-IT	32G Byte	Micron

表2-5-1 eMMC Flash的型号和参数

eMMC FLASH 连接到 ZYNQ UltraScale+ 的 PS 部分 BANK500 的 GPIO 口上，在系统设计中需要配置这些 PS 端的 GPIO 口功能为 EMMC 接口。为图 2-5-1 为 eMMC Flash 在原理图中的部分。

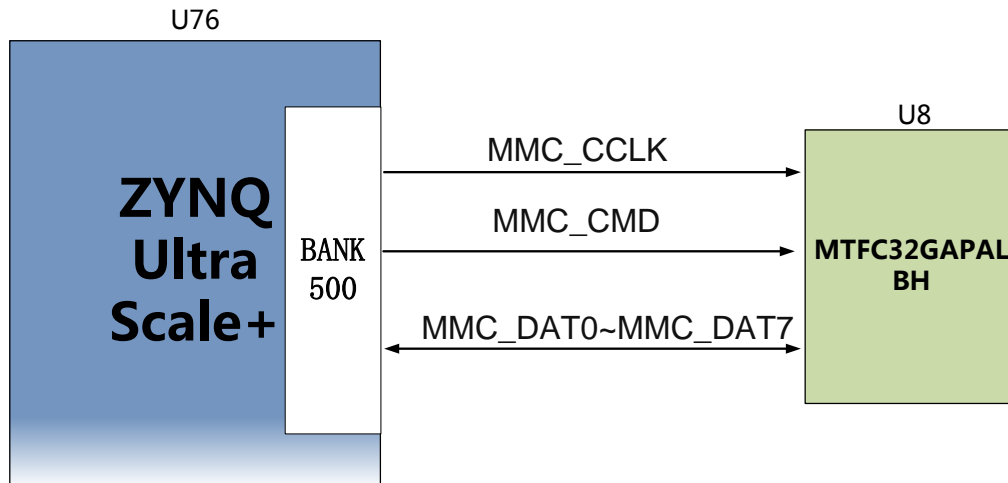


图 2-5-1 eMMC Flash 连接示意图

配置芯片引脚分配：

信号名称	引脚名	引脚号
MMC_CCLK	PS_MIO22_500	AH32
MMC_CMD	PS_MIO21_500	AF35
MMC_DAT0	PS_MIO13_500	AD34
MMC_DAT1	PS_MIO14_500	AJ32
MMC_DAT2	PS_MIO15_500	AD35
MMC_DAT3	PS_MIO16_500	AJ31
MMC_DAT4	PS_MIO17_500	AJ30
MMC_DAT5	PS_MIO18_500	AE34
MMC_DAT6	PS_MIO19_500	AE35
MMC_DAT7	PS_MIO20_500	AH34
MMC_RSTN	PS_MIO23_500	AG35

## (六) 时钟配置

核心板上分别为 PS 系统, PL 逻辑部分提供了参考时钟和 RTC 实时时钟,使 PS 系统和 PL 逻辑可以单独工作。时钟电路设计的示意图如下图 2-6-1 所示：

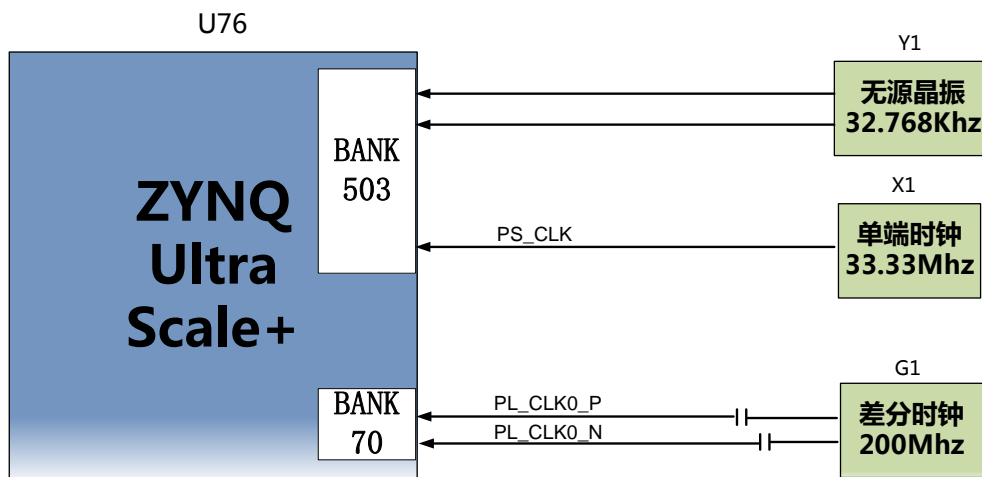


图 2-6-1 核心板时钟源

### PS 系统 RTC 实时时钟

核心板上的无源晶体 Y1 为 PS 系统的提供 32.768KHz 的实时时钟源。晶体连接到 ZYNQ 芯片的 BANK503 的 PS\_PADI\_503 和 PS\_PADO\_503 的管脚上。其原理图如图 2-6-2 所示：

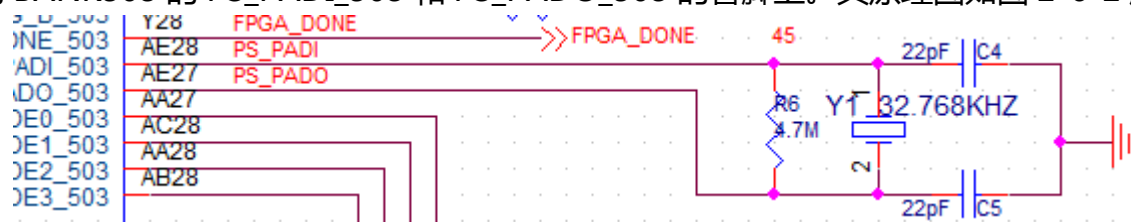


图 2-6-2 RTC 的无源晶振

### 时钟引脚分配：

信号名称	引脚
PS_PADI_503	AE28
PS_PADO_503	AE27

### PS 系统时钟源

核心板上的 X1 晶振为 PS 部分提供 33.333MHz 的时钟输入。时钟的输入连接到 ZYNQ 芯片的 BANK503 的 PS\_REF\_CLK\_503 的管脚上。其原理图如图 2-6-3 所示：

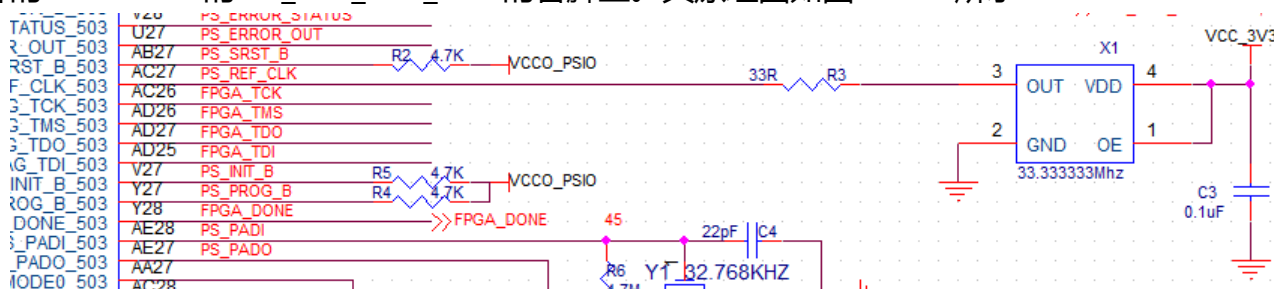


图 2-6-3 PS 部分的有源晶振

时钟引脚分配：

信号名称	引脚
PS_REF_CLK	AC27

### PL 系统时钟源

板上提供了一个差分 200MHz 的 PL 系统时钟源，用于 DDR4 控制器的参考时钟。晶振输出连接到 PL BANK71 的全局时钟(MRCC)，这个全局时钟可以用来驱动 FPGA 内的 DDR4 控制器和用户逻辑电路。该时钟源的原理图如图 2-6-4 所示

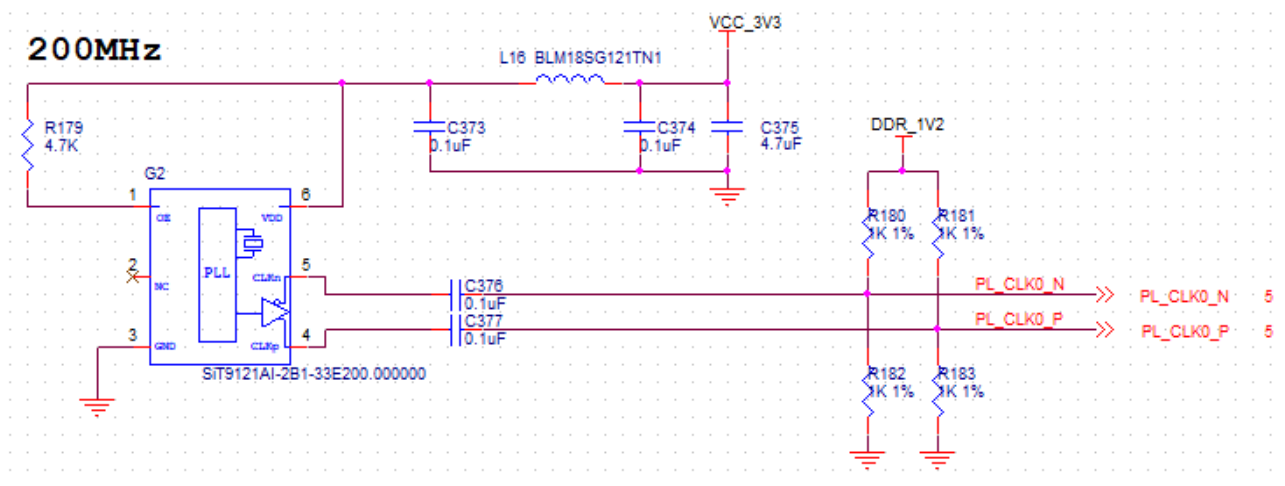


图 2-6-4 PL系统时钟源

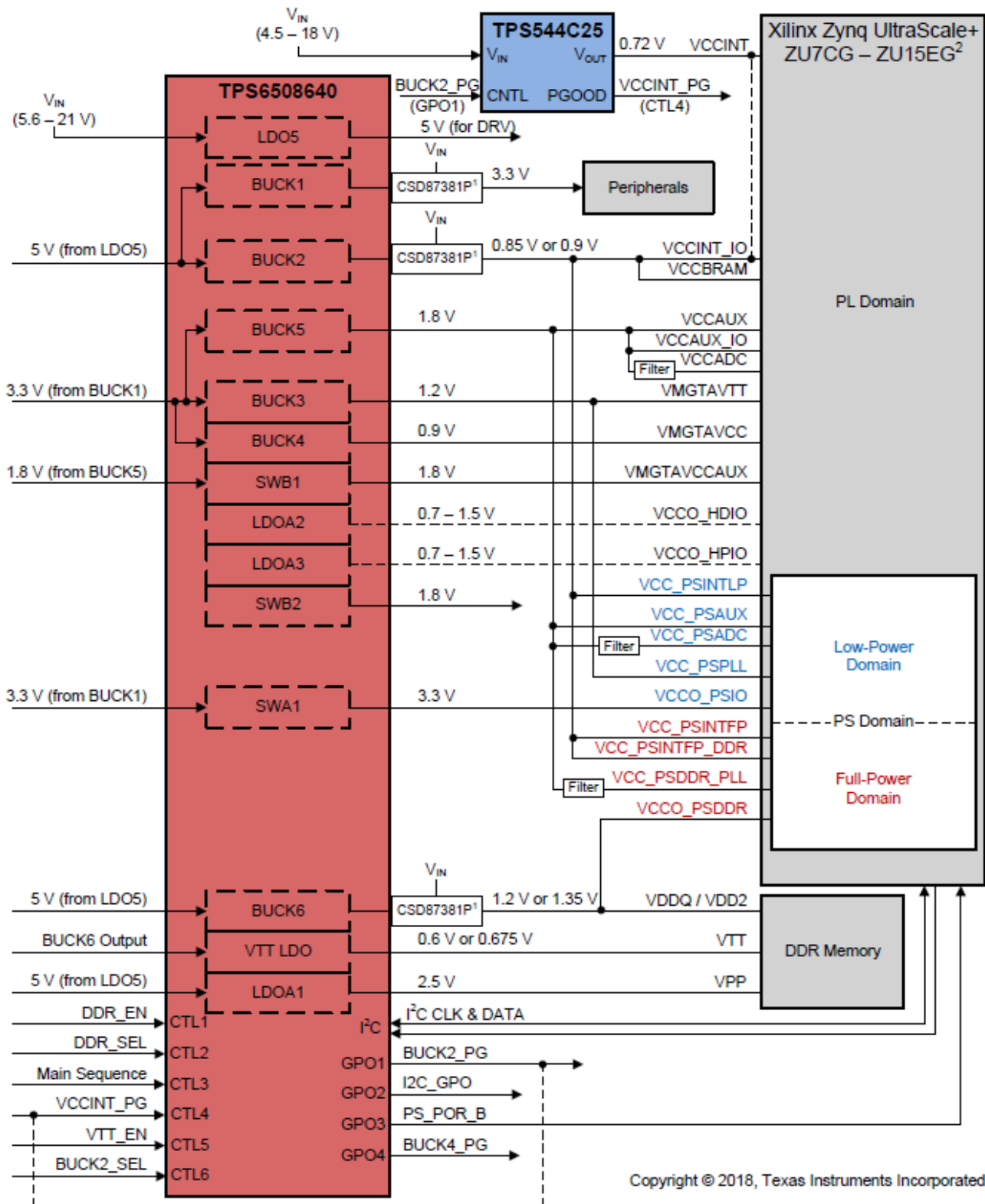
PL 时钟引脚分配：

信号名称	引脚
PL_CLK0_P	H21
PL_CLK0_N	G20

## (七) 电源

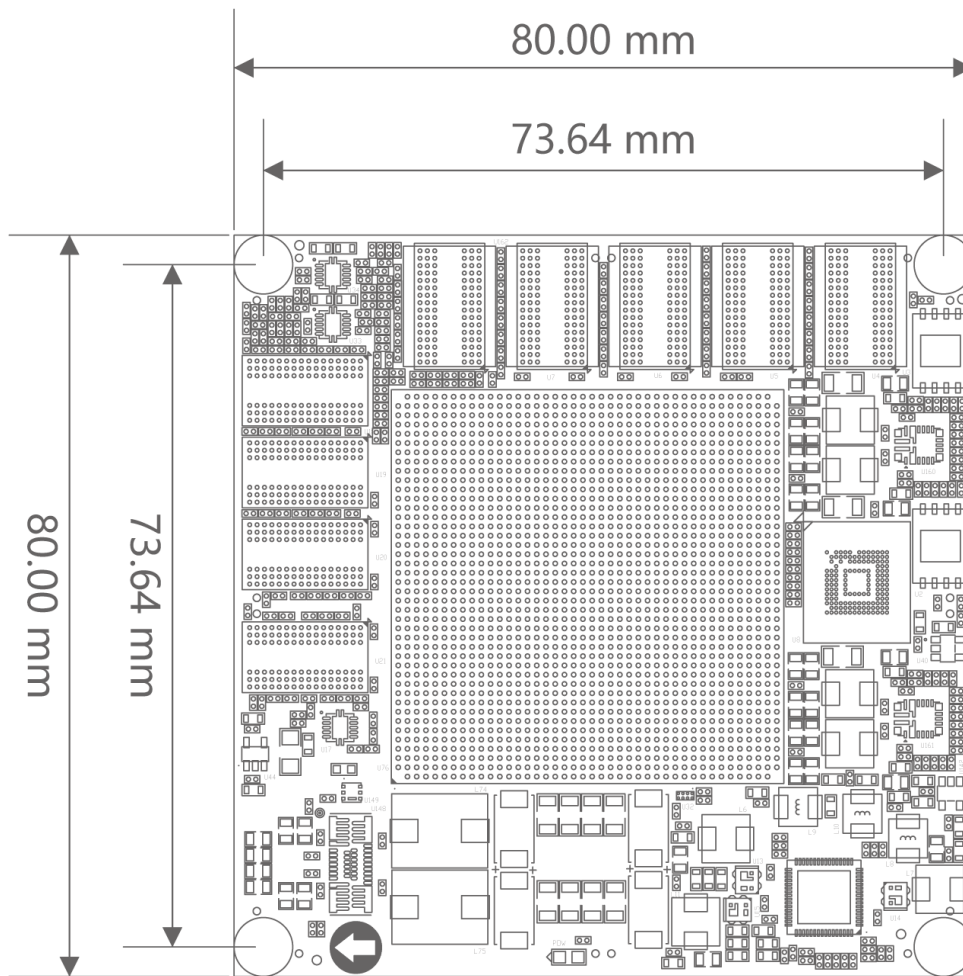
ACU19EG 核心板供电电压为+12V，通过连接底板给核心板供电。核心板上 1 颗 MAX20796GFB+电源芯片实现 60A 的电流为 XCZU19EG 提供核心电源 0.85V，通过两颗 TPS74801DRCCR 电源芯片分别产生 0.85V 和 1.8V 电压为 PS\_MGT 部分供电，通过两颗

MAX20812AFH+电源芯片分别产生两路 0.9V 和两路 1.2V 电压为 PL-MGT 部分供电，另外使用一个 PMIC 芯片 TPS6508640 产生 XCZU19EG 芯片所需要的其它所有电源，TPS6508640 电源设计请参考电源芯片手册，设计框图如下：





## (八) 结构图



正面图 ( Top View )

## (九) 连接器管脚定义

核心板一共扩展出 8 个高速扩展口，使用 8 个 120Pin 的板间连接器 ( J29~J36 ) 和底板连接，连接器使用松下的 AXK5A2137YG，对应底板的连接器型号为 AXK6A2337YG。

### J29 连接器的引脚分配

J29 连接 BANK128，129，130，131 的 GTY 收发器信号。

J29 管脚	信号名称	引脚号	J29 管脚	信号名称	引脚号
1	131_CLK0_P	L32	2	131_CLK1_P	J32
3	131_CLK0_N	L33	4	131_CLK1_N	J33
5	GND		6	GND	
7	131_RX3_P	D39	8	131_TX3_P	E36
9	131_RX3_N	D40	10	131_TX3_N	E37
11	GND		12	GND	
13	131_RX2_P	E41	14	131_TX2_P	F34
15	131_RX2_N	E42	16	131_TX2_N	F35
17	GND		18	GND	
19	131_RX1_P	F39	20	131_TX1_P	G36
21	131_RX1_N	F40	22	131_TX1_N	G37
23	GND		24	GND	
25	131_RX0_P	G41	26	131_TX0_P	H34
27	131_RX0_N	G42	28	131_TX0_N	H35
29	GND		30	GND	
31	130_CLK0_P	R32	32	130_CLK1_P	N32
33	130_CLK0_N	R33	34	130_CLK1_N	N33
35	GND		36	GND	
37	130_RX3_P	H39	38	130_TX3_P	J36
39	130_RX3_N	H40	40	130_TX3_N	J37
41	GND		42	GND	
43	130_RX2_P	J41	44	130_TX2_P	K34
45	130_RX2_N	J42	46	130_TX2_N	K35
47	GND		48	GND	
49	130_RX1_P	K39	50	130_TX1_P	L36
51	130_RX1_N	K40	52	130_TX1_N	L37

53	GND		54	GND	
55	130_RX0_P	L41	56	130_TX0_P	M34
57	130_RX0_N	L42	58	130_TX0_N	M35
59	GND		60	GND	
61	129_CLK0_P	W32	62	129_CLK1_P	U32
63	129_CLK0_N	W33	64	129_CLK1_N	U33
65	GND		66	GND	
67	129_RX3_P	M39	68	129_TX3_P	N36
69	129_RX3_N	M40	70	129_TX3_N	N37
71	GND		72	GND	
73	129_RX2_P	N41	74	129_TX2_P	P34
75	129_RX2_N	N42	76	129_TX2_N	P35
77	GND		78	GND	
79	129_RX1_P	P39	80	129_TX1_P	R36
81	129_RX1_N	P40	82	129_TX1_N	R37
83	GND		84	GND	
85	129_RX0_P	R41	86	129_TX0_P	T34
87	129_RX0_N	R42	88	129_TX0_N	T35
89	GND		90	GND	
91	128_CLK0_P	AB34	92	128_CLK1_P	AA32
93	128_CLK0_N	AB35	94	128_CLK1_N	AA33
95	GND		96	GND	
97	128_RX3_P	T39	98	128_TX3_P	U36
99	128_RX3_N	T40	100	128_TX3_N	U37
101	GND		102	GND	
103	128_RX2_P	U41	104	128_TX2_P	V34
105	128_RX2_N	U42	106	128_TX2_N	V35
107	GND		108	GND	
109	128_RX1_P	V39	110	128_TX1_P	W36
111	128_RX1_N	V40	112	128_TX1_N	W37
113	GND		114	GND	
115	128_RX0_P	W41	116	128_TX0_P	Y34
117	128_RX0_N	W42	118	128_TX0_N	Y35
119	GND		120	GND	

### J30 连接器

J30 连接 BANK505 MGT 的收发器信号，PS 的 MIO 和 BANK28。PS 的 MIO 的电平为 1.8V 标准。

J30 管脚	信号名称	引脚号	J30 管脚	信号名称	引脚号
1	505_CLK2_N	AC38	2	505_CLK3_N	AA38
3	505_CLK2_P	AC37	4	505_CLK3_P	AA37
5	GND		6	GND	
7	505_TX3_N	AB40	8	505_RX3_N	AA42
9	505_TX3_P	AB39	10	505_RX3_P	AA41
11	GND		12	GND	
13	505_TX2_N	AD40	14	505_RX2_N	AC42
15	505_TX2_P	AD39	16	505_RX2_P	AC41
17	GND		18	GND	
19	505_TX1_N	AF40	20	505_RX1_N	AE42
21	505_TX1_P	AF39	22	505_RX1_P	AE41
23	GND		24	GND	
25	505_TX0_N	AH40	26	505_RX0_N	AG42
27	505_TX0_P	AH39	28	505_RX0_P	AG41
29	GND		30	GND	
31	505_CLK0_N	AG38	32	505_CLK1_N	AE38
33	505_CLK0_P	AG37	34	505_CLK1_P	AE37
35	GND		36	GND	
37	DP_HPDI_MIO28	L28	38	DP_AUX_IN_MIO30	L30
39	DP_OE_MIO29	M27	40	DP_AUX_OUT_MIO27	L29
41	GND		42	GND	
43	PS_IIC1_SDA	AG34	44	USB_DIR	Y30
45	PS_IIC1_SCL	AH33	46	USB_CLK	W29
47	SD_CD	T29	48	USB_DATA5	AC32
49	SD_D1	T28	50	USB_DATA0	AA30
51	GND		52	GND	
53	SD_D2	V30	54	USB_DATA3	AC31
55	SD_D3	U29	56	USB_DATA2	Y29
57	SD_CLK	W30	58	USB_DATA6	AD31
59	SD_CMD	V29	60	USB_DATA1	AB30

61	GND		62	GND	
63	SD_D0	U28	64	USB_DATA7	AD30
65	悬空		66	USB_NXT	AB29
67	PS_MIO36	T27	68	USB_STP	AC29
69	PCIE_RSTN_MIO37	N30	70	USB_DATA4	AD29
71	GND		72	GND	
73	PS_UART_TX	P29	74	PHY1_RXD3	AG33
75	PS_UART_RX	R27	76	PHY1_RXCTL	AF33
77	PS_MIO42	T30	78	PHY1_RXD1	AF32
79	PS_MIO43	R30	80	PHY1_TXD3	AE33
81	GND		82	GND	
83	FPGA_DONE	Y28	84	PHY1_RXD0	AF31
85	PS_POR_B	W27	86	PHY1_TXCTL	AE32
87	VBAT_IN		88	PHY1_RXD2	AG30
89	PS_MIO44	R29	90	PHY1_RXCK	AF30
91	GND		92	GND	
93	CAN1_RX	P30	94	PHY1_TXD1	AD33
95	CAN1_TX	P28	96	PHY1_TXD2	AE30
97	CAN0_TX	N29	98	PHY1_TXD0	AE29
99	CAN0_RX	P27	100	PHY1_TXCK	AD32
101	GND		102	GND	
103	PS_UART2_RX	N28	104	PHY1_MDC	AH31
105	PS_UART2_TX	M30	106	PHY1_MDIO	AG31
107	PS_MIO31	M28	108	PCIE_PERSTN	AM25
109	PS_MIO26	L27	110	POWER_SW	
111	GND		112	GND	
113	PS_MODE2	AA28	114	PS_MODE3	AB28
115	PS_MODE0	AA27	116	PS_MODE1	AC28
117	FPGA_TDO	AD27	118	FPGA_TMS	AD26
119	FPGA_TCK	AC26	120	FPGA_TDI	AD25

### J31 连接器

J31 连接 BANK64,BANK65 的 IO。BANK64,65 的电平标准最大为+1.8V。

J31 管脚	信号名称	引脚号	J31 管脚	信号名称	引脚号
--------	------	-----	--------	------	-----

1	B65_L10_N	AV28	2	B65_L18_N	AT28
3	B65_L10_P	AU28	4	B65_L18_P	AR28
5	B65_L16_N	AP27	6	B65_L15_N	AN26
7	B65_L16_P	AN27	8	B65_L15_P	AM26
9	GND		10	GND	
11	B65_L13_N	AT27	12	B65_L9_N	AW27
13	B65_L13_P	AR27	14	B65_L9_P	AV27
15	B65_L5_N	AY28	16	B65_L12_N	AT26
17	B65_L5_P	AY27	18	B65_L12_P	AT25
19	GND		20	GND	
21	B65_L8_N	AW26	22	B65_L11_N	AU26
23	B65_L8_P	AV26	24	B65_L11_P	AU25
25	B65_L20_N	AP25	26	B65_L6_N	BB28
27	B65_L20_P	AP24	28	B65_L6_P	BA28
29	GND		30	GND	
31	B65_L4_N	BB26	32	B65_L14_N	AR25
33	B65_L4_P	BA26	34	B65_L14_P	AR24
35	B65_L2_N	BB25	36	B65_L3_N	BA25
37	B65_L2_P	BB24	38	B65_L3_P	AY25
39	GND		40	GND	
41	B65_L7_N	AV24	42	B65_L1_N	AY24
43	B65_L7_P	AU24	44	B65_L1_P	AW24
45	B65_L21_N	AN24	46	B65_L22_N	AN23
47	B65_L21_P	AM24	48	B65_L22_P	AM23
49	GND		50	GND	
51	B65_L19_N	AT23	52	B65_L23_N	AL23
53	B65_L19_P	AR23	54	B65_L23_P	AK23
55	B65_L24_N	AK24	56	B65_L17_N	AN28
57	B65_L24_P	AJ24	58	B65_L17_P	AM28
59	GND		60	GND	
61	B64_L23_P	AJ21	62	B64_L1_P	BA23
63	B64_L23_N	AJ20	64	B64_L1_N	BB23
65	B64_L24_P	AJ22	66	B64_L16_P	AN21
67	B64_L24_N	AK22	68	B64_L16_N	AP21
69	GND		70	GND	

71	B64_L7_P	AU23	72	B64_L22_P	AK20
73	B64_L7_N	AV23	74	B64_L22_N	AK19
75	B64_L2_P	AY23	76	B64_L19_P	AM19
77	B64_L2_N	AY22	78	B64_L19_N	AN19
79	GND		80	GND	
81	B64_L20_P	AM21	82	B64_L14_P	AT20
83	B64_L20_N	AM20	84	B64_L14_N	AU19
85	B64_L11_P	AU21	86	B64_L3_P	BA22
87	B64_L11_N	AV21	88	B64_L3_N	BA21
89	GND		90	GND	
91	B64_L18_P	AP19	92	B64_L5_P	BB20
93	B64_L18_N	AR19	94	B64_L5_N	BB19
95	B64_L8_P	AV22	96	B64_L6_P	BA18
97	B64_L8_N	AW22	98	B64_L6_N	BB18
99	GND		100	GND	
101	B64_L21_P	AL22	102	B64_L9_P	AW20
103	B64_L21_N	AL21	104	B64_L9_N	AW19
105	B64_L15_P	AN22	106	B64_L10_P	AY19
107	B64_L15_N	AP22	108	B64_L10_N	AY18
109	GND		110	GND	
111	B64_L13_P	AT22	112	B64_L4_P	AY20
113	B64_L13_N	AT21	114	B64_L4_N	BA20
115	B64_L17_P	AP20	116	B64_L12_P	AU20
117	B64_L17_N	AR20	118	B64_L12_N	AV19
119	GND		120	GND	

### J32 连接器

J32 连接 BANK66,BANK67 的 IO。BANK66,67 的电平标准最大为+1.8V。

J32 管脚	信号名称	引脚号	J32 管脚	信号名称	引脚号
1	B66_L3_P	AW17	2	B66_L4_P	BA15
3	B66_L3_N	AW16	4	B66_L4_N	BB15
5	B66_L1_P	AY17	6	B66_L15_P	AU18
7	B66_L1_N	BA17	8	B66_L15_N	AV18
9	GND		10	GND	

11	B66_L13_P	AV17	12	B66_L16_P	AR18
13	B66_L13_N	AV16	14	B66_L16_N	AT18
15	B66_L17_P	AR17	16	B66_L2_P	BA16
17	B66_L17_N	AT17	18	B66_L2_N	BB16
19	GND		20	GND	
21	B66_L5_P	AY15	22	B66_L20_P	AL18
23	B66_L5_N	AY14	24	B66_L20_N	AM18
25	B66_L19_P	AJ18	26	B66_L21_P	AN18
27	B66_L19_N	AK18	28	B66_L21_N	AN17
29	GND		30	GND	
31	B66_L11_P	AW15	32	B66_L14_P	AT15
33	B66_L11_N	AW14	34	B66_L14_N	AU15
35	B66_L24_P	AN16	36	B66_L18_P	AT16
37	B66_L24_N	AP16	38	B66_L18_N	AU16
39	GND		40	GND	
41	B66_L22_P	AJ17	42	B66_L23_P	AL16
43	B66_L22_N	AK17	44	B66_L23_N	AM16
45	B66_L10_P	AU13	46	B66_L12_P	AU14
47	B66_L10_N	AV13	48	B66_L12_N	AV14
49	GND		50	GND	
51	B66_L7_P	AY12	52	B66_L9_P	BA10
53	B66_L7_N	BA12	54	B66_L9_N	BB10
55	B66_L8_P	BA11	56	B66_L6_P	BA13
57	B66_L8_N	BB11	58	B66_L6_N	BB13
59	GND		60	GND	
61	B67_L23_P	AM13	62	B67_L15_P	AR15
63	B67_L23_N	AN13	64	B67_L15_N	AR14
65	B67_L12_P	AT11	66	B67_L7_P	AV12
67	B67_L12_N	AT10	68	B67_L7_N	AW12
69	GND		70	GND	
71	B67_L16_P	AN12	72	B67_L11_P	AT13
73	B67_L16_N	AP12	74	B67_L11_N	AT12
75	B67_L14_P	AP10	76	B67_L13_P	AR13
77	B67_L14_N	AR10	78	B67_L13_N	AR12
79	GND		80	GND	



81	B67_L9_P	AW11	82	B67_L24_P	AJ14
83	B67_L9_N	AW10	84	B67_L24_N	AK14
85	B67_L3_P	AW8	86	B67_L22_P	AN14
87	B67_L3_N	AY8	88	B67_L22_N	AP14
89	GND		90	GND	
91	B67_L1_P	AW9	92	B67_L19_P	AL15
93	B67_L1_N	AY9	94	B67_L19_N	AM15
95	B67_L20_P	AJ15	96	B67_L17_P	AM11
97	B67_L20_N	AK15	98	B67_L17_N	AN11
99	GND		100	GND	
101	B67_L4_P	BA8	102	B67_L21_P	AL14
103	B67_L4_N	BA7	104	B67_L21_N	AM14
105	B67_L10_P	AV9	106	B67_L8_P	AU11
107	B67_L10_N	AV8	108	B67_L8_N	AV11
109	GND		110	GND	
111	B67_L2_P	BB9	112	B67_L5_P	BA6
113	B67_L2_N	BB8	114	B67_L5_N	BB6
115	B67_L6_P	BB5	116	B67_L18_P	AM10
117	B67_L6_N	BB4	118	B67_L18_N	AN10
119	GND		120	GND	

### J33 连接器的引脚分配

J33 连接 BANK224 , 225 , 226 , 227 的 GTH 收发器信号。

J33 管脚	信号名称	引脚号	J33 管脚	信号名称	引脚号
1	224_TX0_N	AY3	2	224_RX0_N	BA1
3	224_TX0_P	AY4	4	224_RX0_P	BA2
5	GND		6	GND	
7	224_TX1_N	AW5	8	224_RX1_N	AW1
9	224_TX1_P	AW6	10	224_RX1_P	AW2
11	GND		12	GND	
13	224_TX2_N	AU5	14	224_RX2_N	AV3
15	224_TX2_P	AU6	16	224_RX2_P	AV4
17	GND		18	GND	
19	224_TX3_N	AT7	20	224_RX3_N	AU1

21	224_TX3_P	AT8	22	224_RX3_P	AU2
23	GND		24	GND	
25	224_CLK0_N	AK11	26	224_CLK1_N	AJ9
27	224_CLK0_P	AK12	28	224_CLK1_P	AJ10
29	GND		30	GND	
31	225_TX0_N	AR5	32	225_RX0_N	AT3
33	225_TX0_P	AR6	34	225_RX0_P	AT4
35	GND		36	GND	
37	225_TX1_N	AP7	38	225_RX1_N	AR1
39	225_TX1_P	AP8	40	225_RX1_P	AR2
41	GND		42	GND	
43	225_TX2_N	AN5	44	225_RX2_N	AP3
45	225_TX2_P	AN6	46	225_RX2_P	AP4
47	GND		48	GND	
49	225_TX3_N	AM7	50	225_RX3_N	AN1
51	225_TX3_P	AM8	52	225_RX3_P	AN2
53	GND		54	GND	
55	225_CLK0_N	AH11	56	225_CLK1_N	AG9
57	225_CLK0_P	AH12	58	225_CLK1_P	AG10
59	GND		60	GND	
61	226_TX0_N	AL5	62	226_RX0_N	AM3
63	226_TX0_P	AL6	64	226_RX0_P	AM4
65	GND		66	GND	
67	226_TX1_N	AK7	68	226_RX1_N	AL1
69	226_TX1_P	AK8	70	226_RX1_P	AL2
71	GND		72	GND	
73	226_TX2_N	AJ5	74	226_RX2_N	AK3
75	226_TX2_P	AJ6	76	226_RX2_P	AK4
77	GND		78	GND	
79	226_TX3_N	AH7	80	226_RX3_N	AJ1
81	226_TX3_P	AH8	82	226_RX3_P	AJ2
83	GND		84	GND	
85	226_CLK0_N	AF11	86	226_CLK1_N	AE9
87	226_CLK0_P	AF12	88	226_CLK1_P	AE10
89	GND		90	GND	

91	227_TX0_N	AG5	92	227_RX0_N	AH3
93	227_TX0_P	AG6	94	227_RX0_P	AH4
95	GND		96	GND	
97	227_TX1_N	AF7	98	227_RX1_N	AG1
99	227_TX1_P	AF8	100	227_RX1_P	AG2
101	GND		102	GND	
103	227_TX2_N	AE5	104	227_RX2_N	AF3
105	227_TX2_P	AE6	106	227_RX2_P	AF4
107	GND		108	GND	
109	227_TX3_N	AD7	110	227_RX3_N	AE1
111	227_TX3_P	AD8	112	227_RX3_P	AE2
113	GND		114	GND	
115	227_CLK0_N	AD11	116	227_CLK1_N	AC9
117	227_CLK0_P	AD12	118	227_CLK1_P	AC10
119	GND		120	GND	

### J34 连接器的引脚分配

J34 连接 BANK228 , 229 , 230, 231 的 GTH 收发器信号。

J34 管脚	信号名称	引脚号	J34 管脚	信号名称	引脚号
1	228_TX0_N	AC5	2	228_RX0_N	AD3
3	228_TX0_P	AC6	4	228_RX0_P	AD4
5	GND		6	GND	
7	228_TX1_N	AB7	8	228_RX1_N	AC1
9	228_TX1_P	AB8	10	228_RX1_P	AC2
11	GND		12	GND	
13	228_TX2_N	AA5	14	228_RX2_N	AB3
15	228_TX2_P	AA6	16	228_RX2_P	AB4
17	GND		18	GND	
19	228_TX3_N	Y7	20	228_RX3_N	AA1
21	228_TX3_P	Y8	22	228_RX3_P	AA2
23	GND		24	GND	
25	228_CLK1_N	AA9	26	228_CLK0_N	AB11
27	228_CLK1_P	AA10	28	228_CLK0_P	AB12
29	GND		30	GND	

31	229_TX0_N	W5	32	229_RX0_N	Y3
33	229_TX0_P	W6	34	229_RX0_P	Y4
35	GND		36	GND	
37	229_TX1_N	V7	38	229_RX1_N	W1
39	229_TX1_P	V8	40	229_RX1_P	W2
41	GND		42	GND	
43	229_TX2_N	U5	44	229_RX2_N	V3
45	229_TX2_P	U6	46	229_RX2_P	V4
47	GND		48	GND	
49	229_TX3_N	T7	50	229_RX3_N	U1
51	229_TX3_P	T8	52	229_RX3_P	U2
53	GND		54	GND	
55	229_CLK1_N	W9	56	229_CLK0_N	Y11
57	229_CLK1_P	W10	58	229_CLK0_P	Y12
59	GND		60	GND	
61	230_TX0_N	R5	62	230_RX0_N	T3
63	230_TX0_P	R6	64	230_RX0_P	T4
65	GND		66	GND	
67	230_TX1_N	P7	68	230_RX1_N	R1
69	230_TX1_P	P8	70	230_RX1_P	R2
71	GND		72	GND	
73	230_TX2_N	N5	74	230_RX2_N	P3
75	230_TX2_P	N6	76	230_RX2_P	P4
77	GND		78	GND	
79	230_TX3_N	M7	80	230_RX3_N	N1
81	230_TX3_P	M8	82	230_RX3_P	N2
83	GND		84	GND	
85	230_CLK1_N	U9	86	230_CLK0_N	V11
87	230_CLK1_P	U10	88	230_CLK0_P	V12
89	GND		90	GND	
91	231_TX0_N	L5	92	231_RX0_N	M3
93	231_TX0_P	L6	94	231_RX0_P	M4
95	GND		96	GND	
97	231_TX1_N	K3	98	231_RX1_N	L1
99	231_TX1_P	K4	100	231_RX1_P	L2

101	GND		102	GND	
103	231_TX2_N	J5	104	231_RX2_N	J1
105	231_TX2_P	J6	106	231_RX2_P	J2
107	GND		108	GND	AC20
109	231_TX3_N	H3	110	231_RX3_N	G1
111	231_TX3_P	H4	112	231_RX3_P	G2
113	GND		114	GND	
115	231_CLK1_N	R9	116	231_CLK0_N	T11
117	231_CLK1_P	R10	118	231_CLK0_P	T12
119	GND		120	GND	

### J35 连接器

J35 连接+12V 电源，BANK91,BANK93,BANK94 的 IO；BANK91,93,94 的电平标准为 3.3V。

J35 管脚	信号名称	引脚号	J35 管脚	信号名称	引脚号
1	+12V		2	GND	
3	+12V		4	GND	
5	+12V		6	GND	
7	+12V		8	GND	
9	+12V		10	GND	
11	+12V		12	GND	
13	+12V		14	GND	
15	+12V		16	GND	
17	+12V		18	GND	
19	+12V		20	GND	
21	+12V		22	GND	
23	+12V		24	GND	
25	+12V		26	GND	
27	+12V		28	GND	
29	+12V		30	GND	
31	GND		32	GND	
33	B94_L5_N	D3	34	B94_L8_N	C3
35	B94_L5_P	D4	36	B94_L8_P	C4
37	B94_L7_N	C5	38	B94_L12_N	A4

39	B94_L7_P	C6	40	B94_L12_P	A5
41	GND		42	GND	
43	B94_L3_N	E2	44	B94_L4_N	D1
45	B94_L3_P	E3	46	B94_L4_P	E1
47	B94_L6_N	C1	48	B94_L9_N	B1
49	B94_L6_P	D2	50	B94_L9_P	B2
51	GND		52	GND	
53	B94_L1_N	F4	54	B94_L11_N	B5
55	B94_L1_P	F5	56	B94_L11_P	B6
57	B94_L10_N	A3	58	B94_L2_N	E4
59	B94_L10_P	B3	60	B94_L2_P	E5
61	GND		62	GND	
63	B93_L10_N	A7	64	B93_L1_N	F6
65	B93_L10_P	B7	66	B93_L1_P	G6
67	B93_L9_N	D6	68	B93_L5_N	F7
69	B93_L9_P	E6	70	B93_L5_P	G7
71	GND		72	GND	
73	B93_L7_N	D7	74	B93_L2_N	H8
75	B93_L7_P	E7	76	B93_L2_P	J8
77	B93_L8_N	C8	78	B93_L4_N	E9
79	B93_L8_P	D8	80	B93_L4_P	F9
81	GND		82	GND	
83	B93_L3_N	H9	84	B93_L6_N	F8
85	B93_L3_P	J9	86	B93_L6_P	G8
87	B93_L11_N	A8	88	B93_L12_N	C9
89	B93_L11_P	B8	90	B93_L12_P	D9
91	GND		92	GND	
93	B91_L12_N	A9	94	B91_L7_N	E10
95	B91_L12_P	A10	96	B91_L7_P	E11
97	B91_L5_N	F10	98	B91_L1_N	H10
99	B91_L5_P	G10	100	B91_L1_P	J11
101	GND		102	GND	
103	B91_L10_N	B10	104	B91_L9_N	C11
105	B91_L10_P	C10	106	B91_L9_P	D11
107	B91_L11_N	B11	108	B91_L2_N	G11

109	B91_L11_P	B12	110	B91_L2_P	H11
111	GND		112	GND	
113	B91_L3_N	G12	114	B91_L8_N	D12
115	B91_L3_P	H13	116	B91_L8_P	E12
117	B91_L4_N	G13	118	B91_L6_N	F12
119	B91_L4_P	H14	120	B91_L6_P	F13

### J36 连接器

J36 连接 VCCIO64~68 的 BANK 电源, BANK68,BANK90 的 IO。BANK68 的电平标准为+1.8V, BANK90 的电平标准为+3.3V。

J36 管脚	信号名称	引脚号	J36 管脚	信号名称	引脚号
1	VCCO_68		2	B68_L16_N	A12
3	VCCO_68		4	B68_L16_P	B13
5	GND		6	B68_L17_N	A13
7	GND		8	B68_L17_P	A14
9	VCCO_67		10	GND	
11	VCCO_67		12	B68_L15_N	C13
13	GND		14	B68_L15_P	D13
15	GND		16	B68_L1_N	N15
17	VCCO_66		18	B68_L1_P	P15
19	VCCO_66		20	GND	
21	GND		22	B68_L14_N	D14
23	GND		24	B68_L14_P	E15
25	VCCO_64		26	B68_L13_N	E14
27	VCCO_64		28	B68_L13_P	F14
29	GND		30	GND	
31	GND		32	B68_L18_N	B15
33	VCCO_65		34	B68_L18_P	C15
35	VCCO_65		36	B68_L12_N	F15
37	GND		38	B68_L12_P	G16
39	GND		40	GND	
41	悬空		42	B68_L20_N	B16
43	悬空		44	B68_L20_P	C16
45	悬空		46	B68_L19_N	D16

47	悬空		48	B68_L19_P	E16
49	GND		50	GND	
51	悬空		52	B68_L22_N	A17
53	悬空		54	B68_L22_P	B17
55	悬空		56	B68_L21_N	D17
57	悬空		58	B68_L21_P	E17
59	GND		60	GND	
61	B90_L12_N	J12	62	B68_L24_N	A18
63	B90_L12_P	J13	64	B68_L24_P	B18
65	B90_L7_N	K12	66	B68_L23_N	C18
67	B90_L7_P	L12	68	B68_L23_P	D18
69	GND		70	GND	
71	B90_L10_N	K10	72	B68_L7_N	G15
73	B90_L10_P	K11	74	B68_L7_P	H15
75	B90_L8_N	L13	76	B68_L5_N	K15
77	B90_L8_P	L14	78	B68_L5_P	K16
79	GND		80	GND	
81	B90_L11_N	J14	82	B68_L11_N	F17
83	B90_L11_P	K14	84	B68_L11_P	G17
85	B90_L5_N	M13	86	B68_L10_N	F18
87	B90_L5_P	N13	88	B68_L10_P	G18
89	GND		90	GND	
91	B90_L4_N	N14	92	B68_L8_N	H16
93	B90_L4_P	P14	94	B68_L8_P	J16
95	B90_L3_N	P13	96	B68_L6_N	K17
97	B90_L3_P	R14	98	B68_L6_P	L17
99	GND		100	GND	
101	B90_L2_N	N12	102	B68_L9_N	H18
103	B90_L2_P	P12	104	B68_L9_P	J18
105	B90_L9_N	L10	106	B68_L3_N	M16
107	B90_L9_P	M10	108	B68_L3_P	M17
109	GND		110	GND	
111	B90_L6_N	M11	112	B68_L4_N	L15
113	B90_L6_P	M12	114	B68_L4_P	M15
115	B90_L1_N	N10	116	B68_L2_N	N16



117	B90_L1_P	N11	118	B68_L2_P	P16
119	GND		120	GND	

## 三、 扩展板

### (一) 简介

通过前面的功能简介，我们可以了解到扩展板部分的功能

- PCIe3.0 x16 金手指
- 1 路 M.2 接口
- 1 路 DP 输出接口
- 1 路 USB3.0 Type-C 接口
- 1 路千兆以太网接口
- 2 路 USB Uart 接口
- 1 路 Micro SD 卡座
- 2 路 FMC HPC 扩展口
- JTAG 调试口
- 1 路温度传感器
- 1 路 EEPROM
- 2 个用户 LED 灯

## (二) PCIE3.0 X16 接口

Z19-P 扩展板配备了一个 PCIe3.0 x16 的接口,16 对收发器连接到 PCIe x16 的金手指上, 能实现 PCIE 的数据通信。

PCIe 接口的收发信号直接跟 FPGA BANK224,225,226,227 的收发器的相连接,16 路 TX 信号和 RX 信号都是以差分信号方式连接到 FPGA 的收发器上,单通道通信速率可高达 8Gbps 带宽。

开发板的 PCIe 接口的设计示意图如下图 3-2-1 所示,其中 TX 发送信号用 AC 耦合模式连接。

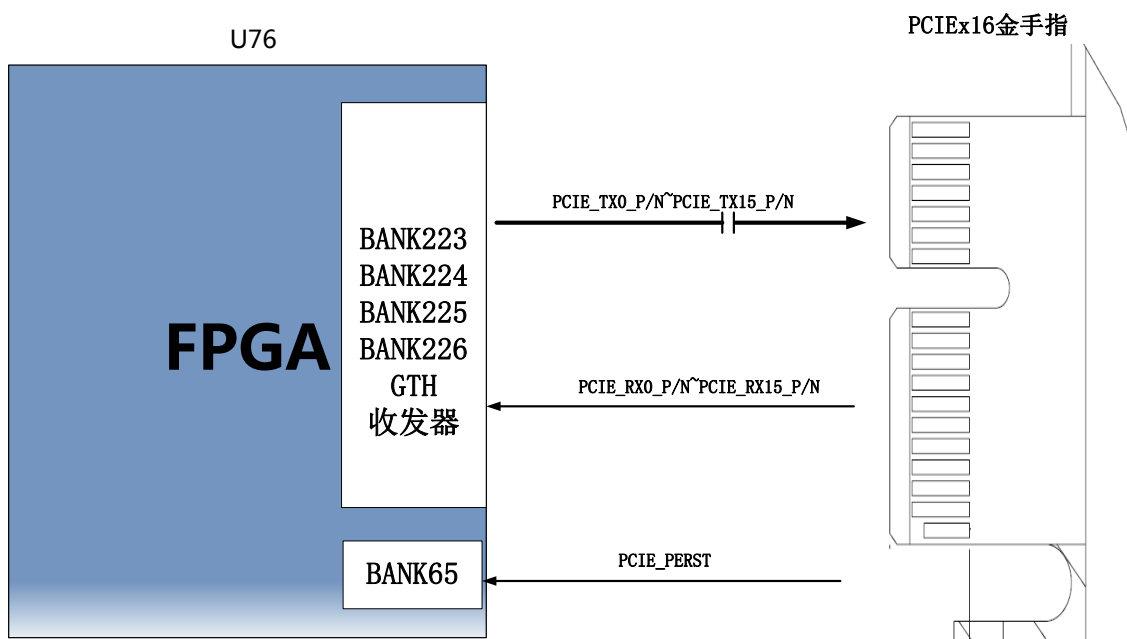


图 3-2-1 PCIe 插槽设计示意图

PCIe x8 接口 FPGA 引脚分配如下：

信号名称	FPGA 引脚名	引脚号	备注
PCIE_CLK_N	225_CLK0_N	AH11	PCIE 通道参考时钟负
PCIE_CLK_P	225_CLK0_P	AH12	PCIE 通道参考时钟正
PCIE_RX15_N	224_RX0_N	BA1	PCIE 通道 15 数据接收负
PCIE_RX15_P	224_RX0_P	BA2	PCIE 通道 15 数据接收正
PCIE_RX14_N	224_RX1_N	AW1	PCIE 通道 14 数据接收负
PCIE_RX14_P	224_RX1_P	AW2	PCIE 通道 14 数据接收正
PCIE_RX13_N	224_RX2_N	AV3	PCIE 通道 13 数据接收负

PCIE_RX13_P	224_RX2_P	AV4	PCIE 通道 13 数据接收正
PCIE_RX12_N	224_RX3_N	AU1	PCIE 通道 12 数据接收负
PCIE_RX12_P	224_RX3_P	AU2	PCIE 通道 12 数据接收正
PCIE_RX11_N	225_RX0_N	AT3	PCIE 通道 11 数据接收负
PCIE_RX11_P	225_RX0_P	AT4	PCIE 通道 11 数据接收正
PCIE_RX10_N	225_RX1_N	AR1	PCIE 通道 10 数据接收负
PCIE_RX10_P	225_RX1_P	AR2	PCIE 通道 10 数据接收正
PCIE_RX9_N	225_RX2_N	AP3	PCIE 通道 9 数据接收负
PCIE_RX9_P	225_RX2_P	AP4	PCIE 通道 9 数据接收正
PCIE_RX8_N	225_RX3_N	AN1	PCIE 通道 8 数据接收负
PCIE_RX8_P	225_RX3_P	AN2	PCIE 通道 8 数据接收正
PCIE_RX7_N	226_RX0_N	AM3	PCIE 通道 7 数据接收负
PCIE_RX7_P	226_RX0_P	AM4	PCIE 通道 7 数据接收正
PCIE_RX6_N	226_RX1_N	AL1	PCIE 通道 6 数据接收负
PCIE_RX6_P	226_RX1_P	AL2	PCIE 通道 6 数据接收正
PCIE_RX5_N	226_RX2_N	AK3	PCIE 通道 5 数据接收负
PCIE_RX5_P	226_RX2_P	AK4	PCIE 通道 5 数据接收正
PCIE_RX4_N	226_RX3_N	AJ1	PCIE 通道 4 数据接收负
PCIE_RX4_P	226_RX3_P	AJ2	PCIE 通道 4 数据接收正
PCIE_RX3_N	227_RX0_N	AH3	PCIE 通道 3 数据接收负
PCIE_RX3_P	227_RX0_P	AH4	PCIE 通道 3 数据接收正
PCIE_RX2_N	227_RX1_N	AG1	PCIE 通道 2 数据接收负
PCIE_RX2_P	227_RX1_P	AG2	PCIE 通道 2 数据接收正
PCIE_RX1_N	227_RX2_N	AF3	PCIE 通道 1 数据接收负
PCIE_RX1_P	227_RX2_P	AF4	PCIE 通道 1 数据接收正
PCIE_RX0_N	227_RX3_N	AE1	PCIE 通道 0 数据接收负
PCIE_RX0_P	227_RX3_P	AE2	PCIE 通道 0 数据接收正
PCIE_TX15_N	224_TX0_N	AY3	PCIE 通道 15 数据发送负
PCIE_TX15_P	224_TX0_P	AY4	PCIE 通道 15 数据发送正
PCIE_TX14_N	224_TX1_N	AW5	PCIE 通道 14 数据发送负
PCIE_TX14_P	224_TX1_P	AW6	PCIE 通道 14 数据发送正
PCIE_TX13_N	224_TX2_N	AU5	PCIE 通道 13 数据发送负

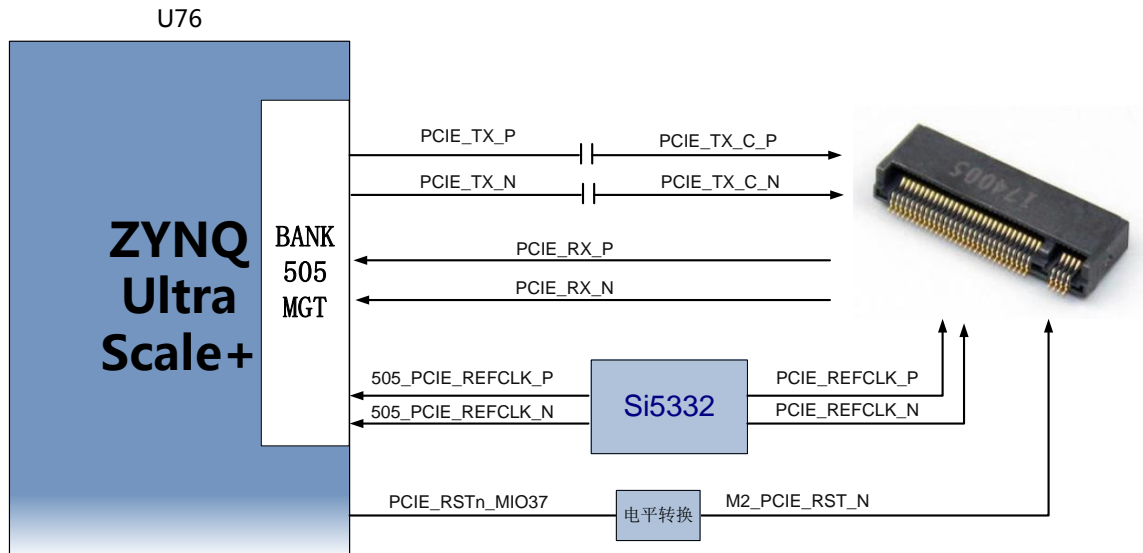
PCIE_TX13_P	224_TX2_P	AU6	PCIE 通道 13 数据发送正
PCIE_TX12_N	224_TX3_N	AT7	PCIE 通道 12 数据发送负
PCIE_TX12_P	224_TX3_P	AT8	PCIE 通道 12 数据发送正
PCIE_TX11_N	225_TX0_N	AR5	PCIE 通道 11 数据发送负
PCIE_TX11_P	225_TX0_P	AR6	PCIE 通道 11 数据发送正
PCIE_TX10_N	225_TX1_N	AP7	PCIE 通道 10 数据发送负
PCIE_TX10_P	225_TX1_P	AP8	PCIE 通道 10 数据发送正
PCIE_TX9_N	225_TX2_N	AN5	PCIE 通道 9 数据发送负
PCIE_TX9_P	225_TX2_P	AN6	PCIE 通道 9 数据发送正
PCIE_TX8_N	225_TX3_N	AM7	PCIE 通道 8 数据发送负
PCIE_TX8_P	225_TX3_P	AM8	PCIE 通道 8 数据发送正
PCIE_TX7_N	226_TX0_N	AL5	PCIE 通道 7 数据发送负
PCIE_TX7_P	226_TX0_P	AL6	PCIE 通道 7 数据发送正
PCIE_TX6_N	226_TX1_N	AK7	PCIE 通道 6 数据发送负
PCIE_TX6_P	226_TX1_P	AK8	PCIE 通道 6 数据发送正
PCIE_TX5_N	226_TX2_N	AJ5	PCIE 通道 5 数据发送负
PCIE_TX5_P	226_TX2_P	AJ6	PCIE 通道 5 数据发送正
PCIE_TX4_N	226_TX3_N	AH7	PCIE 通道 4 数据发送负
PCIE_TX4_P	226_TX3_P	AH8	PCIE 通道 4 数据发送正
PCIE_TX3_N	227_TX0_N	AG5	PCIE 通道 3 数据发送负
PCIE_TX3_P	227_TX0_P	AG6	PCIE 通道 3 数据发送正
PCIE_TX2_N	227_TX1_N	AF7	PCIE 通道 2 数据发送负
PCIE_TX2_P	227_TX1_P	AF8	PCIE 通道 2 数据发送正
PCIE_TX1_N	227_TX2_N	AE5	PCIE 通道 1 数据发送负
PCIE_TX1_P	227_TX2_P	AE6	PCIE 通道 1 数据发送正
PCIE_TX0_N	227_TX3_N	AD7	PCIE 通道 0 数据发送负
PCIE_TX0_P	227_TX3_P	AD8	PCIE 通道 0 数据发送正
PCIE_PERSTN	IO_T3U_PERSTN0_65	AM25	PCIE 复位信号

### (三) M.2 接口

Z19-P 开发板配备了一个 PCIE x1 标准的 M.2 接口，用于连接 M.2 的 SSD 固态硬盘，

通信速度高达 6Gbps。M.2 接口使用 M key 插槽，只支持 PCI-E，不支持 SATA，用户选择 SSD 固态硬盘的时候需要选择 PCIE 类型的 SSD 固态硬盘。

PCIE 信号直接跟 ZU19EG 的 BANK505 PS MGT 收发器相连接，1 路 TX 信号和 RX 信号都是以差分信号方式连接到 MGT 的 LANE1。PCIE 的时钟由 Si5332 芯片提供，频率为 100Mhz，M.2 电路设计的示意图如下图 3-3-1 所示：



3-3-1 M.2 接口设计示意图

M.2 接口 ZYNQ 引脚分配如下：

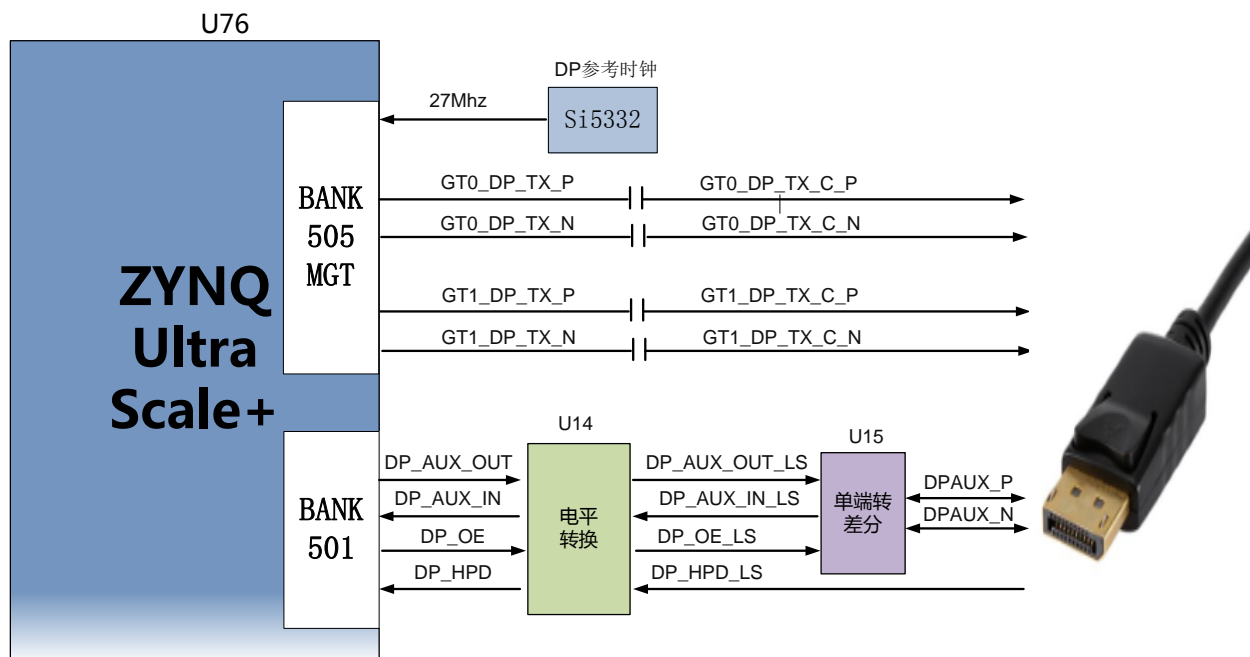
信号名称	引脚名	引脚号	备注
PCIE_TX_P	PS_MGTRTXP0_505	AH39	PCIE 数据发送正
PCIE_TX_N	PS_MGTRTXN0_505	AH40	PCIE 数据发送负
PCIE_RX_P	PS_MGTRRXPO_505	AG41	PCIE 数据接收正
PCIE_RX_N	PS_MGTRRXN0_505	AG42	PCIE 数据接收负
505_PCIE_REFCLK_P	PS_MGTREFCLK0P_505	AG37	PCIE 参考时钟正
505_PCIE_REFCLK_N	PS_MGTREFCLK0N_505	AG38	PCIE 参考时钟负
PCIE_RSTN_MIO37	PS_MIO37_501	N30	PCIE 复位信号

#### (四) DP 显示接口

Z19-P 开发板带有 1 路 mini DisplayPort 输出显示接口，用于视频图像的显示。接口支持 VESA DisplayPort V1.2a 输出标准，最高支持 4K x 2K@30Fps 输出，支持 Y-only, YCbCr444, YCbCr422, YCbCr420 和 RGB 视频格式，每种颜色支持 6, 8, 10, 或者 12 位。

DisplayPort 数据传输通道直接用 ZU19EG 的 BANK505 PS MGT 驱动输出，MGT 的

LANE2 和 LANE3 TX 信号以差分信号方式连接到 DP 连接器。DisplayPort 辅助通道连接到 PS 的 MIO 管脚上。DP 输出接口设计的示意图如下图所示 3-4-1 所示:



3-4-1 DP 接口设计示意图

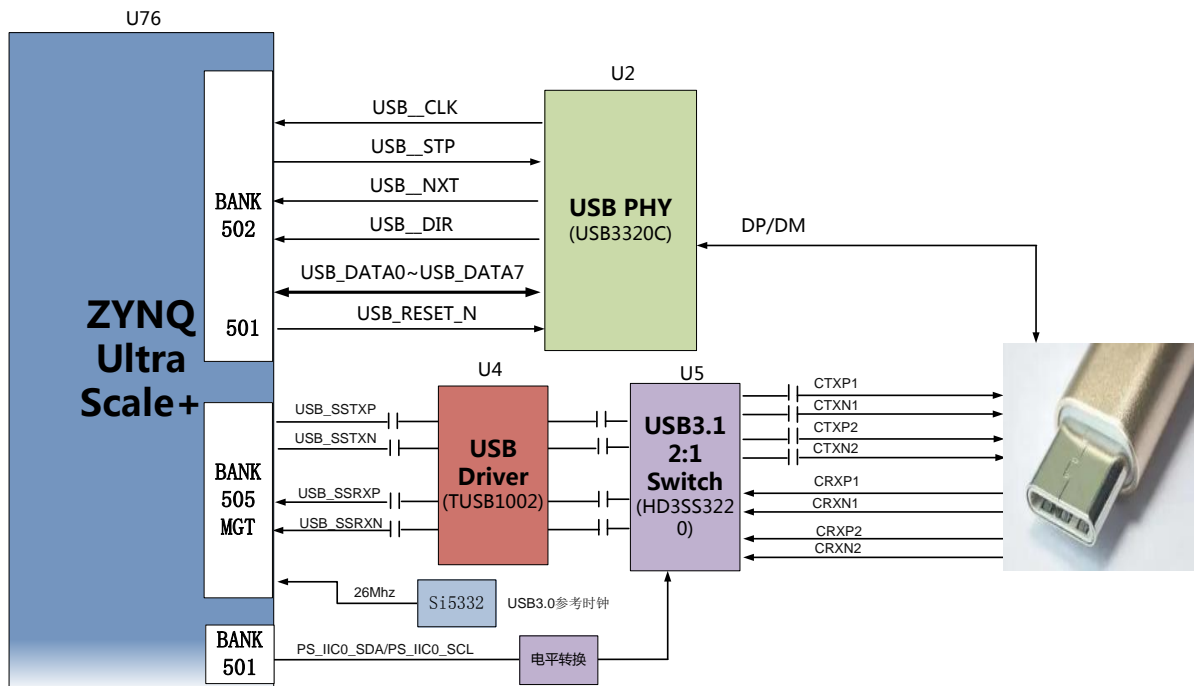
DisplayPort 接口 ZYNQ 引脚分配如下：

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
GT0_DP_TX_P	PS_MGTRTXP3_505	AB39	DP 数据低位发送正
GT0_DP_TX_N	PS_MGTRTXN3_505	AB40	DP 数据低位发送负
GT1_DP_TX_P	PS_MGTRTXP2_505	AD39	DP 数据高位发送正
GT1_DP_TX_N	PS_MGTRTXN2_505	AD40	DP 数据高位发送负
505_DP_CLKP	PS_MGTREFCLK2P_505	AC37	DP 参考时钟正
505_DP_CLKN	PS_MGTREFCLK2N_505	AC38	DP 参考时钟负
DP_AUX_OUT_MIO27	PS_MIO27_501	L29	DP 辅助数据输出
DP_AUX_IN_MIO30	PS_MIO30_501	L30	DP 辅助数据输入
DP_OE_MIO29	PS_MIO29_501	M27	DP 辅助数据输出使能
DP_HPDP_MIO28	PS_MIO28_501	L28	DP 插入信号检测

## (五) USB3.0 Type-C 接口

Z19-P 扩展板上 1 个 USB3.0 TYPE C 接口，支持 HOST、SLAVE、OTG 工作模式，数据传输速度高达 5.0Gb/s。USB3.0 通过 PIPE3 接口连接，USB2.0 通过 ULPI 接口连接外部的 USB3320C 芯片，实现高速的 USB3.0 和 USB2.0 的数据通信。USB3.0 连接的示意图如 3-5-1

所示：



3-5-1 USB3.0 接口示意图

**USB 接口引脚分配：**

信号名称	引脚名	引脚号	备注
USB_SSTXP	PS_MGTRTXP1_505	AF39	USB3.0 数据发送正
USB_SSTXN	PS_MGTRTXN1_505	AF40	USB3.0 数据发送负
USB_SSRXP	PS_MGTRRX1_505	AE41	USB3.0 数据接收正
USB_SSRXN	PS_MGTRRXN1_505	AE42	USB3.0 数据接收负
USB_DATA0	PS_MIO56_502	AA30	USB2.0 数据 Bit0
USB_DATA1	PS_MIO57_502	AB30	USB2.0 数据 Bit1
USB_DATA2	PS_MIO54_502	Y29	USB2.0 数据 Bit2
USB_DATA3	PS_MIO59_502	AC31	USB2.0 数据 Bit3
USB_DATA4	PS_MIO60_502	AD29	USB2.0 数据 Bit4
USB_DATA5	PS_MIO61_502	AC32	USB2.0 数据 Bit5
USB_DATA6	PS_MIO62_502	AD31	USB2.0 数据 Bit6
USB_DATA7	PS_MIO63_502	AD30	USB2.0 数据 Bit7
USB_STP	PS_MIO58_502	AC29	USB2.0 停止信号
USB_DIR	PS_MIO53_502	Y30	USB2.0 数据方向信号
USB_CLK	PS_MIO52_502	W29	USB2.0 时钟信号
USB_NXT	PS_MIO55_502	AB29	USB2.0 下一数据信号



USB_RESET_N	PS_MIO44_501	R29	USB2.0 复位信号
-------------	--------------	-----	-------------

## (六) 千兆以太网接口

Z19-P 扩展板上有 1 路千兆以太网接口连接到 PS 端。以太网芯片采用景略半导体的工业级以太网 GPHY 芯片 (JL2121-N040I) 为用户提供网络通信服务。PS 端的以太网 PHY 芯片是连接到 ZYNQ 的 PS 端 BANK502 的 GPIO 接口上。JL2121 芯片支持 10/100/1000 Mbps 网络传输速率, 通过 RGMII 接口跟 Zynq7000 系统的 MAC 层进行数据通信。JL2121D 支持 MDI/MDX 自适应, 各种速度自适应, Master/Slave 自适应, 支持 MDIO 总线进行 PHY 的寄存器管理。

JL2121 上电会检测一些特定的 IO 的电平状态, 从而确定自己的工作模式。表 3-6-1 描述了 GPHY 芯片上电之后的默认设定信息。

配置 Pin 脚	说明	配置值
RXD3_ADR0 RXC_ADR1 RXCTL_ADR2	MDIO/MDC 模式的 PHY 地址	PHY Address 为 001
RXD1_TXDLY	TX 时钟 2ns 延时	延时
RXD0_RXDLY	RX 时钟 2ns 延时	延时

表 3-6-1 PHY 芯片默认配置值

当网络连接到千兆以太网时, ZYNQ 和 PHY 芯片 JL2121 的数据传输时通过 RGMII 总线通信, 传输时钟为 125Mhz, 数据在时钟的上升沿和下降样采样。

当网络连接到百兆以太网时, ZYNQ 和 PHY 芯片 JL2121 的数据传输时通过 RMII 总线通信, 传输时钟为 25Mhz。数据在时钟的上升沿和下降样采样。

图 3-6-1 为 ZYNQ 以太网 PHY 芯片连接示意图:

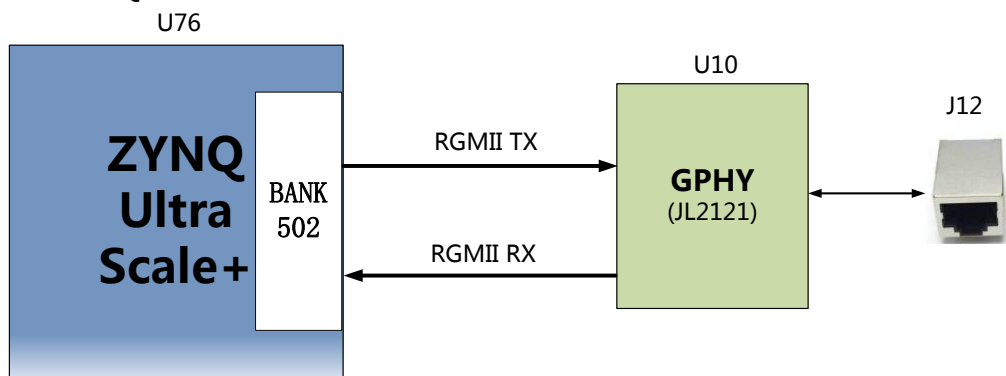


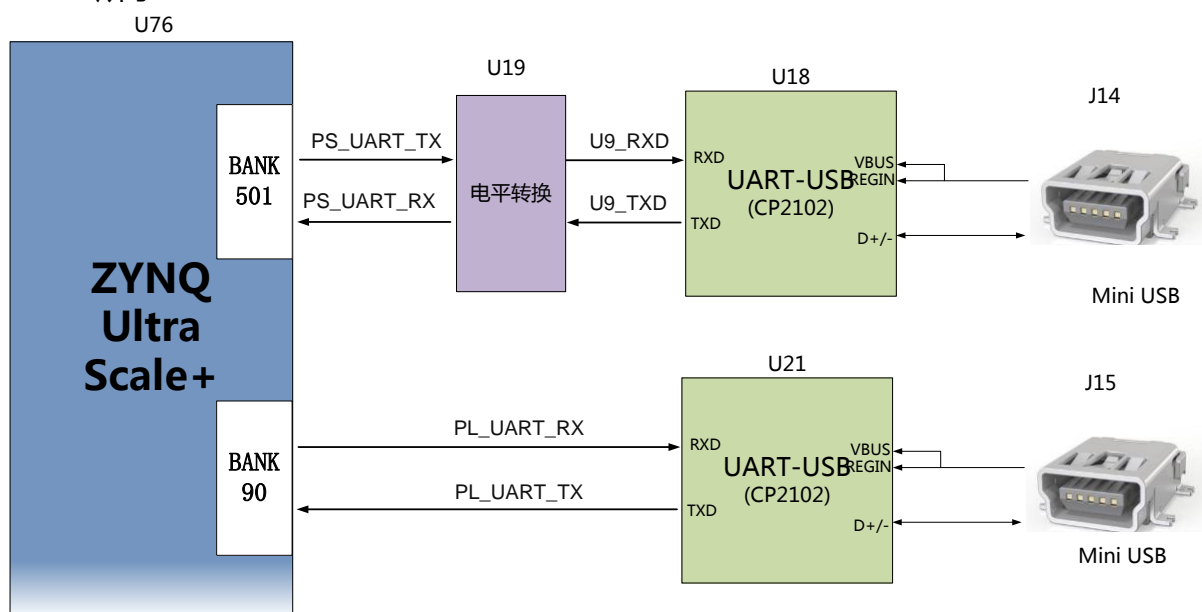
图 3-6-1 ZYNQ 与 GPHY 连接示意图

PS 千兆以太网引脚分配如下：

信号名称	引脚名	引脚号	备注
PHY1_TXCK	PHY1_TXCK	J31	以太网 1RGMII 发送时钟
PHY1_TXD0	PHY1_TXD0	J32	以太网 1 发送数据 bit 0
PHY1_TXD1	PHY1_TXD1	J34	以太网 1 发送数据 bit1
PHY1_TXD2	PHY1_TXD2	K28	以太网 1 发送数据 bit2
PHY1_TXD3	PHY1_TXD3	K29	以太网 1 发送数据 bit3
PHY1_TXCTL	PHY1_TXCTL	K30	以太网 1 发送使能信号
PHY1_RXCK	PHY1_RXCK	K31	以太网 1RGMII 接收时钟
PHY1_RXD0	PHY1_RXD0	K32	以太网 1 接收数据 Bit0
PHY1_RXD1	PHY1_RXD1	K33	以太网 1 接收数据 Bit1
PHY1_RXD2	PHY1_RXD2	K34	以太网 1 接收数据 Bit2
PHY1_RXD3	PHY1_RXD3	L29	以太网 1 接收数据 Bit3
PHY1_RXCTL	PHY1_RXCTL	L30	以太网 1 接收数据有效信号
PHY1_MDC	PHY1_MDC	L33	以太网 1MDIO 管理时钟
PHY1_MDIO	PHY1_MDIO	L34	以太网 1MDIO 管理数据

## (七) USB Uart 接口

Z19-P 扩展板上配备了 2 个 Uart 转 USB 接口，1 个连接到 PS 端，一个连接到 PL 端。转换芯片采用 Silicon Labs CP2102 的 USB-UAR 芯片, USB 接口采用 MINI USB 接口，可以用 USB 线将它连接到上 PC 的 USB 口进行串口数据通信。USB Uart 电路设计的示意图如下图 3-7-1 所示:



3-7-1 USB 转串口示意图

## USB 转串口的 ZYNQ 引脚分配：

信号名称	引脚名	引脚号	备注
PS_UART_RX	PS_MIO38	R27	PS Uart 数据输入
PS_UART_TX	PS_MIO39	P29	PS Uart 数据输出
PL_UART_RX	B90_L6_N	M11	PL Uart 数据输入
PL_UART_TX	B90_L6_P	M12	PL Uart 数据输出

## (八) Micro SD 卡座

扩展板包含了一个Micro型的SD卡接口,以提供用户访问SD卡存储器,用于存储ZU19EG芯片的BOOT程序, Linux操作系统内核, 文件系统以及其它的用户数据文件。

SDIO信号与ZU19EG的PS BANK501的IO信号相连, 因为501的VCCIO设置为1.8V, 但SD卡的数据电平为3.3V, 我们这里通过TXS02612电平转换器来连接。ZU19EG PS和SD卡连接器的原理图如图3-8-1所示。

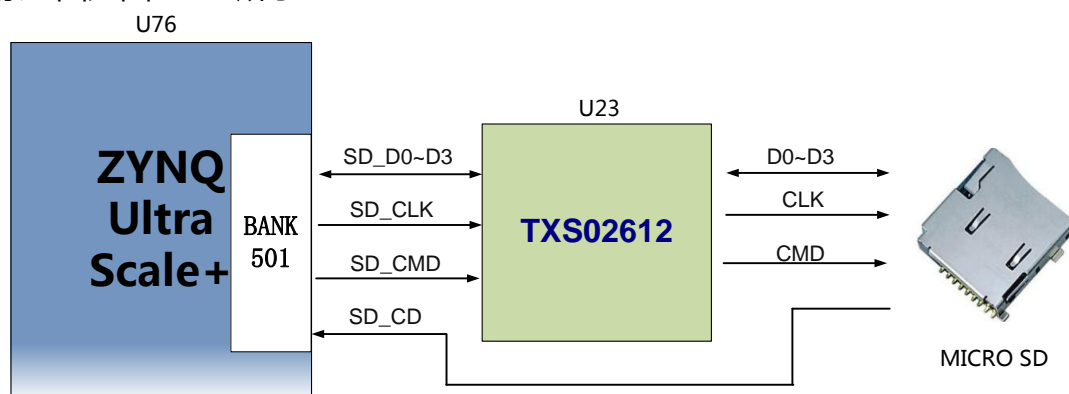


图 3-8-1 SD 卡连接示意图

## SD 卡槽引脚分配

信号名称	引脚名	引脚号	备注
SD_CMD	PS_MIO50_501	V29	SD 时钟信号
SD_CD	PS_MIO45_501	T29	SD 卡检测信号
SD_D0	PS_MIO46_501	U28	SD 数据 Data0
SD_D1	PS_MIO47_501	T28	SD 数据 Data1
SD_D2	PS_MIO48_501	V30	SD 数据 Data2
SD_D3	PS_MIO49_501	U29	SD 数据 Data3
SD_CMD	PS_MIO50_501	V29	SD 命令信号

## (九) FMC 连接器

Z19-P 开发板带有两个 FMC HPC 的扩展口组成标准的双宽度 FMC 接口，可以外接 XILINX 或者我们黑金的各种 FMC 模块（HDMI 输入输出模块，双目摄像头模块，高速 AD 模块等等）。其中 FMC1 扩展口包含 72 对差分 IO 信号和 8 组 GTH 收发器信号，FMC2 扩展口包含 42 对差分 IO 信号和 8 组 GTH 收发器信号。

FMC1 扩展口的 72 对差分信号连接到 ZYNQ Ultrascale+ 芯片的 BANK66, 67, 68 的 IO 上，电平标准为 1.8V 或者是 1.2V（跳帽 J23 来选择），差分信号支持 LVDS 数据通信。8 组 GTH 收发器信号连接到 BANK230 和 BANK231。ZYNQ Ultrascale+ 和 FMC1 连接器的原理图如图 3-9-1 所示。

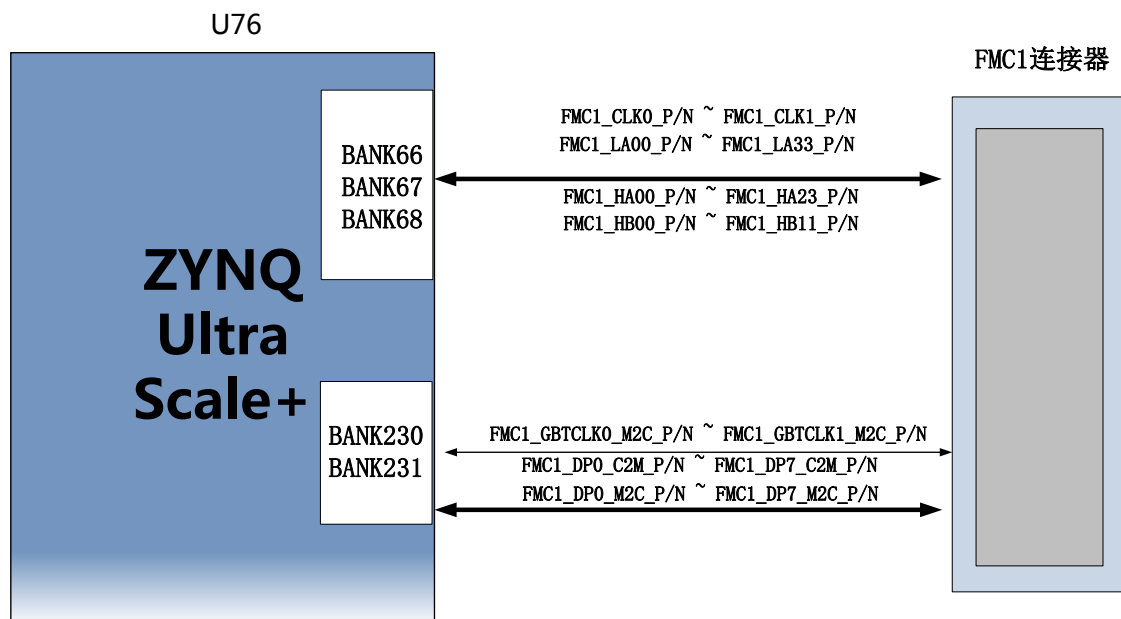


图 18-1 FMC1 连接器连接示意图

### FMC1 连接器引脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
FMC1_GBTCLK0_M2C_P	230_CLK0_P	V12	FMC1收发器参考时钟0正
FMC1_GBTCLK0_M2C_N	230_CLK0_N	V11	FMC1 收发器参考时钟 0 负
FMC1_GBTCLK1_M2C_P	231_CLK0_P	T12	FMC1收发器参考时钟1正
FMC1_GBTCLK1_M2C_N	231_CLK0_N	T11	FMC1 收发器参考时钟 1 负
FMC1_DP0_M2C_P	230_RX0_P	T4	FMC1收发器数据接收0正
FMC1_DP0_M2C_N	230_RX0_N	T3	FMC1收发器数据接收0负
FMC1_DP1_M2C_P	230_RX1_P	R2	FMC1收发器数据接收1正
FMC1_DP1_M2C_N	230_RX1_N	R1	FMC1收发器数据接收1负

FMC1_DP2_M2C_P	230_RX2_P	P4	FMC1收发器数据接收2正
FMC1_DP2_M2C_N	230_RX2_N	P3	FMC1收发器数据接收2负
FMC1_DP3_M2C_P	230_RX3_P	N2	FMC1收发器数据接收3正
FMC1_DP3_M2C_N	230_RX3_N	N1	FMC1收发器数据接收3负
FMC1_DP4_M2C_P	231_RX1_P	L2	FMC1收发器数据接收4正
FMC1_DP4_M2C_N	231_RX1_N	L1	FMC1收发器数据接收4负
FMC1_DP5_M2C_P	231_RX3_P	G2	FMC1收发器数据接收5正
FMC1_DP5_M2C_N	231_RX3_N	G1	FMC1收发器数据接收5负
FMC1_DP6_M2C_P	231_RX2_P	J2	FMC1收发器数据接收6正
FMC1_DP6_M2C_N	231_RX2_N	J1	FMC1收发器数据接收6负
FMC1_DP7_M2C_P	231_RX0_P	M4	FMC1收发器数据接收7正
FMC1_DP7_M2C_N	231_RX0_N	M3	FMC1收发器数据接收7负
FMC1_DP0_C2M_P	230_TX0_P	R6	FMC1收发器数据发送0正
FMC1_DP0_C2M_N	230_TX0_N	R5	FMC1收发器数据发送0负
FMC1_DP1_C2M_P	230_TX1_P	P8	FMC1收发器数据发送1正
FMC1_DP1_C2M_N	230_TX1_N	P7	FMC1收发器数据发送1负
FMC1_DP2_C2M_P	230_TX2_P	N6	FMC1收发器数据发送2正
FMC1_DP2_C2M_N	230_TX2_N	N5	FMC1收发器数据发送2负
FMC1_DP3_C2M_P	230_TX3_P	M8	FMC1收发器数据发送3正
FMC1_DP3_C2M_N	230_TX3_N	M7	FMC1收发器数据发送3负
FMC1_DP4_C2M_P	231_TX1_P	K4	FMC1收发器数据发送4正
FMC1_DP4_C2M_N	231_TX1_N	K3	FMC1收发器数据发送4负
FMC1_DP5_C2M_P	231_TX3_P	H4	FMC1收发器数据发送5正
FMC1_DP5_C2M_N	231_TX3_N	H3	FMC1收发器数据发送5负
FMC1_DP6_C2M_P	231_TX2_P	J6	FMC1收发器数据发送6正
FMC1_DP6_C2M_N	231_TX2_N	J5	FMC1收发器数据发送6负
FMC1_DP7_C2M_P	231_TX0_P	L6	FMC1收发器数据发送7正
FMC1_DP7_C2M_N	231_TX0_N	L5	FMC1收发器数据发送7负
FMC1_CLK0_P	B66_L12_P	AU14	FMC1第1路参考时钟P
FMC1_CLK0_N	B66_L12_N	AV14	FMC1第1路参考时钟N
FMC1_CLK1_P	B67_L12_P	AT11	FMC1第2路参考时钟P
FMC1_CLK1_N	B67_L12_N	AT10	FMC1第2路参考时钟N
FMC1_LA00_CC_P	B66_L14_P	AT15	FMC1 LA第0路数据P
FMC1_LA00_CC_N	B66_L14_N	AU15	FMC1 LA第0路数据N
FMC1_LA01_CC_P	B66_L13_P	AV17	FMC1 LA第1路数据P

FMC1_LA01_CC_N	B66_L13_N	AV16	FMC1 LA第1路数据N
FMC1_LA02_P	B66_L3_P	AW17	FMC1 LA第2路数据P
FMC1_LA02_N	B66_L3_N	AW16	FMC1 LA第2路数据N
FMC1_LA03_P	B66_L1_P	AY17	FMC1 LA第3路数据P
FMC1_LA03_N	B66_L1_N	BA17	FMC1 LA第3路数据N
FMC1_LA04_P	B66_L4_P	BA15	FMC1 LA第4路数据P
FMC1_LA04_N	B66_L4_N	BB15	FMC1 LA第4路数据N
FMC1_LA05_P	B66_L17_P	AR17	FMC1 LA第5路数据P
FMC1_LA05_N	B66_L17_N	AT17	FMC1 LA第5路数据N
FMC1_LA06_P	B66_L20_P	AL18	FMC1 LA第6路数据P
FMC1_LA06_N	B66_L20_N	AM18	FMC1 LA第6路数据N
FMC1_LA07_P	B66_L22_P	AJ17	FMC1 LA第7路数据P
FMC1_LA07_N	B66_L22_N	AK17	FMC1 LA第7路数据N
FMC1_LA08_P	B66_L23_P	AL16	FMC1 LA第8路数据P
FMC1_LA08_N	B66_L23_N	AM16	FMC1 LA第8路数据N
FMC1_LA09_P	B66_L21_P	AN18	FMC1 LA第9路数据P
FMC1_LA09_N	B66_L21_N	AN17	FMC1 LA第9路数据N
FMC1_LA10_P	B66_L5_P	AY15	FMC1 LA第10路数据P
FMC1_LA10_N	B66_L5_N	AY14	FMC1 LA第10路数据N
FMC1_LA11_P	B66_L11_P	AW15	FMC1 LA第11路数据P
FMC1_LA11_N	B66_L11_N	AW14	FMC1 LA第11路数据N
FMC1_LA12_P	B66_L19_P	AJ18	FMC1 LA第12路数据P
FMC1_LA12_N	B66_L19_N	AK18	FMC1 LA第12路数据N
FMC1_LA13_P	B66_L9_P	BA10	FMC1 LA第13路数据P
FMC1_LA13_N	B66_L9_N	BB10	FMC1 LA第13路数据N
FMC1_LA14_P	B66_L7_P	AY12	FMC1 LA第14路数据P
FMC1_LA14_N	B66_L7_N	BA12	FMC1 LA第14路数据N
FMC1_LA15_P	B66_L10_P	AU13	FMC1 LA第15路数据P
FMC1_LA15_N	B66_L10_N	AV13	FMC1 LA第15路数据N
FMC1_LA16_P	B66_L8_P	BA11	FMC1 LA第16路数据P
FMC1_LA16_N	B66_L8_N	BB11	FMC1 LA第16路数据N
FMC1_LA17_CC_P	B67_L14_P	AP10	FMC1 LA第17路数据P
FMC1_LA17_CC_N	B67_L14_N	AR10	FMC1 LA第17路数据N
FMC1_LA18_CC_P	B67_L13_P	AR13	FMC1 LA第18路数据P
FMC1_LA18_CC_N	B67_L13_N	AR12	FMC1 LA第18路数据N

FMC1_LA19_P	B67_L23_P	AM13	FMC1 LA第19路数据P
FMC1_LA19_N	B67_L23_N	AN13	FMC1 LA第19路数据N
FMC1_LA20_P	B67_L15_P	AR15	FMC1 LA第20路数据P
FMC1_LA20_N	B67_L15_N	AR14	FMC1 LA第20路数据N
FMC1_LA21_P	B67_L11_P	AT13	FMC1 LA第21路数据P
FMC1_LA21_N	B67_L11_N	AT12	FMC1 LA第21路数据N
FMC1_LA22_P	B67_L8_P	AU11	FMC1 LA第22路数据P
FMC1_LA22_N	B67_L8_N	AV11	FMC1 LA第22路数据N
FMC1_LA23_P	B67_L9_P	AW11	FMC1 LA第23路数据P
FMC1_LA23_N	B67_L9_N	AW10	FMC1 LA第23路数据N
FMC1_LA24_P	B67_L16_P	AN12	FMC1 LA第24路数据P
FMC1_LA24_N	B67_L16_N	AP12	FMC1 LA第24路数据N
FMC1_LA25_P	B67_L22_P	AN14	FMC1 LA第25路数据P
FMC1_LA25_N	B67_L22_N	AP14	FMC1 LA第25路数据N
FMC1_LA26_P	B67_L7_P	AV12	FMC1 LA第26路数据P
FMC1_LA26_N	B67_L7_N	AW12	FMC1 LA第26路数据N
FMC1_LA27_P	B67_L10_P	AV9	FMC1 LA第27路数据P
FMC1_LA27_N	B67_L10_N	AV8	FMC1 LA第27路数据N
FMC1_LA28_P	B67_L17_P	AM11	FMC1 LA第28路数据P
FMC1_LA28_N	B67_L17_N	AN11	FMC1 LA第28路数据N
FMC1_LA29_P	B67_L1_P	AW9	FMC1 LA第29路数据P
FMC1_LA29_N	B67_L1_N	AY9	FMC1 LA第29路数据N
FMC1_LA30_P	B67_L3_P	AW8	FMC1 LA第30路数据P
FMC1_LA30_N	B67_L3_N	AY8	FMC1 LA第30路数据N
FMC1_LA31_P	B67_L5_P	BA6	FMC1 LA第31路数据P
FMC1_LA31_N	B67_L5_N	BB6	FMC1 LA第31路数据N
FMC1_LA32_P	B67_L2_P	BB9	FMC1 LA第32路数据P
FMC1_LA32_N	B67_L2_N	BB8	FMC1 LA第32路数据N
FMC1_LA33_P	B67_L4_P	BA8	FMC1 LA第33路数据P
FMC1_LA33_N	B67_L4_N	BA7	FMC1 LA第33路数据N
FMC1_HA00_CC_P	B68_L11_P	G17	FMC1 HA第0路数据P
FMC1_HA00_CC_N	B68_L11_N	F17	FMC1 HA第0路数据N
FMC1_HA01_CC_P	B68_L12_P	G16	FMC1 HA第1路数据P
FMC1_HA01_CC_N	B68_L12_N	F15	FMC1 HA第1路数据N
FMC1_HA02_P	B68_L2_P	P16	FMC1 HA第2路数据P

FMC1_HA02_N	B68_L2_N	N16	FMC1 HA第2路数据N
FMC1_HA03_P	B68_L4_P	M15	FMC1 HA第3路数据P
FMC1_HA03_N	B68_L4_N	L15	FMC1 HA第3路数据N
FMC1_HA04_P	B68_L8_P	J16	FMC1 HA第4路数据P
FMC1_HA04_N	B68_L8_N	H16	FMC1 HA第4路数据N
FMC1_HA05_P	B68_L6_P	L17	FMC1 HA第5路数据P
FMC1_HA05_N	B68_L6_N	K17	FMC1 HA第5路数据N
FMC1_HA06_P	B68_L9_P	J18	FMC1 HA第6路数据P
FMC1_HA06_N	B68_L9_N	H18	FMC1 HA第6路数据N
FMC1_HA07_P	B68_L3_P	M17	FMC1 HA第7路数据P
FMC1_HA07_N	B68_L3_N	M16	FMC1 HA第7路数据N
FMC1_HA08_P	B68_L7_P	H15	FMC1 HA第8路数据P
FMC1_HA08_N	B68_L7_N	G15	FMC1 HA第8路数据N
FMC1_HA09_P	B68_L5_P	K16	FMC1 HA第9路数据P
FMC1_HA09_N	B68_L5_N	K15	FMC1 HA第9路数据N
FMC1_HA10_P	B68_L23_P	D18	FMC1 HA第10路数据P
FMC1_HA10_N	B68_L23_N	C18	FMC1 HA第10路数据N
FMC1_HA11_P	B68_L10_P	G18	FMC1 HA第11路数据P
FMC1_HA11_N	B68_L10_N	F18	FMC1 HA第11路数据N
FMC1_HA12_P	B68_L21_P	E17	FMC1 HA第12路数据P
FMC1_HA12_N	B68_L21_N	D17	FMC1 HA第12路数据N
FMC1_HA13_P	B68_L24_P	B18	FMC1 HA第13路数据P
FMC1_HA13_N	B68_L24_N	A18	FMC1 HA第13路数据N
FMC1_HA14_P	B68_L22_P	B17	FMC1 HA第14路数据P
FMC1_HA14_N	B68_L22_N	A17	FMC1 HA第14路数据N
FMC1_HA15_P	B68_L20_P	C16	FMC1 HA第15路数据P
FMC1_HA15_N	B68_L20_N	B16	FMC1 HA第15路数据N
FMC1_HA16_P	B68_L19_P	E16	FMC1 HA第16路数据P
FMC1_HA16_N	B68_L19_N	D16	FMC1 HA第16路数据N
FMC1_HA17_CC_P	B68_L18_P	C15	FMC1 HA第17路数据P
FMC1_HA17_CC_N	B68_L18_N	B15	FMC1 HA第17路数据N
FMC1_HA18_P	B68_L13_P	F14	FMC1 HA第18路数据P
FMC1_HA18_N	B68_L13_N	E14	FMC1 HA第18路数据N
FMC1_HA19_P	B68_L1_P	P15	FMC1 HA第19路数据P
FMC1_HA19_N	B68_L1_N	N15	FMC1 HA第19路数据N



FMC1_HA20_P	B68_L14_P	E15	FMC1 HA第20路数据P
FMC1_HA20_N	B68_L14_N	D14	FMC1 HA第20路数据N
FMC1_HA21_P	B68_L15_P	D13	FMC1 HA第21路数据P
FMC1_HA21_N	B68_L15_N	C13	FMC1 HA第21路数据N
FMC1_HA22_P	B68_L17_P	A14	FMC1 HA第22路数据P
FMC1_HA22_N	B68_L17_N	A13	FMC1 HA第22路数据N
FMC1_HA23_P	B68_L16_P	B13	FMC1 HA第23路数据P
FMC1_HA23_N	B68_L16_N	A12	FMC1 HA第23路数据N
FMC1_HB00_CC_P	B66_L15_P	AU18	FMC1 HB第0路数据P
FMC1_HB00_CC_N	B66_L15_N	AV18	FMC1 HB第0路数据N
FMC1_HB01_P	B66_L16_P	AR18	FMC1 HB第1路数据P
FMC1_HB01_N	B66_L16_N	AT18	FMC1 HB第1路数据N
FMC1_HB02_P	B66_L24_P	AN16	FMC1 HB第2路数据P
FMC1_HB02_N	B66_L24_N	AP16	FMC1 HB第2路数据N
FMC1_HB03_P	B66_L18_P	AT16	FMC1 HB第3路数据P
FMC1_HB03_N	B66_L18_N	AU16	FMC1 HB第3路数据N
FMC1_HB04_P	B66_L2_P	BA16	FMC1 HB第4路数据P
FMC1_HB04_N	B66_L2_N	BB16	FMC1 HB第4路数据N
FMC1_HB05_P	B66_L6_P	BA13	FMC1 HB第5路数据P
FMC1_HB05_N	B66_L6_N	BB13	FMC1 HB第5路数据N
FMC1_HB06_CC_P	B67_L21_P	AL14	FMC1 HB第6路数据P
FMC1_HB06_CC_N	B67_L21_N	AM14	FMC1 HB第6路数据N
FMC1_HB07_P	B67_L24_P	AJ14	FMC1 HB第7路数据P
FMC1_HB07_N	B67_L24_N	AK14	FMC1 HB第7路数据N
FMC1_HB08_P	B67_L19_P	AL15	FMC1 HB第8路数据P
FMC1_HB08_N	B67_L19_N	AM15	FMC1 HB第8路数据N
FMC1_HB09_P	B67_L20_P	AJ15	FMC1 HB第9路数据P
FMC1_HB09_N	B67_L20_N	AK15	FMC1 HB第9路数据N
FMC1_HB10_P	B67_L18_P	AM10	FMC1 HB第10路数据P
FMC1_HB10_N	B67_L18_N	AN10	FMC1 HB第10路数据N
FMC1_HB11_P	B67_L6_P	BB5	FMC1 HB第11路数据P
FMC1_HB11_N	B67_L6_N	BB4	FMC1 HB第11路数据N
FMC1_SCL	B94_L5_N	D3	FMC1的I2C通信数据
FMC1_SDA	B94_L5_P	D4	FMC1的I2C通信时钟

FMC2 扩展口的 42 对差分信号连接到 ZYNQ Ultrascale+ 芯片的 BANK64 ,65 的 IO 上 , 电平标准为 1.8V 或者 1.2V ( 跳帽 J24 来选择 ) , 差分信号支持 LVDS 数据通信。8 组 GTH 收发器信号连接到 BANK230 和 BANK231。ZYNQ Ultrascale+ 和 FMC2 连接器的原理图如图 3-9-2 所示。

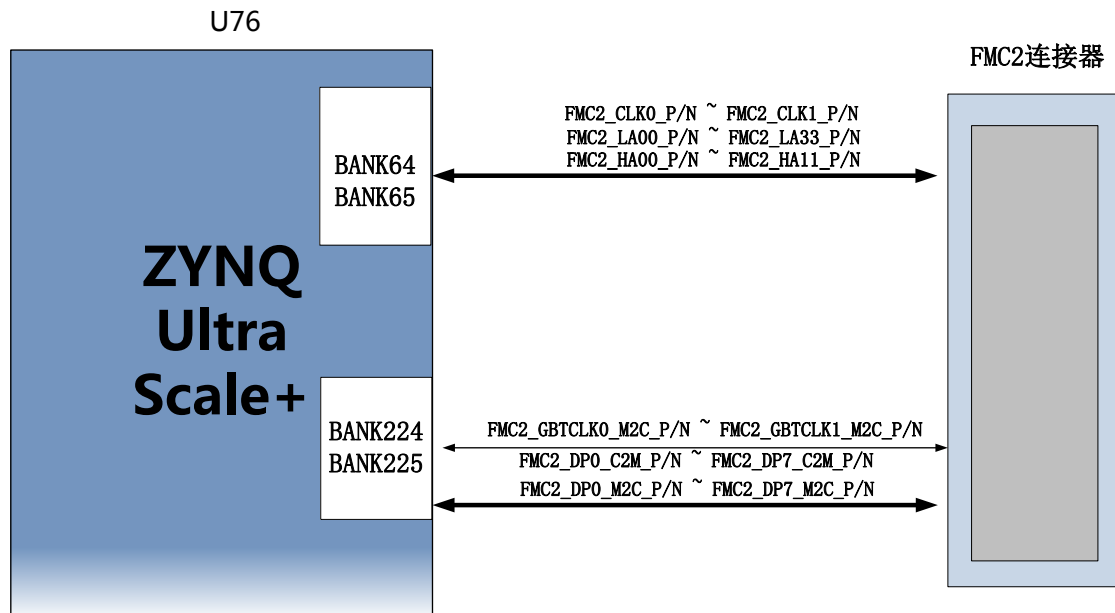


图 18-2 FMC2 连接器连接示意图

### FMC2 连接器引脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
FMC2_GBTCLK0_M2C_P	131_CLK1_P	J32	FMC2 收发器参考时钟 0 正
FMC2_GBTCLK0_M2C_N	131_CLK1_N	J33	FMC2收发器参考时钟0负
FMC2_GBTCLK1_M2C_P	130_CLK1_P	N32	FMC2 收发器参考时钟 1 正
FMC2_GBTCLK1_M2C_N	130_CLK1_N	N33	FMC2收发器参考时钟1负
FMC2_DP0_C2M_P	131_TX3_P	E36	FMC2收发器数据发送4正
FMC2_DP0_C2M_N	131_TX3_N	E37	FMC2收发器数据发送4负
FMC2_DP3_C2M_P	131_TX2_P	F34	FMC2收发器数据接收4正
FMC2_DP3_C2M_N	131_TX2_N	F35	FMC2收发器数据接收4负
FMC2_DP1_C2M_P	131_TX1_P	G36	FMC2收发器数据发送5正
FMC2_DP1_C2M_N	131_TX1_N	G37	FMC2收发器数据发送5负
FMC2_DP2_C2M_P	131_TX0_P	H34	FMC2收发器数据接收5正
FMC2_DP2_C2M_N	131_TX0_N	H35	FMC2收发器数据接收5负
FMC2_DP4_C2M_P	130_TX2_P	K34	FMC2收发器数据发送6正
FMC2_DP4_C2M_N	130_TX2_N	K35	FMC2收发器数据发送6负
FMC2_DP5_C2M_P	130_TX0_P	M34	FMC2收发器数据接收6正

FMC2_DP5_C2M_N	130_TX0_N	M35	FMC2收发器数据接收6负
FMC2_DP6_C2M_P	130_TX1_P	L36	FMC2收发器数据发送7正
FMC2_DP6_C2M_N	130_TX1_N	L37	FMC2收发器数据发送7负
FMC2_DP7_C2M_P	130_TX3_P	J36	FMC2收发器数据接收7正
FMC2_DP7_C2M_N	130_TX3_N	J37	FMC2收发器数据接收7负
FMC2_DP0_M2C_P	131_RX3_P	D39	FMC2收发器数据发送0正
FMC2_DP0_M2C_N	131_RX3_N	D40	FMC2收发器数据发送0负
FMC2_DP1_M2C_P	131_RX1_P	F39	FMC2收发器数据接收0正
FMC2_DP1_M2C_N	131_RX1_N	F40	FMC2收发器数据接收0负
FMC2_DP2_M2C_P	131_RX0_P	G41	FMC2收发器数据发送1正
FMC2_DP2_M2C_N	131_RX0_N	G42	FMC2收发器数据发送1负
FMC2_DP3_M2C_P	131_RX2_P	E41	FMC2收发器数据接收1正
FMC2_DP3_M2C_N	131_RX2_N	E42	FMC2收发器数据接收1负
FMC2_DP4_M2C_P	130_RX2_P	J41	FMC2收发器数据发送2正
FMC2_DP4_M2C_N	130_RX2_N	J42	FMC2收发器数据发送2负
FMC2_DP5_M2C_P	130_RX0_P	L41	FMC2收发器数据接收2正
FMC2_DP5_M2C_N	130_RX0_N	L42	FMC2收发器数据接收2负
FMC2_DP6_M2C_P	130_RX1_P	K39	FMC2收发器数据发送3正
FMC2_DP6_M2C_N	130_RX1_N	K40	FMC2收发器数据发送3负
FMC2_DP7_M2C_P	130_RX3_P	H39	FMC2收发器数据接收3正
FMC2_DP7_M2C_N	130_RX3_N	H40	FMC2收发器数据接收3负
FMC2_CLK0_N	B65_L11_N	AU26	FMC2第1路参考时钟N
FMC2_CLK0_P	B65_L11_P	AU25	FMC2第1路参考时钟P
FMC2_CLK1_P	B64_L12_P	AU20	FMC2第2路参考时钟N
FMC2_CLK1_N	B64_L12_N	AV19	FMC2第2路参考时钟P
FMC2_LA00_CC_N	B65_L13_N	AT27	FMC2参考第0路数据N
FMC2_LA00_CC_P	B65_L13_P	AR27	FMC2参考第0路数据P
FMC2_LA01_CC_N	B65_L12_N	AT26	FMC2参考第1路数据N
FMC2_LA01_CC_P	B65_L12_P	AT25	FMC2参考第1路数据P
FMC2_LA02_N	B65_L18_N	AT28	FMC2参考第2路数据N
FMC2_LA02_P	B65_L18_P	AR28	FMC2参考第2路数据P
FMC2_LA03_N	B65_L15_N	AN26	FMC2参考第3路数据N
FMC2_LA03_P	B65_L15_P	AM26	FMC2参考第3路数据P
FMC2_LA04_N	B65_L10_N	AV28	FMC2参考第4路数据N
FMC2_LA04_P	B65_L10_P	AU28	FMC2参考第4路数据P
FMC2_LA05_N	B65_L16_N	AP27	FMC2参考第5路数据N

FMC2_LA05_P	B65_L16_P	AN27	FMC2参考第5路数据P
FMC2_LA06_N	B65_L5_N	AY28	FMC2参考第6路数据N
FMC2_LA06_P	B65_L5_P	AY27	FMC2参考第6路数据P
FMC2_LA07_N	B65_L4_N	BB26	FMC2参考第7路数据N
FMC2_LA07_P	B65_L4_P	BA26	FMC2参考第7路数据P
FMC2_LA08_N	B65_L3_N	BA25	FMC2参考第8路数据N
FMC2_LA08_P	B65_L3_P	AY25	FMC2参考第8路数据P
FMC2_LA09_N	B65_L2_N	BB25	FMC2参考第9路数据N
FMC2_LA09_P	B65_L2_P	BB24	FMC2参考第9路数据P
FMC2_LA10_N	B65_L24_N	AK24	FMC2参考第10路数据N
FMC2_LA10_P	B65_L24_P	AJ24	FMC2参考第10路数据P
FMC2_LA11_N	B65_L20_N	AP25	FMC2参考第11路数据N
FMC2_LA11_P	B65_L20_P	AP24	FMC2参考第11路数据P
FMC2_LA12_N	B65_L1_N	AY24	FMC2参考第12路数据N
FMC2_LA12_P	B65_L1_P	AW24	FMC2参考第12路数据P
FMC2_LA13_N	B65_L22_N	AN23	FMC2参考第13路数据N
FMC2_LA13_P	B65_L22_P	AM23	FMC2参考第13路数据P
FMC2_LA14_N	B65_L19_N	AT23	FMC2参考第14路数据N
FMC2_LA14_P	B65_L19_P	AR23	FMC2参考第14路数据P
FMC2_LA15_N	B65_L23_N	AL23	FMC2参考第15路数据N
FMC2_LA15_P	B65_L23_P	AK23	FMC2参考第15路数据P
FMC2_LA16_N	B65_L21_N	AN24	FMC2参考第16路数据N
FMC2_LA16_P	B65_L21_P	AM24	FMC2参考第16路数据P
FMC2_LA17_CC_P	B64_L14_P	AT20	FMC2参考第17路数据N
FMC2_LA17_CC_N	B64_L14_N	AU19	FMC2参考第17路数据P
FMC2_LA18_CC_P	B64_L13_P	AT22	FMC2参考第18路数据N
FMC2_LA18_CC_N	B64_L13_N	AT21	FMC2参考第18路数据P
FMC2_LA19_P	B64_L24_P	AJ22	FMC2参考第19路数据N
FMC2_LA19_N	B64_L24_N	AK22	FMC2参考第19路数据P
FMC2_LA20_P	B64_L16_P	AN21	FMC2参考第20路数据N
FMC2_LA20_N	B64_L16_N	AP21	FMC2参考第20路数据P
FMC2_LA21_P	B64_L22_P	AK20	FMC2参考第21路数据N
FMC2_LA21_N	B64_L22_N	AK19	FMC2参考第21路数据P
FMC2_LA22_P	B64_L23_P	AJ21	FMC2参考第22路数据N
FMC2_LA22_N	B64_L23_N	AJ20	FMC2参考第22路数据P
FMC2_LA23_P	B64_L20_P	AM21	FMC2参考第23路数据N

FMC2_LA23_N	B64_L20_N	AM20	FMC2参考第23路数据P
FMC2_LA24_P	B64_L15_P	AN22	FMC2参考第24路数据N
FMC2_LA24_N	B64_L15_N	AP22	FMC2参考第24路数据P
FMC2_LA25_P	B64_L3_P	BA22	FMC2参考第25路数据N
FMC2_LA25_N	B64_L3_N	BA21	FMC2参考第25路数据P
FMC2_LA26_P	B64_L19_P	AM19	FMC2参考第26路数据N
FMC2_LA26_N	B64_L19_N	AN19	FMC2参考第26路数据P
FMC2_LA27_P	B64_L21_P	AL22	FMC2参考第27路数据N
FMC2_LA27_N	B64_L21_N	AL21	FMC2参考第27路数据P
FMC2_LA28_P	B64_L17_P	AP20	FMC2参考第28路数据N
FMC2_LA28_N	B64_L17_N	AR20	FMC2参考第28路数据P
FMC2_LA29_P	B64_L7_P	AU23	FMC2参考第29路数据N
FMC2_LA29_N	B64_L7_N	AV23	FMC2参考第29路数据P
FMC2_LA30_P	B64_L11_P	AU21	FMC2参考第30路数据N
FMC2_LA30_N	B64_L11_N	AV21	FMC2参考第30路数据P
FMC2_LA31_P	B64_L9_P	AW20	FMC2参考第31路数据N
FMC2_LA31_N	B64_L9_N	AW19	FMC2参考第31路数据P
FMC2_LA32_P	B64_L8_P	AV22	FMC2参考第32路数据N
FMC2_LA32_N	B64_L8_N	AW22	FMC2参考第32路数据P
FMC2_LA33_P	B64_L10_P	AY19	FMC2参考第33路数据N
FMC2_LA33_N	B64_L10_N	AY18	FMC2参考第33路数据P
FMC2_HA00_CC_N	B65_L9_N	AW27	FMC2高位参考第0路数据 (时钟) N
FMC2_HA00_CC_P	B65_L9_P	AV27	FMC2高位参考第0路数据 (时钟) P
FMC2_HA01_CC_N	B65_L17_N	AN28	FMC2高位参考第1路数据 (时钟) N
FMC2_HA01_CC_P	B65_L17_P	AM28	FMC2高位参考第1路数据 (时钟) P
FMC2_HA02_N	B65_L8_N	AW26	FMC2高位第2路数据N
FMC2_HA02_P	B65_L8_P	AV26	FMC2高位第2路数据P
FMC2_HA03_N	B65_L6_N	BB28	FMC2高位第3路数据N
FMC2_HA03_P	B65_L6_P	BA28	FMC2高位第3路数据P
FMC2_HA04_N	B65_L14_N	AR25	FMC2高位第4路数据N
FMC2_HA04_P	B65_L14_P	AR24	FMC2高位第4路数据P
FMC2_HA05_N	B65_L7_N	AV24	FMC2高位第5路数据N

FMC2_HA05_P	B65_L7_P	AU24	FMC2高位第5路数据P
FMC2_HA06_P	B64_L1_P	BA23	FMC2高位第6路数据N
FMC2_HA06_N	B64_L1_N	BB23	FMC2高位第6路数据P
FMC2_HA07_N	B64_L2_P	AY23	FMC2高位第7路数据N
FMC2_HA07_P	B64_L2_N	AY22	FMC2高位第7路数据P
FMC2_HA08_P	B64_L5_P	BB20	FMC2高位第8路数据N
FMC2_HA08_N	B64_L5_N	BB19	FMC2高位第8路数据P
FMC2_HA09_P	B64_L6_P	BA18	FMC2高位第9路数据N
FMC2_HA09_N	B64_L6_N	BB18	FMC2高位第9路数据P
FMC2_HA10_P	B64_L4_P	AY20	FMC2高位第10路数据N
FMC2_HA10_N	B64_L4_N	BA20	FMC2高位第10路数据P
FMC2_HA11_P	B64_L18_P	AP19	FMC2高位第11路数据N
FMC2_HA11_N	B64_L18_N	AR19	FMC2高位第11路数据P
FMC2_SCL	B90_L1_N	N10	FMC2的I2C通信数据
FMC2_SDA	B90_L1_P	N11	FMC2的I2C通信时钟

## (十) JTAG 调试口

在 Z19-P 扩展板上预留了一个 JTAG 接口 ,用于下载 ZYNQ UltraScale+ 程序或者固化程序到 FLASH。为了避免带电插拔造成对 ZYNQ UltraScale+ 芯片的损坏 ,我们在 JTAG 信号上添加了保护二极管来保证信号的电压在 FPGA 接受的范围。JTAG 部分原理图如下图 3-10-1 所示。

### JTAG Connector

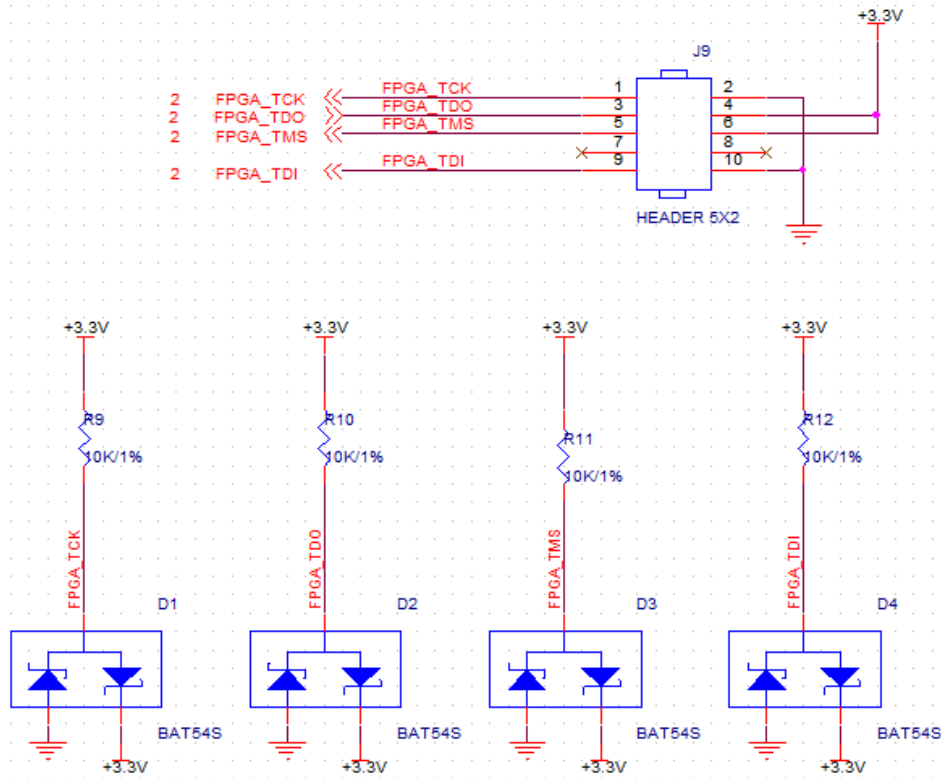


图3-10-1 原理图中JTAG接口部分

## (十一) EEPROM 和温度传感器

Z19-P开发板板载了一片EEPROM，型号为24LC04,容量为：4Kbit ( 2\*256\*8bit )，通过IIC总线连接到PS端进行通信。另外板上还带有一个高精度、低功耗、数字温度传感器芯片，型号为ON Semiconductor公司的LM75，LM75芯片的温度精度为0.5度。EEPROM和温度传感器通过I2C总线挂载到ZYNQ UltraScale+的Bank501 MIO上。图3-11-1为EEPROM和温度传感器的原理图

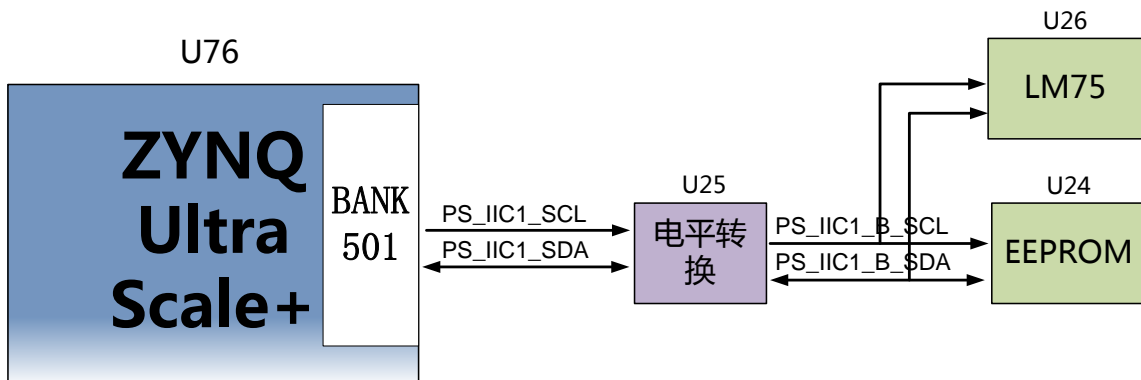


图 3-11-1 EEPROM 和传感器的原理图

EEPROM 通信引脚分配如下：

信号名称	引脚名	引脚号	备注
PS_IIC1_SDA	PS_MIO25_500	AG34	I2C 数据信号
PS_IIC1_SCL	PS_MIO24_500	AH33	I2C 时钟信号

## (十二) LED 灯

Z19-P 扩展板上有 4 个发光二极管 LED。包含 1 个电源指示灯，1 个 DONE 指示灯，1 个 PS 控制指示灯，1 个 PL 控制双色指示灯。用户可以通过程序来控制亮和灭，用户 LED 灯硬件连接的示意图如图 3-12-1 所示：

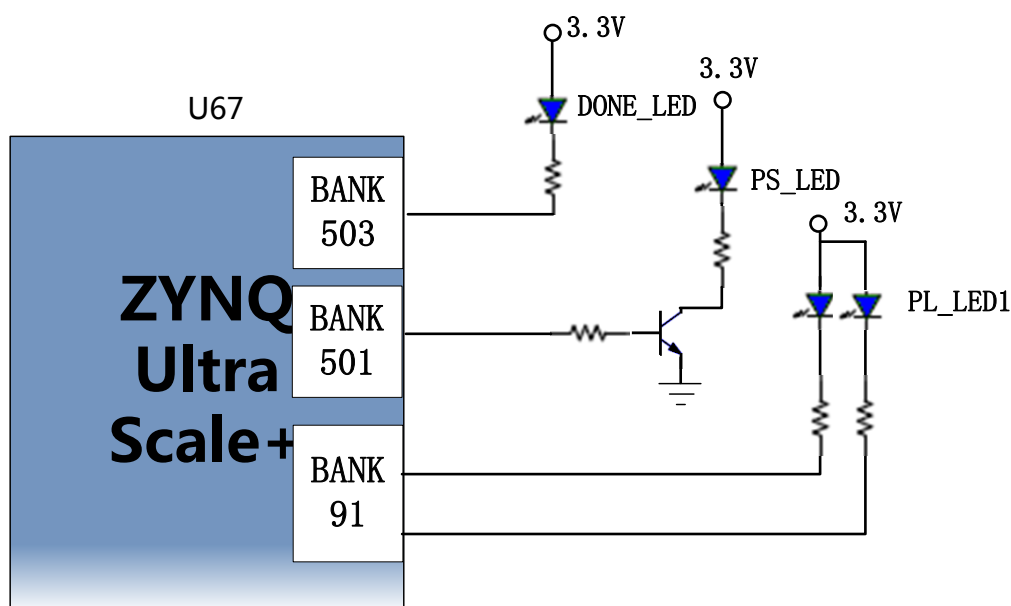


图 3-12-1 用户 LED 灯硬件连接示意图

### 用户 LED 灯的引脚分配

信号名称	引脚名	管脚号	备注
PS_LED	PS_MIO31	M28	用户 PS LED 灯
TEST_LED1	B91_L7_N	E10	用户 PL LED1 灯
TEST_LED2	B91_L7_P	E11	用户 PL LED2 灯

## (十三) 拨码开关配置

开发板上有一个 4 位的拨码开关 SW1 用来配置 ZYNQ 系统的启动模式。Z19-P 系统开发平台支持 4 种启动模式。这 4 种启动模式分别是 JTAG 调试模式, QSPI FLASH, EMMC 和



SD2.0 卡启动模式。ZU19EG 芯片上电后会检测 ( PS\_MODE0~3 ) 的电平来决定那种启动模式。用户可以通过扩展板上的拨码开关 SW1 来选择不同的启动模式。SW1 启动模式配置如下表 3-13-1 所示。

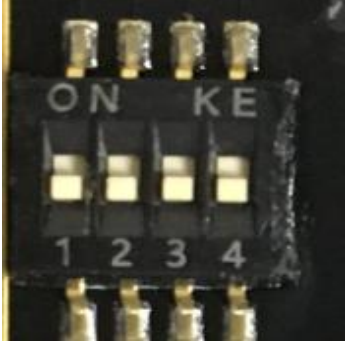
SW1	拨码位置( 1 , 2 , 3 , 4 )	MODE[3:0]	启动模式
	ON , ON , ON , ON	0000	PS JTAG
	ON , ON , OFF , ON	0010	QSPI FLASH
	ON , OFF , ON , OFF	0101	SD卡
	ON , OFF , OFF , ON	0110	EMMC

表3-13-1 SW1启动模式配置

## (十四) 电源

Z19-P 开发板的电源输入电压为 DC12V。底板上通过 1 路 DC/DC 电源芯片 ETA8156 和 2 路 DC/DC 电源芯片 ETA1471 转换成 +5V , +3.3V , +1.8V , FMC1\_VADJ , FMC2\_VADJ。板上的电源设计示意图如下图 3-14-1 所示:

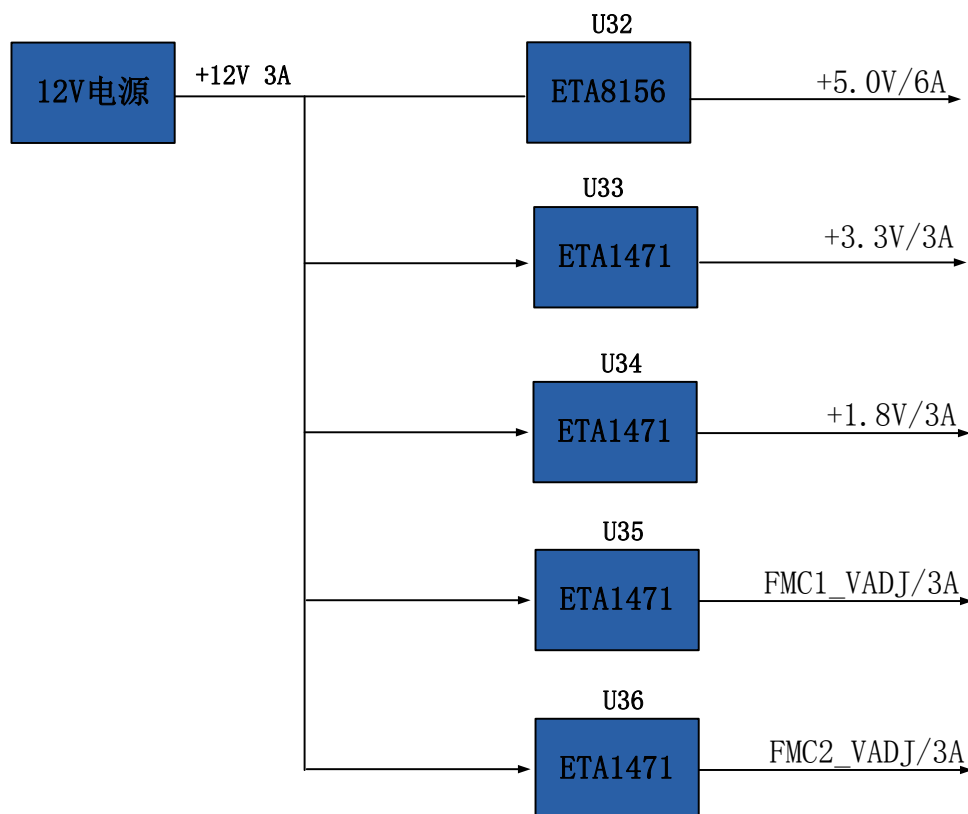


图 3-14-1 原理图中电源接口部分

各个电源分配的功能如下表所示：

电源	功能
+5.0V	USB 供电电源
+1.8V	以太网，USB3.0
+3.3V	以太网，USB3.0，M.2，SD，DP
FMC1_VADJ	FMC1
FMC2_VADJ	FMC2

## (十五) 风扇

因为 ZU19EG 正常工作时会产生大量的热量，我们在板上为芯片增加了一个散热片和风扇，防止芯片过热。风扇的控制由 ZYNQ 芯片来控制，控制管脚连接到 BANK88 的 IO 上( PIN F4 )，如果 IO 电平输出为低，MOSFET 管导通，风扇工作，如果 IO 电平输出为高，风扇停止。板上的风扇设计图如下图 3-15-1 所示：

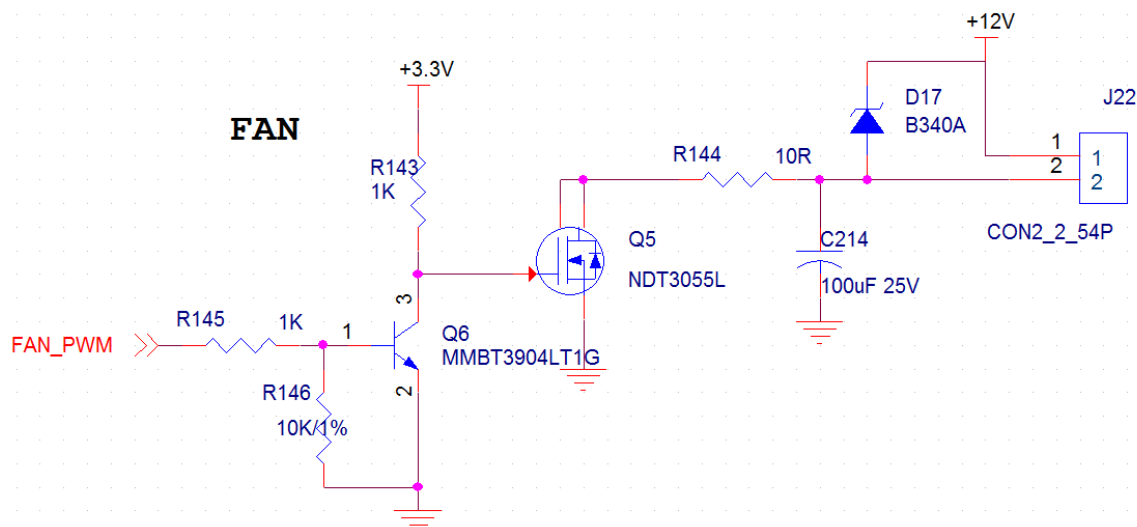


图 3-15-1 开发板风扇设计

风扇出厂前已经用螺丝固定在开发板上，风扇的电源连接到了 J22 的插座上，红色的为正极，黑色的为负极。

## (十六) 结构尺寸图

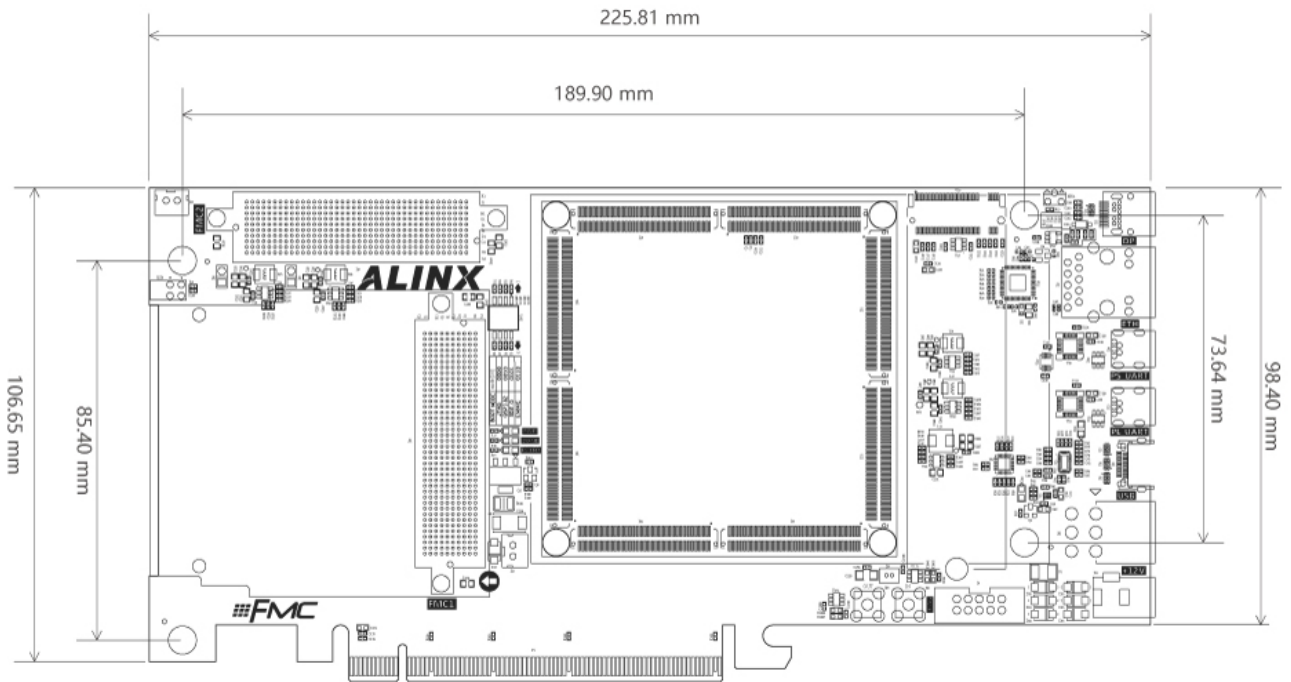


图 3-16-1 正面图 ( Top View )