

Logos FPGA 开发平台 用户手册 P50 核心板



文档版本控制

文档版本	修改内容记录
REV1.0	创建文档
REV1.1	修改文档模板、逻辑资源图表更正
REV1.2	国产化器件

目 录

文档版本控制.....	2
目 录.....	3
一、 FPGA 核心板.....	4
(一) 简介.....	4
(二) FPGA.....	5
(三) 有源晶振.....	6
(四) DDR3.....	8
(五) QSPI Flash.....	11
(六) LED 灯.....	13
(七) 扩展接口.....	14
(八) 电源.....	20
(九) 结构图.....	22

一、 FPGA 核心板

(一) 简介

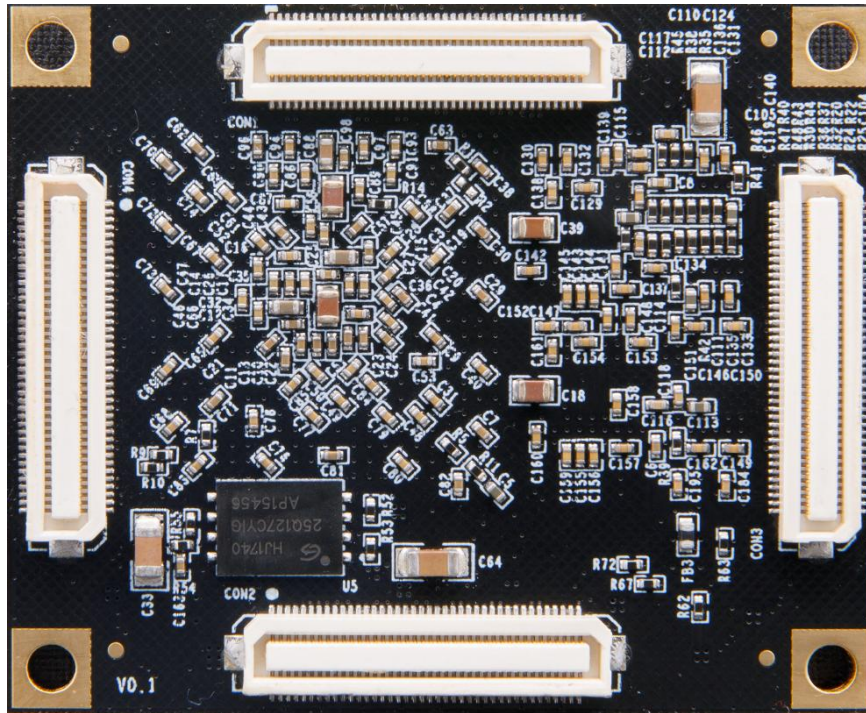
P50(核心板型号, 下同)核心板, 是基于紫光同创公司的 Logos 系列 50H 的 PGL50HFBG484 这款芯片开发的高性能核心板, 具有高速, 高带宽, 高容量等特点, 适合高速数据通信, 视频图像处理, 高速数据采集等方面使用。

这款核心板使用了 2 片 IS43TR16256BL-107MBLI 这款 DDR3 芯片, 每片 DDR 的容量为 4Gbit; 2 片 DDR 芯片组合成 32bit 的数据总线宽度, FPGA 和 DDR3 之间的读写数据带宽高达 25Gb; 这样的配置可以满足高带宽的数据处理需求。

这款核心板扩展出 195 个默认电平标准为 3.3V 普通 IO 口, 其中有 113 个 IO 电压标准可调, 12 个 1.5V 电平标准的普通 IO 口, 还有 4 对 HSST 高速 RX/TX 差分信号和 1 对 HSST 高速 RX/TX 差分输入时钟。对于需要大量 IO 的用户, 此核心板将是不错的选择。而且, FPGA 芯片到接口之间走线做了等长和差分处理。核心板尺寸仅为 45*55 (mm), 对于二次开发来说非常适合。



P50 核心板正面图



P50 核心板背面图

(二) FPGA

前面已经介绍过了，我们所使用的 FPGA 型号为 **PGL50H-6IFBG484**，属于紫光同创公司 Logos 系列的产品，速度等级为 6，温度等级为工业级。此型号为 FBG484 封装，484 个引脚。紫光同创 Logos FPGA 的芯片命名规则如下：

Logos 系列 FPGA 产品型号的编号内容及意义如图 1 所示。

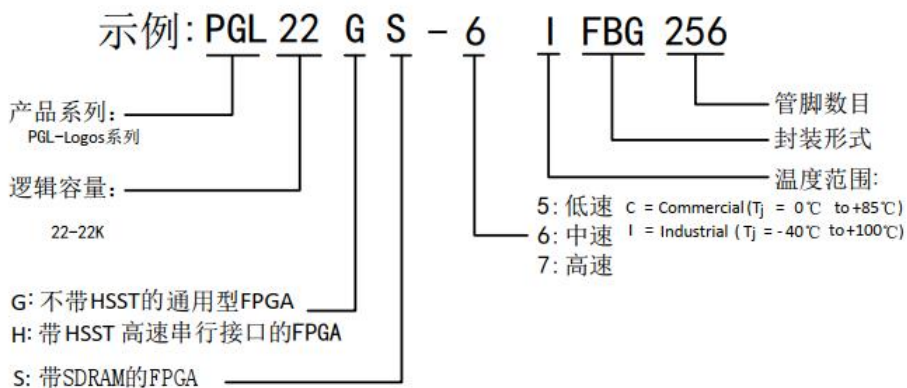


图 1-2-1 为开发板所用的 FPGA 芯片实物图。



图 1-2-1 FPGA 芯片实物

其中 FPGA 芯片 PGL50H 的主要参数如下所示：

名称	具体参数
触发器(FF)	64200
查找表 LUT5(LUT5=1.2LUT4)	42800
DRM (18Kbits) 个数	134
APM 单元 (乘法器)	84
PCIe Gen2	1
HSST	4 路, 6.375Gb/s max
速度等级	-6
温度等级	工业级

FPGA 供电系统

Logos FPGA 电源有 V_{CC} , V_{CCAUX} , V_{CCIO} , V_{VCCA_LANE} 和 V_{VCCA_PLL} 。 V_{CC} 为 FPGA 内核供电引脚，需接 1.2V； V_{CCAUX} 为 FPGA 辅助供电引脚，接 3.3V； V_{CCIO} 为 FPGA 的各个 BANK 的电压，包含 B0、B1、B2、B3。在 P50 核心板上，B3 因为需要连接 DDR3，BANK 的电压连接的是 1.5V，其它 BANK 的电压默认都是 3.3V，其中 B0 和 B2 的 V_{CCIO} 是可以通过修改更换电源电阻阻值更改 BANK 的电平。 V_{VCCA_LANE} 为 FPGA 内部 HSST 模块供电，接 1.2V， V_{VCCA_PLL} 为 HSSTPLL 供电，接 1.2V。

(三) 有源晶振

P50 核心板上配有 1 个 125MHz 有源差分晶振和 1 个单端 50MHz 晶振。差分晶振用于 HSST 收发器的参考时钟输入；单端 50MHz 晶振可用作系统时钟。

1). 125Mhz 差分时钟

图 1-3-1 中的 X1 为 125M 有源差分晶振电路，此时钟是给 FPGA 内部的 HSST 模块提

供的参考输入时钟。晶振输出连接到 FPGA HSST BANK 的时钟管脚上。

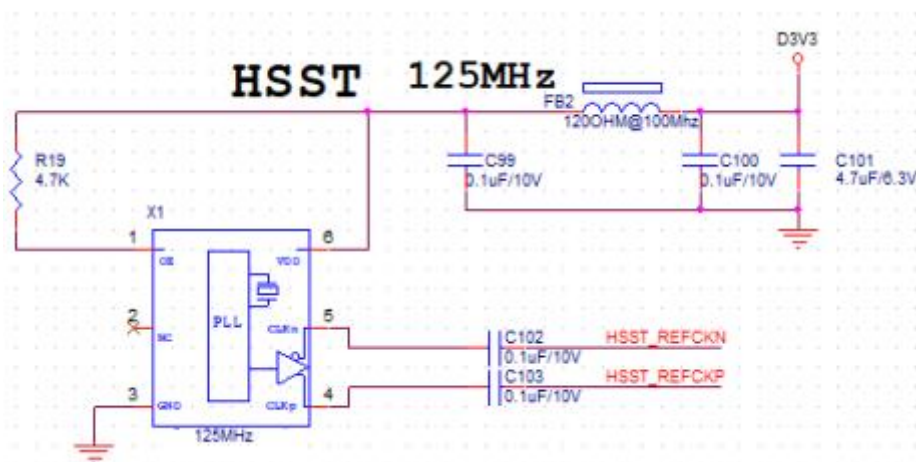


图 1-3-1 125Mhz 有源差分晶振

图 1-3-2 为 125M 差分有源晶振实物图

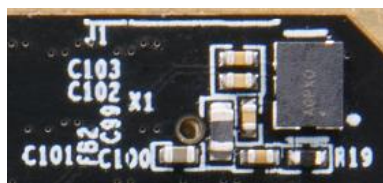


图 1-3-2 125M 有源晶振实物图

时钟引脚分配:

引脚名称	FPGA 引脚
HSST_REFCKP	A10
HSST_REFCKN	B10

2). 50Mhz 有源晶振

图 1-3-3 中的 Y1 即为 50M 有源晶振电路, 此时钟接到给 FPGA 内部的全局时钟管脚上, 可为 FPGA 提供的参考输入时钟。

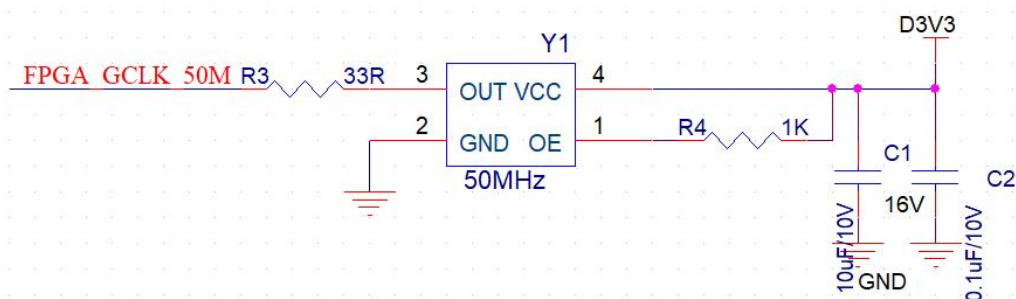


图 1-3-3 50Mhz 有源晶振

图 1-3-4 为 125M 差分有源晶振实物图

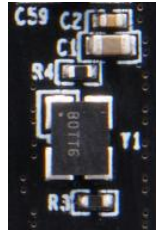


图 1-3-4 50M 有源晶振实物图

时钟引脚分配:

引脚名称	FPGA 引脚
FPGA_GCLK_50M	P20

(四) DDR3

P50 核心板上配有两个 4Gbit (512MB) 的 DDR3 芯片(共计 8Gbit), 型号为 IS43TR16256BL-107MBLI。DDR 的总线宽度共为 32bit。DDR3 SDRAM 的最高运行时钟速度可达 400MHz(数据速率 800Mbps)。该 DDR3 存储系统直接连接到了 FPGA 的 BANK B3 存储器接口上。DDR3 SDRAM 的具体配置如下表 1-4-1 所示。

表 1-4-1 DDR3 SDRAM 配置

位号	芯片类型	容量	厂家
U2,U3	IS43TR16256BL-107	256M x 16bit	芯成

DDR3 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制,走线等长控制, 保证 DDR3 的高速稳定的工作。

DDR3 DRAM 的硬件连接示意图如图 1-4-1 所示:

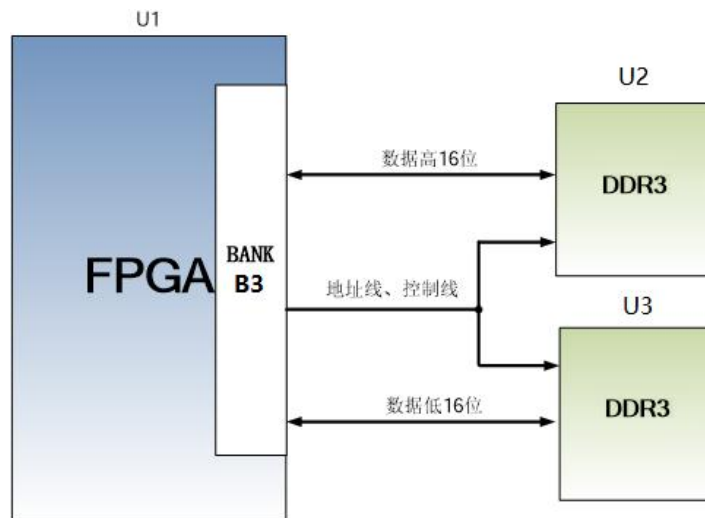


图1-4-1 DDR3 DRAM原理图示意图

图 1-4-2 为 DDR3 DRAM 实物图



图1-4-2 DDR3 DRAM实物图

DDR3 DRAM 引脚分配:

信号名称	FPGA 引脚名
DDR3_DQS3_P	E3
DDR3_DQS3_N	E1
DDR3_DQS2_P	M6
DDR3_DQS2_N	L6
DDR3_DQS1_P	N3
DDR3_DQS1_N	N1
DDR3_DQS0_P	V2
DDR3_DQS0_N	V1
DDR3_DM3	F2
DDR3_DM2	K1
DDR3_DM1	L1
DDR3_DM0	W3
DDR3_D31	G3
DDR3_D30	J6
DDR3_D29	H3
DDR3_D28	J4
DDR3_D27	H5
DDR3_D26	K7

DDR3_D25	F1
DDR3_D24	G1
DDR3_D23	M4
DDR3_D22	K4
DDR3_D21	M3
DDR3_D20	J3
DDR3_D19	L4
DDR3_D18	K3
DDR3_D17	K2
DDR3_D16	J1
DDR3_D15	P1
DDR3_D14	P3
DDR3_D13	M2
DDR3_D12	P2
DDR3_D11	M1
DDR3_D10	N4
DDR3_D9	L3
DDR3_D8	R1
DDR3_D7	Y1
DDR3_D6	M7
DDR3_D5	Y2
DDR3_D4	T1
DDR3_D3	W1
DDR3_D2	T2
DDR3_D1	U1
DDR3_D0	U3
DDR3_A14	N7
DDR3_A13	R4
DDR3_A12	R7
DDR3_A11	N6
DDR3_A10	P4
DDR3_A9	V5

DDR3_A8	P7
DDR3_A7	U4
DDR3_A6	P8
DDR3_A5	T3
DDR3_A4	P6
DDR3_A3	W4
DDR3_A2	T4
DDR3_A1	V3
DDR3_A0	P5
DDR3_BA2	G7
DDR3_BA1	H8
DDR3_BA0	Y3
DDR3_WE	H6
DDR3_S0	F3
DDR3_RESET	C1
DDR3_RAS	G6
DDR3_ODT	E4
DDR3_CLK0_P	T6
DDR3_CLK0_N	T5
DDR3_CKE0	J7
DDR3_CAS	F5

(五) QSPI Flash

核心板上使用了 1 片 128Mbit 大小的 QSPI FLASH 芯片，型号为 GD25Q128，它使用 3.3V CMOS 电压标准。由于它的非易失特性，在使用中，QSPI FLASH 可以作为 FPGA 系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、软核的应用程序代码以及其它的用户数据文件。

SPI FLASH的具体型号和相关参数见下表

表1-5-1 QSPI Flash的型号和参数

位号	芯片类型	容量	厂家
U5	GD25Q128	128M Bit	兆易

QSPI FLASH 连接到 FPGA 芯片的 BANK 的 B2 专用管脚上, 其中时钟管脚连接到专用的配置 BANK 的 CFG_CLK 上。图 1-5-1 为 QSPI Flash 在硬件连接示意图。

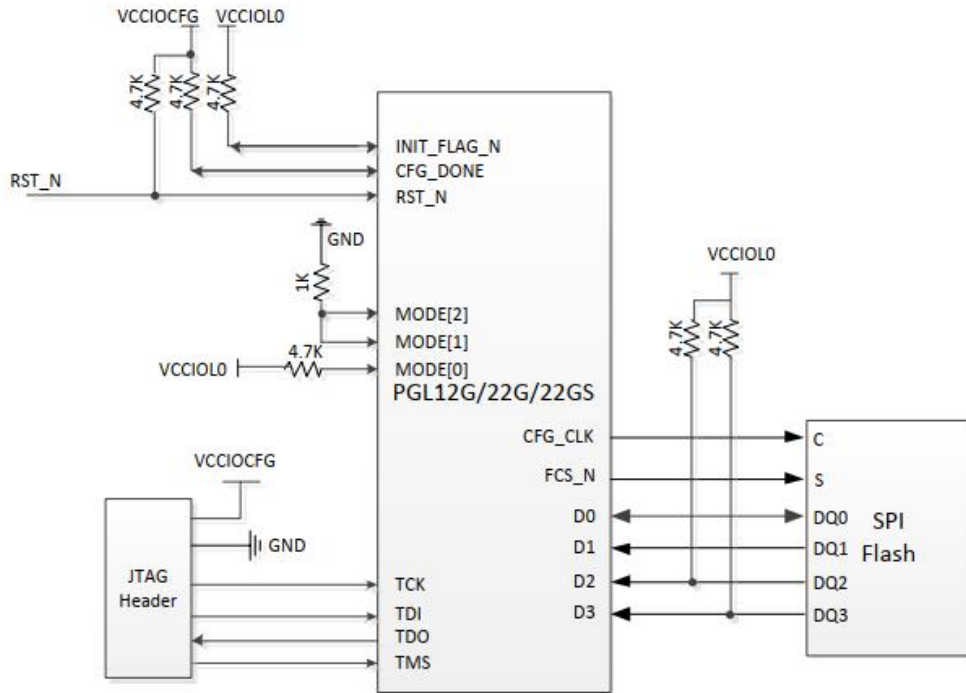


图1-5-1 QSPI Flash连接示意图

配置芯片引脚分配:

信号名称	FPGA 引脚号
QSPIO_DQ3	T14
QSPIO_DQ2	R13
QSPIO_DQ1	AA20
QSPIO_DQ0	AB20
QSPIO_CS	AA3
QSPIO_CLK	Y20

图 1-5-2 为开发板上 QSPI Flash 的实物图



图 1-5-2 QSPI FLASH 部分实物图

(六) LED 灯

P50 核心板上有 3 个红色 LED 灯，其中 1 个是电源指示灯(PWR)，1 个是配置 LED 灯 (DONE)，另外一个为用户 LED 灯 (LED1)。当核心板供电后，电源指示灯会亮起；当 FPGA 配置程序后，配置 LED 灯会亮起。用户 LED 灯用户连接到 BANK R5 的 IO 上，可以通过程序来控制亮和灭，当连接用户 LED 灯的 IO 电压为高时，用户 LED 灯点亮，当连接 IO 电压为低时，用户 LED 灯会被熄灭。LED 灯硬件连接的示意图如图 1-6-1 所示：

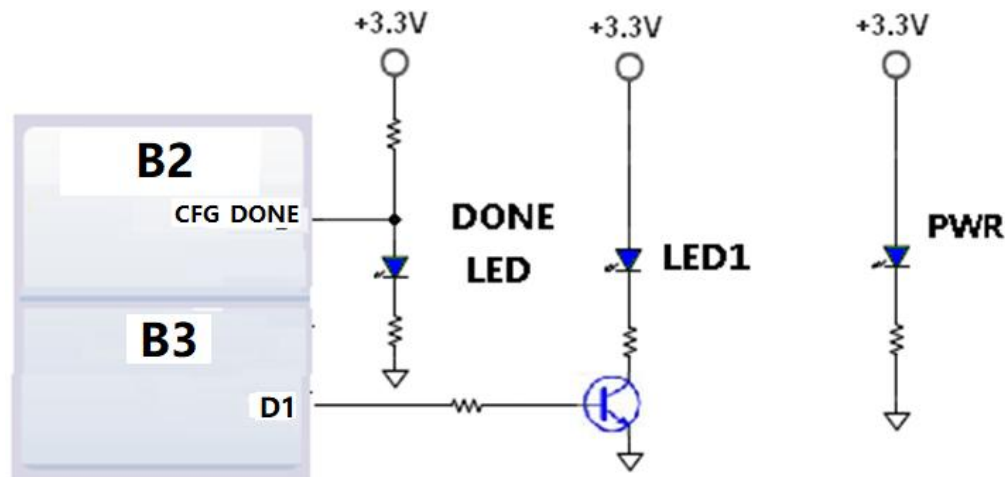


图 1-6-1 核心板 LED 灯硬件连接示意图

图 1-6-2 为核心板上的 LED 灯实物图



图 1-6-2 核心板的 LED 灯实物图

用户 LED 灯的引脚分配

信号名称	FPGA 管脚号	备注
LED1	D1	用户LED灯

(七) 扩展接口

核心板的背面一共扩展出 4 个高速扩展口，使用 4 个 80Pin 的板间连接器和底板连接，FPGA 的 IO 口通过差分走线方式连接到这 4 个扩展口上。连接器的 PIN 脚间距为 0.5mm，和底板的母座连接器配置实现高速数据通信。

注意：BANK B0、B1、B2 的 IO 口默认连接电平为 3.3V。其中 B0、B2 两个 BANK 的 IO 电压可通过调整电源的电阻阻值进行改变。

扩展口 CON1

80Pin 的连接器 CON1 用来扩展 FPGA 的 BANK B1 的普通 IO，B1 的电压标准是 3.3V 的，CON1 扩展口的管脚分配如表 1-7-1 所示：

表 1-7-1 扩展口 CON1 引脚分配

CON1 管脚	信号 名称	FPGA 管脚号	电平 标准	CON1 管脚	信号 名称	FPGA 管脚号	电平标准
PIN1	B1_L29_N	M22	3.3V	PIN2	B1_L28_P	L20	3.3V
PIN3	B1_L29_P	M21	3.3V	PIN4	B1_L28_N	L22	3.3V
PIN5	B1_L26_N	K22	3.3V	PIN6	B1_L25_N	M19	3.3V
PIN7	B1_L26_P	K21	3.3V	PIN8	B1_L25_P	M20	3.3V
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	B1_L20_P	G20	3.3V	PIN12	B1_L27_N	N19	3.3V
PIN13	B1_L20_N	G22	3.3V	PIN14	B1_L24_P	J20	3.3V
PIN15	B1_L12_P	C20	3.3V	PIN16	B1_L24_N	J22	3.3V
PIN17	B1_L12_N	C22	3.3V	PIN18	B1_L21_P	K17	3.3V
PIN19	GND	-	地	PIN20	GND	-	地
PIN21	B1_L35_P	V21	3.3V	PIN22	B1_L21_N	L17	3.3V
PIN23	B1_L35_N	V22	3.3V	PIN24	B1_L52_N	P18	3.3V
PIN25	B1_L32_P	R20	3.3V	PIN26	B1_L52_P	P17	3.3V
PIN27	B1_L32_N	R22	3.3V	PIN28	B1_L38_P	P19	3.3V
PIN29	GND	-	地	PIN30	GND	-	地
PIN31	B1_L34_N	U22	3.3V	PIN32	B1_L38_N	R19	3.3V
PIN33	B1_L34_P	U20	3.3V	PIN34	B1_L33_N	T22	3.3V
PIN35	B1_L37_P	Y21	3.3V	PIN36	B1_L33_P	T21	3.3V
PIN37	B1_L37_N	Y22	3.3V	PIN38	B1_L40_N	N15	3.3V

PIN39	GND	-	地	PIN40	GND	-	地
PIN41	B1_L2_N	B22	3.3V	PIN42	B1_L40_P	M16	3.3V
PIN43	B1_L2_P	B21	3.3V	PIN44	B1_L31_P	P21	3.3V
PIN45	GND	-	地	PIN46	B1_L31_N	P22	3.3V
PIN47	B1_L13_N	D22	3.3V	PIN48	B1_L0_N	F19	3.3V
PIN49	B1_L13_P	D21	3.3V	PIN50	B1_L0_P	F18	3.3V
PIN51	GND	-	地	PIN52	GND	-	地
PIN53	B1_L16_N	F22	3.3V	PIN54	B1_L15_P	H18	3.3V
PIN55	B1_L16_P	F21	3.3V	PIN56	B1_L15_N	H19	3.3V
PIN57	GND	-	地	PIN58	B1_L39_N	K16	3.3V
PIN59	B1_L17_N	E22	3.3V	PIN60	B1_L39_P	L15	3.3V
PIN61	B1_L17_P	E20	3.3V	PIN62	B1_L41_N	T20	3.3V
PIN63	GND	-	地	PIN64	GND	-	地
PIN65	B1_L14_N	F20	3.3V	PIN66	B1_L41_P	U19	3.3V
PIN67	B1_L14_P	G19	3.3V	PIN68	B1_L36_N	W22	3.3V
PIN69	GND	-	地	PIN70	B1_L36_P	W20	3.3V
PIN71	B1_L18_N	H20	3.3V	PIN72	B1_L22_N	H22	3.3V
PIN73	B1_L18_P	J19	3.3V	PIN74	B1_L22_P	H21	3.3V
PIN75	GND	-	地	PIN76	GND	-	地
PIN77	B1_L1_N	H17	3.3V	PIN78	B1_L11_P	J16	3.3V
PIN79	B1_L1_P	H16	3.3V	PIN80	B1_L11_N	J17	3.3V

图 1-7-1 为 CON1 扩展口连接器的实物图，连接器的 Pin1 已经在板上用圆点标示出。

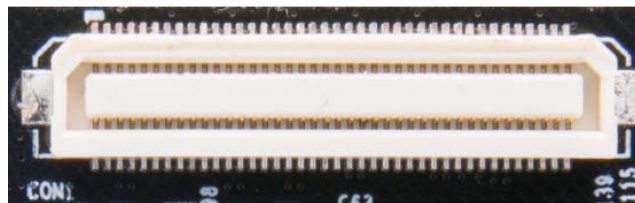


图 1-7-1 CON1 扩展口连接器的实物图

扩展口 CON2

80Pin 的连接器 CON2 用来连接底板的 VCCIN 电源(+5V)，地和 FPGA 的 BANK B2 的普通 IO，B2 的 IO 口的电压标准可以通过修改电源电阻的阻值调整，默认安装的是 3.3V 的，如果用户想输出其它标准的电平，可以通过修改电源进行，另外还有 4 个 JTAG 的信号也通过

CON2 连接器连接到底板上，CON2 扩展口的管脚分配如表 1-7-2 所示：

表 1-7-2 扩展口 CON2 引脚分配

CON2 管脚	信号 名称	FPGA 管脚号	电平 标准	CON2 管脚	信号 名称	FPGA 管脚号	电平标 准
PIN1	D5V0	-	+5V	PIN2	D5V0	-	+5V
PIN3	D5V0	-	+5V	PIN4	D5V0	-	+5V
PIN5	D5V0	-	+5V	PIN6	D5V0	-	+5V
PIN7	D5V0	-	+5V	PIN8	D5V0	-	+5V
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	B2_L38_N	AB19	3.3V	PIN12	B2_L37_P	AA18	3.3V
PIN13	B2_L30_P	Y15	3.3V	PIN14	B2_L37_N	AB18	3.3V
PIN15	B2_L30_N	AB15	3.3V	PIN16	B2_L36_N	AB17	3.3V
PIN17	B2_L45_N	AB14	3.3V	PIN18	B2_L36_P	Y17	3.3V
PIN19	GND	-	地	PIN20	GND	-	地
PIN21	B2_L45_P	AA14	3.3V	PIN22	B2_L25_P	AA12	3.3V
PIN23	B2_L32_P	AA16	3.3V	PIN24	B2_L25_N	AB12	3.3V
PIN25	B2_L32_N	AB16	3.3V	PIN26	B2_L24_P	Y11	3.3V
PIN27	B2_L29_P	R11	3.3V	PIN28	B2_L24_N	AB11	3.3V
PIN29	GND	-	地	PIN30	GND	-	地
PIN31	B2_L29_N	T11	3.3V	PIN32	B2_L35_P	U14	3.3V
PIN33	B2_L20_P	Y9	3.3V	PIN34	B2_L35_N	U13	3.3V
PIN35	B2_L20_N	AB9	3.3V	PIN36	B2_L28_N	U15	3.3V
PIN37	B2_L33_N	W13	3.3V	PIN38	B2_L28_P	T15	3.3V
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	B2_L33_P	V13	3.3V	PIN42	B2_L47_N	V15	3.3V
PIN43	B2_L22_N	AB10	3.3V	PIN44	B2_L47_P	U16	3.3V
PIN45	B2_L22_P	AA10	3.3V	PIN46	GND	-	地
PIN47	B2_L21_N	W11	3.3V	PIN48	B2_L34_N	W15	3.3V
PIN49	B2_L21_P	V11	3.3V	PIN50	B2_L34_P	Y16	3.3V
PIN51	GND	-	地	PIN52	GND	-	地
PIN53	B2_L17_P	T10	3.3V	PIN54	B2_L46_N	Y18	3.3V
PIN55	B2_L17_N	U10	3.3V	PIN56	B2_L46_P	W17	3.3V
PIN57	B2_L13_N	V9	3.3V	PIN58	GND	-	地
PIN59	B2_L13_P	U9	3.3V	PIN60	B2_L27_N	U12	3.3V
PIN61	B2_L19_N	Y10	3.3V	PIN62	B2_L27_P	T12	3.3V
PIN63	GND	-	地	PIN64	GND	-	地

PIN65	B2_L19_P	W10	3.3V	PIN66	B2_L53_N	W18	3.3V
PIN67	B2_L23_N	Y12	3.3V	PIN68	B2_L53_P	V17	3.3V
PIN69	B2_L23_P	W12	3.3V	PIN70	GND		地
PIN71	B2_L14_N	AB6	3.3V	PIN72	B2_L31_N	Y14	3.3V
PIN73	B2_L14_P	AA6	3.3V	PIN74	B2_L31_P	W14	3.3V
PIN75	GND	-	地	PIN76	GND	-	地
PIN77	FPGA_TDI	E18	3.3V	PIN78	FPGA_TCK	A21	3.3V
PIN79	FPGA_TMS	D20	3.3V	PIN80	FPGA_TDO	G17	3.3V

图 1-7-2 为 CON2 扩展口连接器的实物图，连接器的 Pin1 已经在板上用圆点标示出。

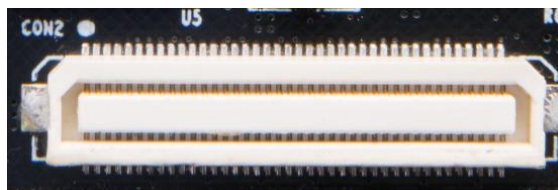


图 1-7-2 CON2 扩展口连接器的实物图

扩展口 CON3

80Pin 的连接器 CON3 用来扩展 FPGA 的 BANK B1、B2 的 B3 的普通 IO，B1 的电平标准为固定的 3.3V；BANK B3 由于连接 DDR3，其电平标准为 1.5V 的；B2 的电压标准都是通过修改电源电阻的阻值调整，默认是 3.3V 的，如果用户想输出其它标准的电平，可以通过修改阻值的方式来实现。CON3 扩展口的管脚分配如表 1-7-3 所示：

表 1-7-3 扩展口 CON3 引脚分配

CON3 管脚	信号名称	FPGA 管脚号	电平标准	CON3 管脚	信号名称	FPGA 管脚号	电平标准
PIN1	B1_L19_N	K18	3.3V	PIN2	NC	-	空脚
PIN3	B1_L19_P	K19	3.3V	PIN4	NC	-	空脚
PIN5	B1_L23_N	L19	3.3V	PIN6	B1_L54_N	T18	3.3V
PIN7	B1_L23_P	K20	3.3V	PIN8	B1_L54_P	T19	3.3V
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	B1_L30_P	N20	3.3V	PIN12	B1_L53_N	T17	3.3V
PIN13	B1_L30_N	N22	3.3V	PIN14	B1_L53_P	R17	3.3V
PIN15	B1_L43_P	M17	3.3V	PIN16	B1_L55_P	V19	3.3V
PIN17	B1_L43_N	M18	3.3V	PIN18	B1_L55_N	V20	3.3V
PIN19	GND	-	地	PIN20	GND	-	地
PIN21	B1_L42_P	N16	3.3V	PIN22	B2_L7_N	W8	3.3V
PIN23	B1_L42_N	P16	3.3V	PIN24	B2_L7_P	V7	3.3V

PIN25	B1_L51_N	R16	3.3V	PIN26	B2_L3_P	AA4	3.3V
PIN27	B1_L51_P	R15	3.3V	PIN28	B2_L3_N	AB4	3.3V
PIN29	GND	-	地	PIN30	GND	-	地
PIN31	B2_L26_N	AB13	3.3V	PIN32	B2_L18_N	AB8	3.3V
PIN33	B2_L26_P	Y13	3.3V	PIN34	B2_L18_P	AA8	3.3V
PIN35	B2_L16_P	Y7	3.3V	PIN36	B2_L4_N	AB5	3.3V
PIN37	B2_L16_N	AB7	3.3V	PIN38	B2_L4_P	Y5	3.3V
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	B2_L5_N	Y6	3.3V	PIN42	NC	-	空脚
PIN43	B2_L5_P	W6	3.3V	PIN44	B3_L12_P	D2	3.3V
PIN45	NC	-	空脚	PIN46	B2_L15_N	Y8	3.3V
PIN47	NC	-	空脚	PIN48	B2_L15_P	W9	3.3V
PIN49	GND	-	地	PIN50	GND	-	地
PIN51	NC	-	空脚	PIN52	B3_L0_N	B1	1.5V
PIN53	NC	-	空脚	PIN54	B3_L26_P	M5	1.5V
PIN55	B3_L39_N	G4	1.5V	PIN56	B3_L32_P	R3	1.5V
PIN57	B3_L39_P	H4	1.5V	PIN58	NC	-	空脚
PIN59	GND	-	地	PIN60	GND	-	地
PIN61	NC	-	空脚	PIN62	B2_L6_N	R8	3.3V
PIN63	NC	-	空脚	PIN64	B2_L6_P	R9	3.3V
PIN65	NC	-	空脚	PIN66	B3_L20_P	K6	1.5V
PIN67	NC	-	空脚	PIN68	B3_L20_N	K5	1.5V
PIN69	GND	-	地	PIN70	GND	-	地
PIN71	B2_L8_N	U8	3.3V	PIN72	B2_L2_P	T7	3.3V
PIN73	B2_L8_P	T8	3.3V	PIN74	B2_L2_N	U6	3.3V
PIN75	B3_L19_N	H1	1.5V	PIN76	B3_L52_N	AA1	1.5V
PIN77	B3_L19_P	H2	1.5V	PIN78	B3_L52_P	AA2	1.5V
PIN79	NC	-	空脚	PIN80	NC	-	空脚

图 1-7-3 为 CON3 扩展口连接器的实物图，连接器的 Pin1 已经在板上用圆点标示出。

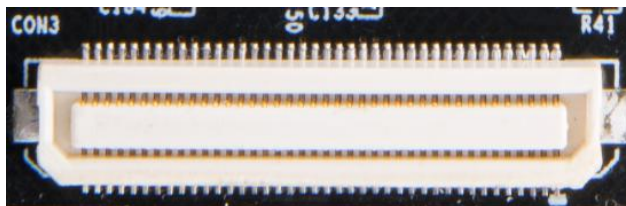


图 1-7-3 CON3 扩展口连接器的实物图

扩展口 CON4

80Pin 的连接器 CON4 用来扩展 FPGA 的 BANK B0 的普通 IO 和 HSST 的高速数据和时钟信号。B0 的 IO 口的电压标准可以通过修改电源电阻的阻值调整，默认安装的是 3.3V 的，如果用户想输出其它标准的电平，可以通过修改电源进行。HSST 的高速数据和时钟信号在核心板上严格差分走线，数据线等长及保持一定的间隔，防止信号干扰。CON4 扩展口的管脚分配如表 1-7-4 所示：

表 1-7-4 扩展口 CON4 引脚分配

CON4 管脚	信号 名称	FPGA 管脚号	电平 标准	CON4 管脚	信号 名称	FPGA 管脚号	电平 标准
PIN1	B0_L27_N	A18	3.3V	PIN2	B0_L4_N	A3	3.3V
PIN3	B0_L27_P	B18	3.3V	PIN4	B0_L4_P	B3	3.3V
PIN5	B0_L29_P	B20	3.3V	PIN6	B0_L2_N	A2	3.3V
PIN7	B0_L29_N	A20	3.3V	PIN8	B0_L2_P	B2	3.3V
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	MGT_CLK1_P	A12	差分	PIN12	MGT_TX0_P	B6	差分
PIN13	MGT_CLK1_N	B12	差分	PIN14	MGT_TX0_N	A6	差分
PIN15	GND	-	地	PIN16	GND	-	地
PIN17	MGT_RX3_P	D15	差分	PIN18	MGT_TX1_P	B8	差分
PIN19	MGT_RX3_N	C15	差分	PIN20	MGT_TX1_N	A8	差分
PIN21	GND	-	地	PIN22	GND	-	地
PIN23	MGT_RX2_P	D13	差分	PIN24	MGT_TX2_P	B14	差分
PIN25	MGT_RX2_N	C13	差分	PIN26	MGT_TX2_N	A14	差分
PIN27	GND	-	地	PIN28	GND	-	地
PIN29	MGT_RX1_P	D9	差分	PIN30	MGT_TX3_P	B16	差分
PIN31	MGT_RX1_N	C9	差分	PIN32	MGT_TX3_N	A16	差分
PIN33	GND	-	地	PIN34	GND	-	地
PIN35	B0_L28_P	C19	差分	PIN36	MGT_RX0_P	D7	差分
PIN37	B0_L28_N	A19	差分	PIN38	MGT_RX0_N	C7	差分
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	B0_L30_N	C18	3.3V	PIN42	B0_L6_P	C4	3.3V
PIN43	B0_L30_P	D17	3.3V	PIN44	B0_L6_N	A4	3.3V
PIN45	B0_L26_N	D19	3.3V	PIN46	B0_L9_P	C5	3.3V
PIN47	B0_L26_P	D18	3.3V	PIN48	B0_L9_N	A5	3.3V
PIN49	GND	-	地	PIN50	GND	-	地

PIN51	B0_L25_N	F17	3.3V	PIN52	B0_L24_P	C17	3.3V
PIN53	B0_L25_P	G16	3.3V	PIN54	B0_L24_N	A17	3.3V
PIN55	B0_L16_N	F16	3.3V	PIN56	B0_L1_P	D4	3.3V
PIN57	B0_L16_P	E16	3.3V	PIN58	B0_L1_N	D5	3.3V
PIN59	GND	-	地	PIN60	GND	-	地
PIN61	B0_L15_N	F15	3.3V	PIN62	B0_L3_P	E5	3.3V
PIN63	B0_L15_P	F14	3.3V	PIN64	B0_L3_N	E6	3.3V
PIN65	B0_L14_P	H12	3.3V	PIN66	B0_L23_N	G15	3.3V
PIN67	B0_L14_N	G11	3.3V	PIN68	B0_L23_P	H14	3.3V
PIN69	GND	-	地	PIN70	GND	-	地
PIN71	B0_L13_N	F10	3.3V	PIN72	B0_L17_P	H13	3.3V
PIN73	B0_L13_P	G9	3.3V	PIN74	B0_L17_N	G13	3.3V
PIN75	B0_L10_N	F9	3.3V	PIN76	B0_L11_N	H11	3.3V
PIN77	B0_L10_P	G8	3.3V	PIN78	B0_L11_P	H10	3.3V
PIN79	B0_L7_N	F8	3.3V	PIN80	B0_L7_P	F7	3.3V

图 1-7-4 为 CON4 扩展口连接器的实物图，连接器的 Pin1 已经在板上用圆点标示出。

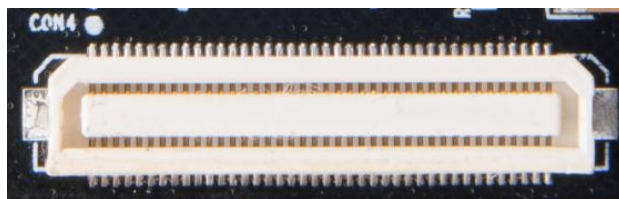


图 1-7-4 CON4 扩展口连接器的实物图

(八) 电源

P50 核心板供电电压为 VCCIN，输入电压为 5V，需通过连接器 CON2 供电，连接底板时通过底板供电。板上的电源设计示意图如下图 1-8-1 所示：

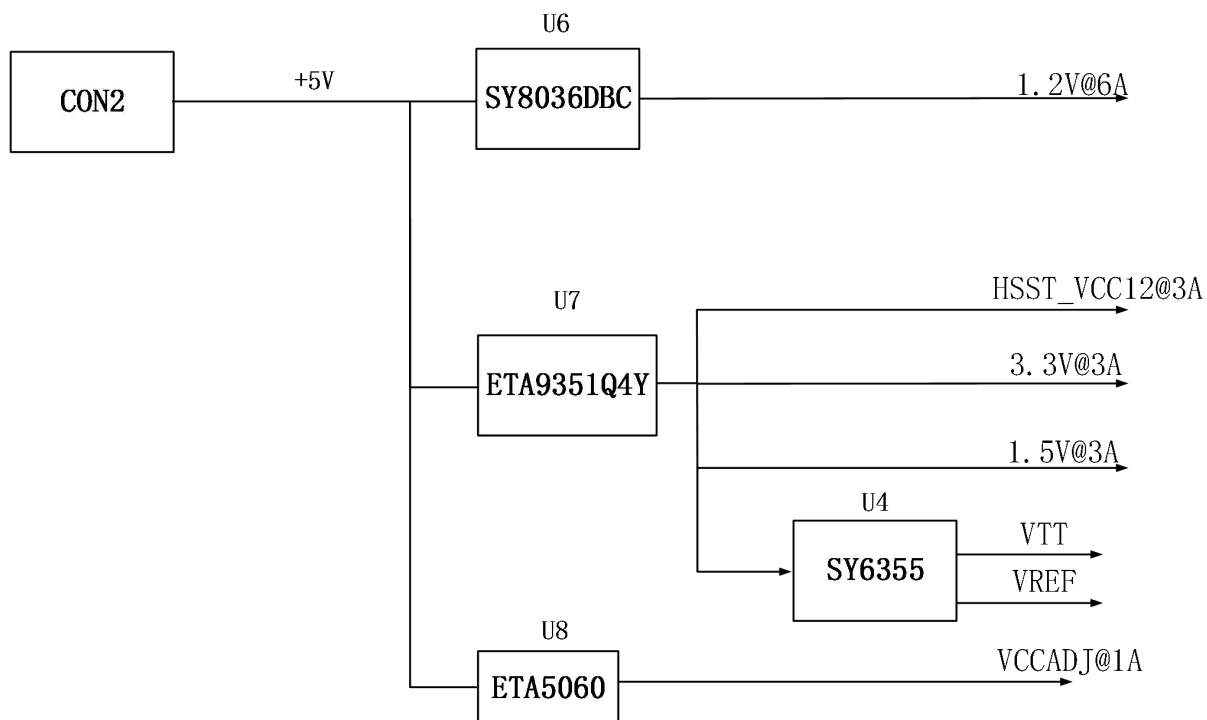


图 1-8-1 原理图中电源接口部分

核心板通过+5V 供电, 通过 3 路 DC/DC 电源芯片 ETA9351Q4Y 和 SY8036DBC 转化成 +3.3V, +1.5V, HSST_VCC12、+1.0V 4 路电源, 其中+1.2V 的电流可高达 6A, 其它 3 路输出电流可高达 3A。其中 VCCADJ 产生 VCCIO 的电压可调, VCCADJ 主要是对 FPGA 的 B0 和 B2 进行供电, 用户可以通过修改电源电阻的阻值调整电压, 使得 B0 和 B2 的 IO 适应不同的电压标准。HSST_VCC12 收发器的电源。1.5V 通过 TI 的 SY6355 生成 DDR3 需要的 VTT 和 VREF 电压。各个电源分配的功能如下表所示:

电源	功能
+3.3V	FPGA BANK B0、B1 和 B2 的 VCCIO, FPGA 辅助电源, QSIP FLASH, Clock 晶振
+1.0V	FPGA 的核心电压
+1.5V	DDR3, FPGA B3
VREF, VTT (+0.75V)	DDR3
VCCADJ (+2.5V)	可选择改变 FPGA B0、B2 标准电平
HSST_VCC12(+1.2V)	FPGA HSST 收发器

P50 核心板的电源电路在板上的分别实物图所下图 1-8-2 所示。

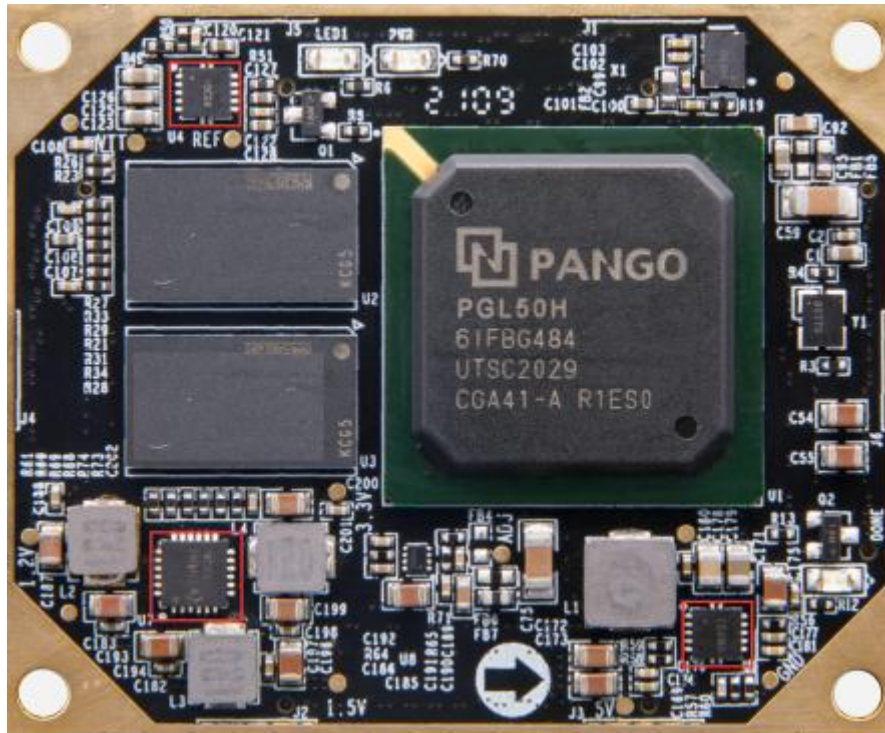
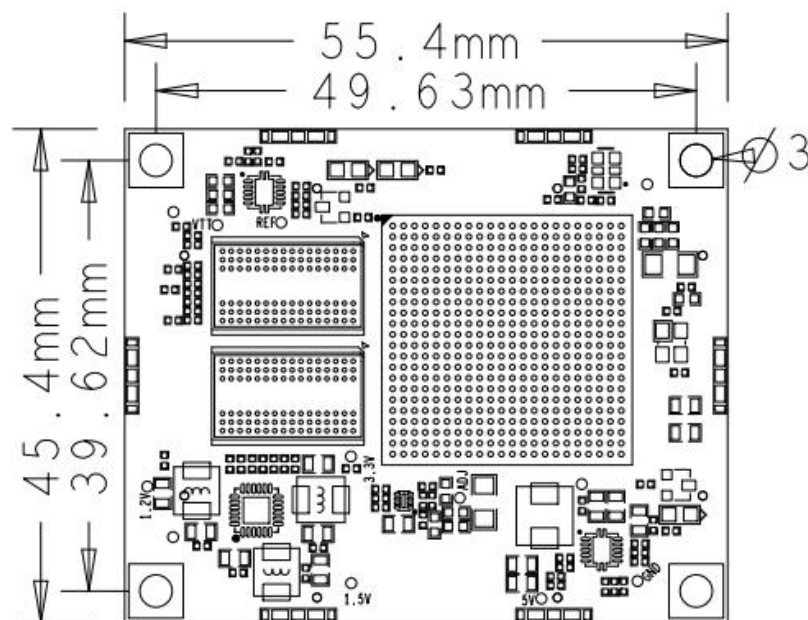
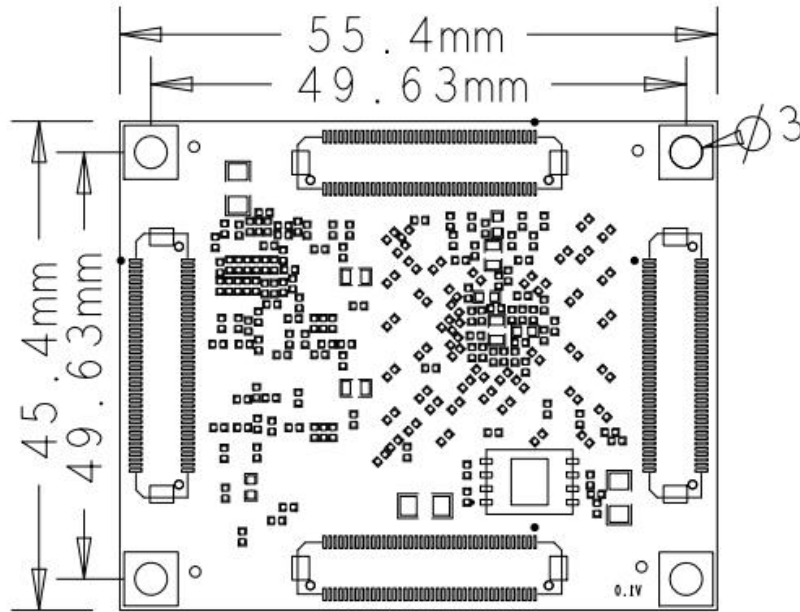


图 1-8-2 核心板电源部分实物图

(九) 结构图



正面图 (Top View)



背面图 (Bottom View)