

Zynq UltraScale+

开发平台

M2CG/M3EG

M4EV/M5EV

核心板

ALINX

文档版本控制

文档版本	修改内容记录
REV1.0	创建文档

目 录

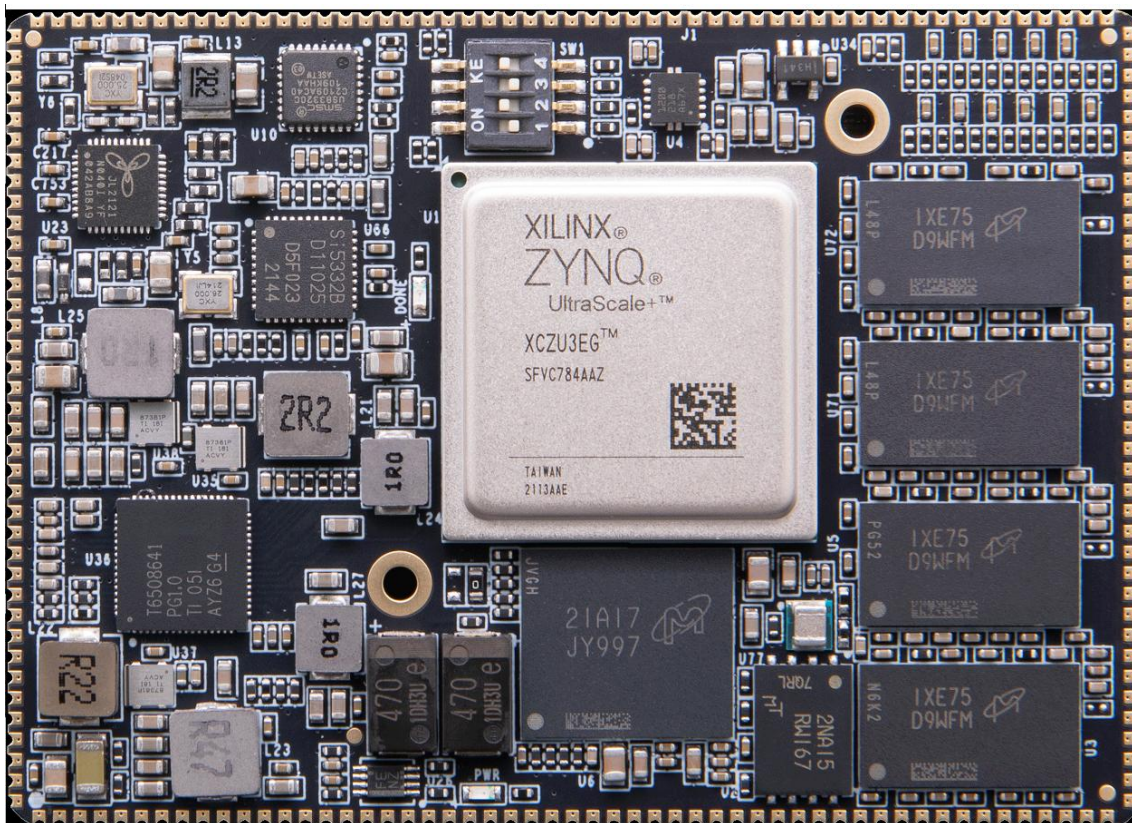
文档版本控制	2
(一) 简介	4
(二) MPSOC 芯片	5
(三) DDR4 DRAM	7
(四) QSPI Flash	11
(五) eMMC Flash	12
(六) 时钟配置	14
(七) 网口芯片	15
(八) USB3.0	17
(九) 电源	18
(十) 结构图	19
(十一) 邮票孔管脚定义	19

(一) 简介

M 系列的邮票孔核心板分 M2CG、M3EG、M4EV、M5EV 这 4 款核心板，ZYNQ 芯片是基于 XILINX 公司的 Zynq UltraScale+ MPSoCs 系列芯片，分别为 XCZU2CG、XCZU3EG，XCZU4EV 和 XCZU5EV 的 MPSOC。

这 4 款核心板 PS 端挂载了 4 片 Micron 的 DDR4 芯片，组成 64 位数据总线带宽和 4GB 的容量。DDR4 SDRAM 的最高运行速度可达 1200MHz(数据速率 2400Mbps)。另外核心板上也集成了 1 片 256MBit 大小的 QSPI FLASH 和 8GB 大小的 eMMC FLASH 芯片，用于启动存储配置和系统文件。

为了更好的利用资源和引脚的引出，这款核心板上添加了网口芯片，USB2.0 芯片以及时钟晶振芯片；通过邮票孔扩展出 SD 卡接口，USB3.0 接口，PCIE3.0 接口，DP 接口，JTAG 接口等，以及 PL 端的大部分的 IO 口（HP I/O：96 个，HD I/O：84 个），MPSOC 芯片到接口之间走线做了等长和差分处理，并且核心板尺寸仅为 70*50（mm），对于二次开发来说，非常适合。



ACU3EG 核心板正面图

(二) MPSOC 芯片

MPSOC 芯片 XCZU2CG 的 PS 系统集成了 2 个 ARM Cortex™-A53 处理器；XCZU3EG、XCZU4EV 和 XCZU5EV 的 PS 系统集成了 4 个 ARM Cortex™-A53 处理器。CPU 速度高达 1.2Ghz，支持 2 级 Cache；另外还包含 2 个 Cortex-R5 处理器，速度高达 500Mhz。

MPSOC 支持 32 位或者 64 位的 DDR4，LPDDR4，DDR3,DDR3L, LPDDR3 存储芯片，在 PS 端带有丰富的高速接口如 PCIE Gen2, USB3.0, SATA 3.1, DisplayPort；同时另外也支持 USB2.0，千兆以太网，SD/SDIO，I2C，CAN，UART，GPIO 等接口。PL 端内部含有丰富的可编程逻辑单元，DSP 和内部 RAM。芯片的总体框图下图所示

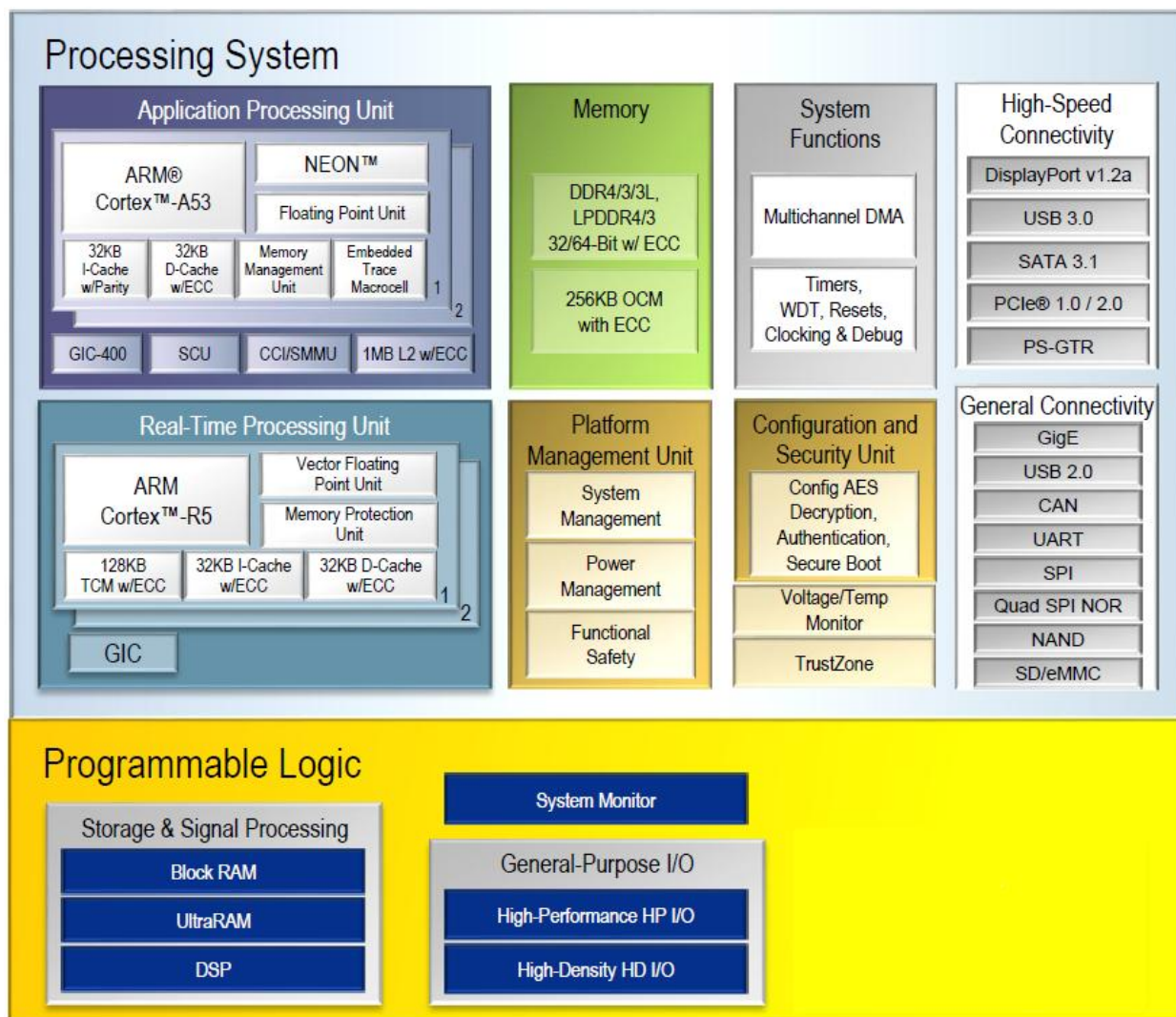


图2-1 ZYNQ ZU2CG芯片的总体框图

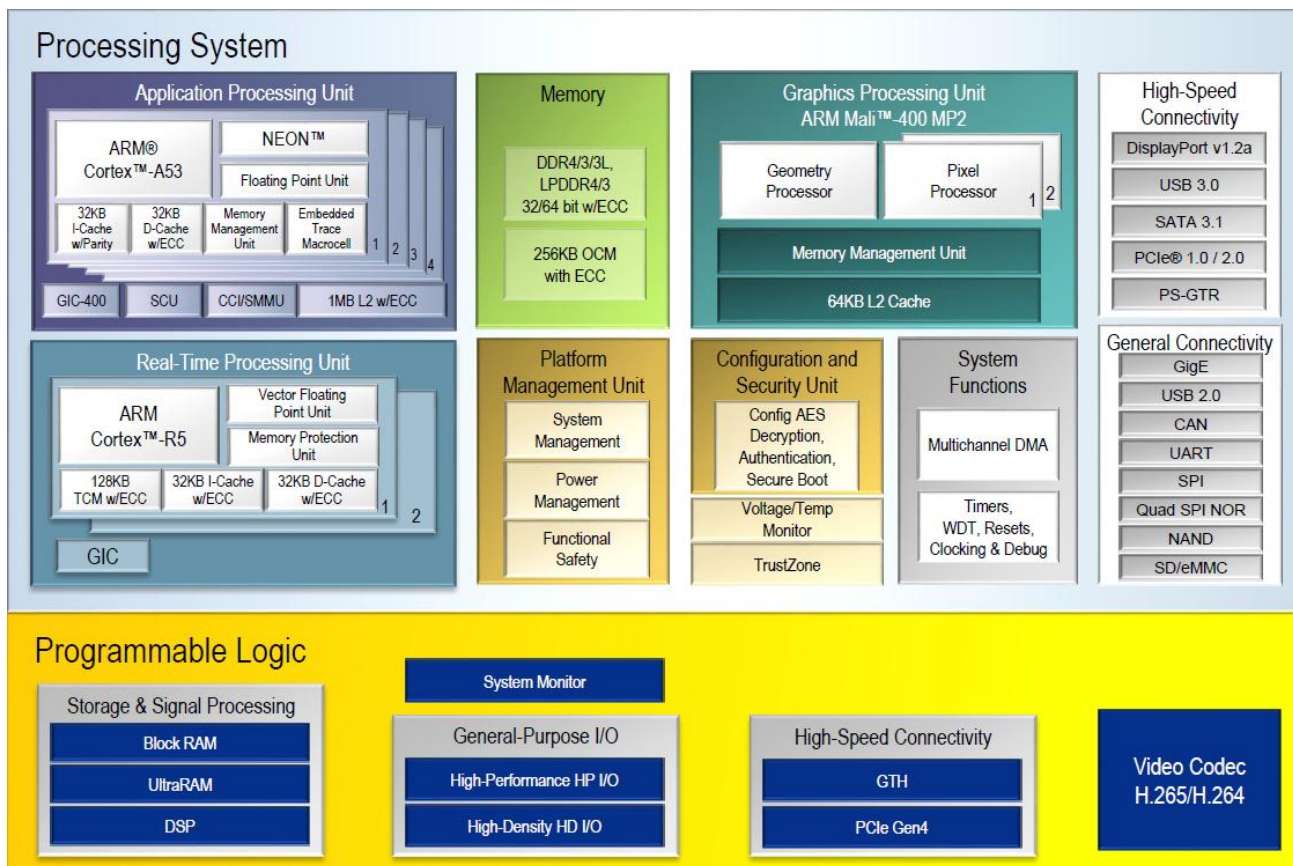


图2-2 ZYNQ ZU3EG/4EV/5EV芯片的总体框图

其中主要参数如下：

	ZU2CG	ZU3EG	ZU4EV	ZU5EV
Application Processing Unit	Dual-core	Quad-core		
	ARM Cortex-A53 MPCore with CoreSight; NEON & Single/Double Precision Floating Point; 32KB/32KB L1 Cache, 1MB L2 Cache			
Real-Time Processing Unit	Dual-core ARM Cortex-R5 with CoreSight; Single/Double Precision Floating Point; 32KB/32KB L1 Cache, and TCM			
Embedded and External Memory	256KB On-Chip Memory w/ECC; External DDR4; DDR3; DDR3L; LPDDR4; LPDDR3; External Quad-SPI; NAND; eMMC			
General Connectivity	214 PS I/O; UART; CAN; USB 2.0; I2C; SPI; 32b GPIO; Real Time Clock; WatchDog Timers; Triple Timer Counters			
High-Speed Connectivity	4 PS-GTR; PCIe Gen1/2; Serial ATA 3.1; DisplayPort 1.2a; USB 3.0; SGMII			
Graphic Processing Unit	ARM Mali-400 MP2; 64KB L2 Cache			
Video Codec	0	0	1	1
System Logic Cells	103,320	154,350	192,150	256,200
CLB Flip-Flops	94,464	141,120	175,680	234,240
CLB LUTs	47,232	70,560	87,840	117,120
Distributed RAM (Mb)	1.2	1.8	2.6	3.5
Block RAM Blocks	150	216	128	144
Block RAM (Mb)	5.3	7.6	4.5	5.1
UltraRAM Blocks	0	0	48	64
UltraRAM (Mb)	0	0	13.5	18.0
DSP Slices	240	360	728	1,248
CMTs	3	3	4	4
Max. HP I/O ⁽¹⁾	156	156	156	156
Max. HD I/O ⁽²⁾	96	96	96	96
System Monitor	2	2	2	2
GTH Transceiver 16.3Gb/s ⁽³⁾	0	0	16	16
GTY Transceivers 32.75Gb/s	0	0	0	0
Transceiver Fractional PLLs	0	0	8	8
PCIe Gen3 x16 and Gen4 x8	0	0	2	2
150G Interlaken	0	0	0	0
100G Ethernet w/ RS-FEC	0	0	0	0

(三) DDR4 DRAM

M2CG/M3EG/M4EV/M5EV核心板上配有4片1GB的DDR4芯片, 型号MT40A512M16LY-062E, 组成64位数据总线带宽和4GB的容量。DDR4 SDRAM的最高运行速度可达1200MHz(数据速率2400Mbps), 4片DDR4存储系统直接连接到了PS的BANK504的存储器接口上。DDR4 SDRAM的具体配置如下表3-1所示。

位号	芯片型号	容量	厂家
U3,U5,U71,U72	MT40A512M16LY-062E	512M x 16bit	Micron

表 3-1 DDR4 SDRAM 配置

DDR4 的硬件设计需要严格考虑信号完整性, 我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻, 走线阻抗控制, 走线等长控制, 保证 DDR4 的高速稳定的工作。

PS 端的 DDR4 的硬件连接方式如图 3-2 所示:

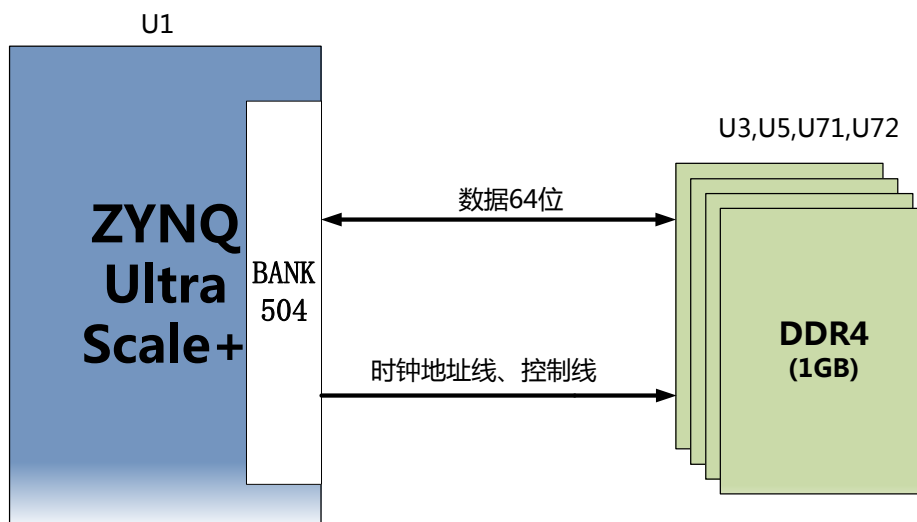


图3-2 PS端DDR4 DRAM原理图部分

PS 端 DDR4 SDRAM 引脚分配：

信号名称	引脚名	引脚号
PS_DDR4_DQS0_P	PS_DDR_DQS_P0_504	AF21
PS_DDR4_DQS0_N	PS_DDR_DQS_N0_504	AG21
PS_DDR4_DQS1_P	PS_DDR_DQS_P1_504	AF23
PS_DDR4_DQS1_N	PS_DDR_DQS_N1_504	AG23
PS_DDR4_DQS2_P	PS_DDR_DQS_P2_504	AF25
PS_DDR4_DQS2_N	PS_DDR_DQS_N2_504	AF26
PS_DDR4_DQS3_P	PS_DDR_DQS_P3_504	AE27
PS_DDR4_DQS3_N	PS_DDR_DQS_N3_504	AF27
PS_DDR4_DQS4_P	PS_DDR_DQS_P4_504	N23
PS_DDR4_DQS4_N	PS_DDR_DQS_N4_504	M23
PS_DDR4_DQS5_P	PS_DDR_DQS_P5_504	L23
PS_DDR4_DQS5_N	PS_DDR_DQS_N5_504	K23
PS_DDR4_DQS6_P	PS_DDR_DQS_P6_504	N26
PS_DDR4_DQS6_N	PS_DDR_DQS_N6_504	N27
PS_DDR4_DQS7_P	PS_DDR_DQS_P7_504	J26
PS_DDR4_DQS7_N	PS_DDR_DQS_N7_504	J27
PS_DDR4_DQ0	PS_DDR_DQ0_504	AD21
PS_DDR4_DQ1	PS_DDR_DQ1_504	AE20
PS_DDR4_DQ2	PS_DDR_DQ2_504	AD20
PS_DDR4_DQ3	PS_DDR_DQ3_504	AF20
PS_DDR4_DQ4	PS_DDR_DQ4_504	AH21

PS_DDR4_DQ5	PS_DDR_DQ5_504	AH20
PS_DDR4_DQ6	PS_DDR_DQ6_504	AH19
PS_DDR4_DQ7	PS_DDR_DQ7_504	AG19
PS_DDR4_DQ8	PS_DDR_DQ8_504	AF22
PS_DDR4_DQ9	PS_DDR_DQ9_504	AH22
PS_DDR4_DQ10	PS_DDR_DQ10_504	AE22
PS_DDR4_DQ11	PS_DDR_DQ11_504	AD22
PS_DDR4_DQ12	PS_DDR_DQ12_504	AH23
PS_DDR4_DQ13	PS_DDR_DQ13_504	AH24
PS_DDR4_DQ14	PS_DDR_DQ14_504	AE24
PS_DDR4_DQ15	PS_DDR_DQ15_504	AG24
PS_DDR4_DQ16	PS_DDR_DQ16_504	AC26
PS_DDR4_DQ17	PS_DDR_DQ17_504	AD26
PS_DDR4_DQ18	PS_DDR_DQ18_504	AD25
PS_DDR4_DQ19	PS_DDR_DQ19_504	AD24
PS_DDR4_DQ20	PS_DDR_DQ20_504	AG26
PS_DDR4_DQ21	PS_DDR_DQ21_504	AH25
PS_DDR4_DQ22	PS_DDR_DQ22_504	AH26
PS_DDR4_DQ23	PS_DDR_DQ23_504	AG25
PS_DDR4_DQ24	PS_DDR_DQ24_504	AH27
PS_DDR4_DQ25	PS_DDR_DQ25_504	AH28
PS_DDR4_DQ26	PS_DDR_DQ26_504	AF28
PS_DDR4_DQ27	PS_DDR_DQ27_504	AG28
PS_DDR4_DQ28	PS_DDR_DQ28_504	AC27
PS_DDR4_DQ29	PS_DDR_DQ29_504	AD27
PS_DDR4_DQ30	PS_DDR_DQ30_504	AD28
PS_DDR4_DQ31	PS_DDR_DQ31_504	AC28
PS_DDR4_DQ32	PS_DDR_DQ32_504	T22
PS_DDR4_DQ33	PS_DDR_DQ33_504	R22
PS_DDR4_DQ34	PS_DDR_DQ34_504	P22
PS_DDR4_DQ35	PS_DDR_DQ35_504	N22
PS_DDR4_DQ36	PS_DDR_DQ36_504	T23
PS_DDR4_DQ37	PS_DDR_DQ37_504	P24
PS_DDR4_DQ38	PS_DDR_DQ38_504	R24
PS_DDR4_DQ39	PS_DDR_DQ39_504	N24

PS_DDR4_DQ40	PS_DDR_DQ40_504	H24
PS_DDR4_DQ41	PS_DDR_DQ41_504	J24
PS_DDR4_DQ42	PS_DDR_DQ42_504	M24
PS_DDR4_DQ43	PS_DDR_DQ43_504	K24
PS_DDR4_DQ44	PS_DDR_DQ44_504	J22
PS_DDR4_DQ45	PS_DDR_DQ45_504	H22
PS_DDR4_DQ46	PS_DDR_DQ46_504	K22
PS_DDR4_DQ47	PS_DDR_DQ47_504	L22
PS_DDR4_DQ48	PS_DDR_DQ48_504	M25
PS_DDR4_DQ49	PS_DDR_DQ49_504	M26
PS_DDR4_DQ50	PS_DDR_DQ50_504	L25
PS_DDR4_DQ51	PS_DDR_DQ51_504	L26
PS_DDR4_DQ52	PS_DDR_DQ52_504	K28
PS_DDR4_DQ53	PS_DDR_DQ53_504	L28
PS_DDR4_DQ54	PS_DDR_DQ54_504	M28
PS_DDR4_DQ55	PS_DDR_DQ55_504	N28
PS_DDR4_DQ56	PS_DDR_DQ56_504	J28
PS_DDR4_DQ57	PS_DDR_DQ57_504	K27
PS_DDR4_DQ58	PS_DDR_DQ58_504	H28
PS_DDR4_DQ59	PS_DDR_DQ59_504	H27
PS_DDR4_DQ60	PS_DDR_DQ60_504	G26
PS_DDR4_DQ61	PS_DDR_DQ61_504	G25
PS_DDR4_DQ62	PS_DDR_DQ62_504	K25
PS_DDR4_DQ63	PS_DDR_DQ63_504	J25
PS_DDR4_DM0	PS_DDR_DM0_504	AG20
PS_DDR4_DM1	PS_DDR_DM1_504	AE23
PS_DDR4_DM2	PS_DDR_DM2_504	AE25
PS_DDR4_DM3	PS_DDR_DM3_504	AE28
PS_DDR4_DM4	PS_DDR_DM4_504	R23
PS_DDR4_DM5	PS_DDR_DM5_504	H23
PS_DDR4_DM6	PS_DDR_DM6_504	L27
PS_DDR4_DM7	PS_DDR_DM7_504	H26
PS_DDR4_A0	PS_DDR_A0_504	W28
PS_DDR4_A1	PS_DDR_A1_504	Y28
PS_DDR4_A2	PS_DDR_A2_504	AB28

PS_DDR4_A3	PS_DDR_A3_504	AA28
PS_DDR4_A4	PS_DDR_A4_504	Y27
PS_DDR4_A5	PS_DDR_A5_504	AA27
PS_DDR4_A6	PS_DDR_A6_504	Y22
PS_DDR4_A7	PS_DDR_A7_504	AA23
PS_DDR4_A8	PS_DDR_A8_504	AA22
PS_DDR4_A9	PS_DDR_A9_504	AB23
PS_DDR4_A10	PS_DDR_A10_504	AA25
PS_DDR4_A11	PS_DDR_A11_504	AA26
PS_DDR4_A12	PS_DDR_A12_504	AB25
PS_DDR4_A13	PS_DDR_A13_504	AB26
PS_DDR4_WE_B	PS_DDR_A14_504	AB24
PS_DDR4_CAS_B	PS_DDR_A15_504	AC24
PS_DDR4_RAS_B	PS_DDR_A16_504	AC23
PS_DDR4_ACT_B	PS_DDR_ACT_N_504	Y23
PS_DDR4_ALERT_B	PS_DDR_ALERT_N_504	U25
PS_DDR4_BA0	PS_DDR_BA0_504	V23
PS_DDR4_BA1	PS_DDR_BA1_504	W22
PS_DDR4_BG0	PS_DDR_BG0_504	W24
PS_DDR4_CS0_B	PS_DDR_CS_N0_504	W27
PS_DDR4_ODT0	PS_DDR_ODT0_504	U28
PS_DDR4_PARITY	PS_DDR_PARITY_504	V24
PS_DDR4_RESET_B	PS_DDR_RAM_RST_N_504	U23
PS_DDR4_CLK0_P	PS_DDR_CK0_504	W25
PS_DDR4_CLK0_N	PS_DDR_CK_N0_504	W26
PS_DDR4_CKE0	PS_DDR_CKE0_504	V28

(四) QSPI Flash

核心板配有 1 片 256MBit 大小的 Quad-SPI FLASH 芯片组成 8 位带宽数据总线,FLASH 型号为 MT25QU256ABA1EW9, 它使用 1.8V CMOS 电压标准。由于 QSPI FLASH 的非易失特性, 在使用中, 它可以作为系统的启动设备来存储系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、ARM 的应用程序代码以及其它的用户数据文件。QSPI FLASH 的具体型号和相关参数见表 4-1。

位号	芯片类型	容量	厂家
U2	MT25QU256ABA1EW9	256M bit	Micron

表4-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 ZYNQ 芯片的 PS 部分 BANK500 的 GPIO 口上 ,在系统设计中需要配置这些 PS 端的 GPIO 口功能为 QSPI FLASH 接口。为图 4-2 为 QSPI Flash 在原理图中的部分。

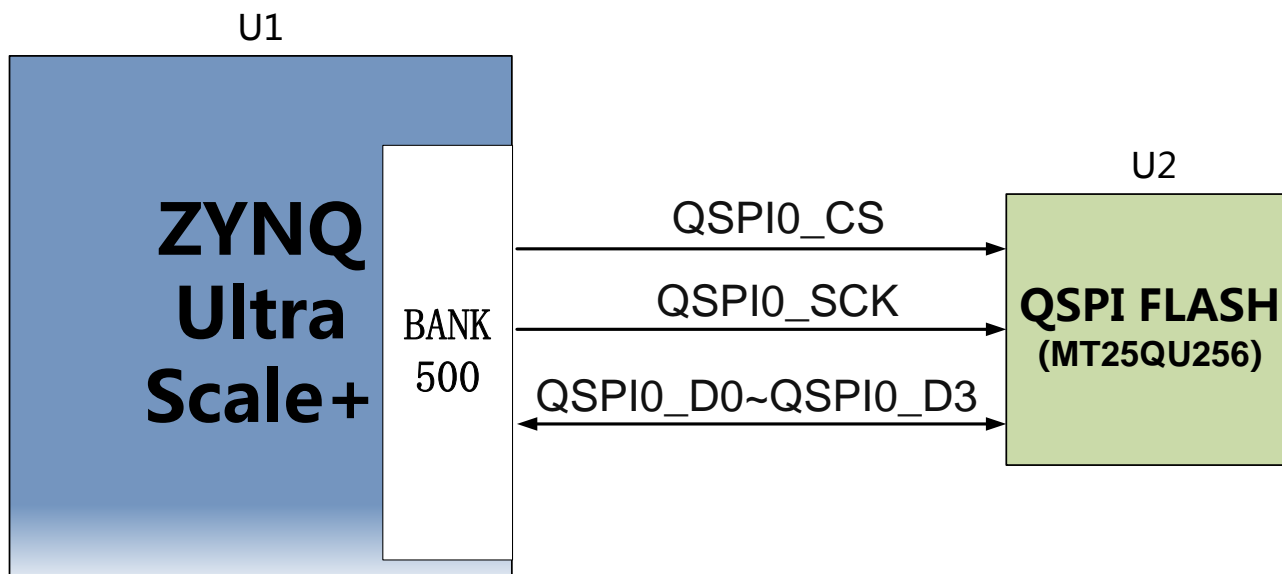


图 4-2 QSPI Flash 连接示意图

配置芯片引脚分配：

信号名称	引脚名	引脚号
MIO0_QSPI0_SCLK	PS_MIO0_500	AG15
MIO1_QSPI0_IO1	PS_MIO1_500	AG16
MIO2_QSPI0_IO2	PS_MIO2_500	AF15
MIO3_QSPI0_IO3	PS_MIO3_500	AH15
MIO4_QSPI0_IO0	PS_MIO4_500	AH16
MIO5_QSPI0_SS_B	PS_MIO5_500	AD16

(五) eMMC Flash

核心板配有一片大容量的 8GB 大小的 eMMC FLASH 芯片，型号为 MTFC8GAKAJCN-4M，它支持 JEDEC e-MMC V5.0 标准的 HS-MMC 接口，电平支持 1.8V

或者 3.3V。eMMC FLASH 和 ZYNQ 连接的数据宽度为 8bit。由于 eMMC FLASH 的大容量和非易失特性，在 ZYNQ 系统使用中，它可以作为系统大容量的存储设备，比如存储 ARM 的应用程序、系统文件以及其它的用户数据文件。eMMC FLASH 的具体型号和相关参数见表 5-1。

位号	芯片类型	容量	厂家
U6	MTFC8GAKAJCN-4M	8G Byte	Micron

表5-1 eMMC Flash的型号和参数

eMMC FLASH 连接到 ZYNQ UltraScale+ 的 PS 部分 BANK500 的 GPIO 口上，在系统设计中需要配置这些 PS 端的 GPIO 口功能为 EMMC 接口。为图 5-2 为 eMMC Flash 在原理图中的部分。

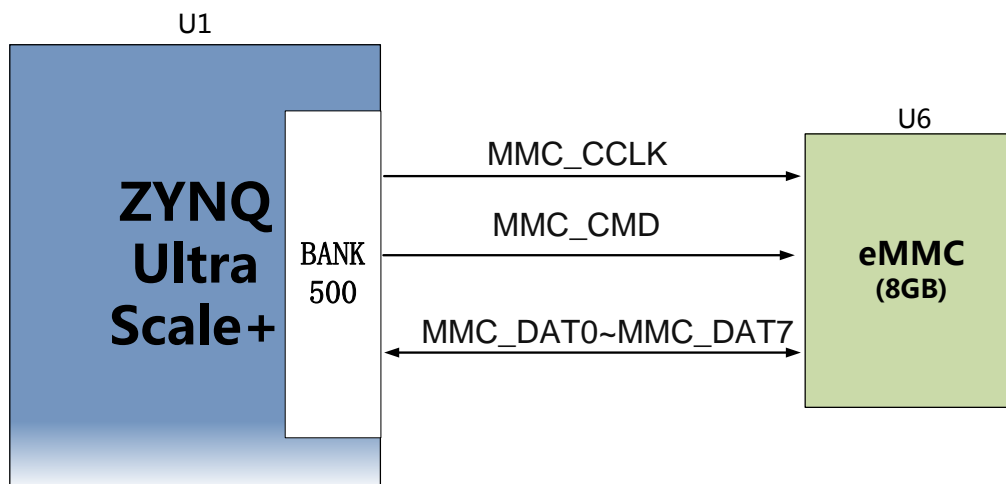


图 5-2 eMMC Flash 连接示意图

配置芯片引脚分配：

信号名称	引脚名	引脚号
MMC_DAT0	PS_MIO13_500	AH18
MMC_DAT1	PS_MIO14_500	AG18
MMC_DAT2	PS_MIO15_500	AE18
MMC_DAT3	PS_MIO16_500	AF18
MMC_DAT4	PS_MIO17_500	AC18
MMC_DAT5	PS_MIO18_500	AC19
MMC_DAT6	PS_MIO19_500	AE19
MMC_DAT7	PS_MIO20_500	AD19
MMC_CMD	PS_MIO21_500	AC21
MMC_CCLK	PS_MIO22_500	AB20

MMC_RSTN	PS_MIO23_500	AB18
----------	--------------	------

(六) 时钟配置

核心板上使用无源晶振和一个时钟芯片，分别为 PS 系统, PL 逻辑部分提供了参考时钟，RTC 实时时钟，网口芯片，USB 芯片，高速收发器提供时钟，使 PS 系统和 PL 逻辑可以单独工作。时钟电路设计的示意图如下图 6-1 所示：

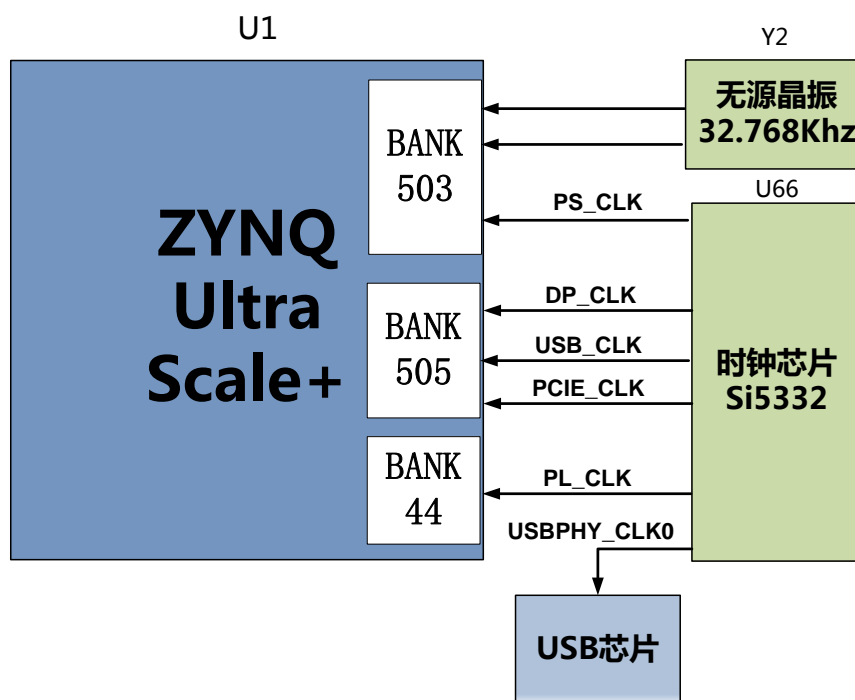


图 6-1 核心板时钟源

RTC 时钟引脚分配：

信号名称	管脚名	管脚号
PS_PADI_503	PS_PADI_503	N17
PS_PADO_503	PS_PADO_503	N18

PS 系统时钟源

核心板上的 X1 晶振为 PS 部分提供 33.333MHz 的时钟输入。时钟的输入连接到 ZYNQ 芯片的 BANK503 的 PS_REF_CLK_503 的管脚上。

时钟引脚分配：

信号名称	管脚名	管脚号
------	-----	-----

PS_REF_CLK	PS_REF_CLK_503	R16
------------	----------------	-----

收发器时钟源

提供核心板 PS 端 BANK 505 的时钟输入，为所连接的 PCIE,USB3.0,DP 分别接口提供 100MHZ, 26MHZ, 27MHZ 差分参考时钟

时钟引脚分配：

信号名称	管脚名	管脚号
505_PCIE_REFCLK_P	PS_MGTREFCLK0P_505	F23
505_PCIE_REFCLK_N	PS_MGTREFCLK0N_505	F24
505_USB_CLKP	PS_MGTREFCLK1P_505	E21
505_USB_CLKN	PS_MGTREFCLK1N_505	E22
505_DP_CLKP	PS_MGTREFCLK2P_505	C21
505_DP_CLKN	PS_MGTREFCLK2N_505	C22

PL 时钟：

信号名称	管脚名	管脚号
PL_REF_CLK	IO_L8P_HDGC_AD4P_4	AB11

(七) 网口芯片

核心板上已经集成网络千兆以太网芯片 GPHY，GPHY 的 MDI 接口通过邮票孔连接底板，底板设计直接连接 RJ45 网口就可以以太网通信。以太网芯片采用景略半导体的工业级以太网 GPHY 芯片 (JL2121-N040I) 为用户提供网络通信服务。PS 端的以太网 PHY 芯片是连接到 ZYNQ 的 PS 端 BANK502 的 MIO 接口上。PL 端的以太网 PHY 芯片是连接到 BANK66 的 IO 上。JL2121 芯片支持 10/100/1000 Mbps 网络传输速率，通过 RGMII 接口跟 MPSOC 系统的 MAC 层进行数据通信。JL2121D 支持 MDI/MDX 自适应，各种速度自适应，Master/Slave 自适应，支持 MDIO 总线进行 PHY 的寄存器管理。

JL2121 上电会检测一些特定的 IO 的电平状态，从而确定自己的工作模式。表 7-1 描述了 GPHY 芯片上电之后的默认设定信息。

配置 Pin 脚	说明	配置值
RXD3_ADR0	MDIO/MDC 模式的 PHY 地址	PHY Address 为 001

RXC_ADR1		
RXCTL_ADR2		
RXD1_TXDLY	TX 时钟 2ns 延时	延时
RXD0_RXDLY	RX 时钟 2ns 延时	延时

表 7-1 GPHY 芯片默认配置值

当网络连接到千兆以太网时，MPSOC 和 PHY 芯片 JL2121 的数据传输时通过 RGMII 总线通信，传输时钟为 125Mhz，数据在时钟的上升沿和下降样采样。

当网络连接到百兆以太网时，MPSOC 和 PHY 芯片 JL2121 的数据传输时通过 RMII 总线通信，传输时钟为 25Mhz。数据在时钟的上升沿和下降样采样。

图 7-2 为 ZYNQ 以太网 PHY 芯片连接示意图:

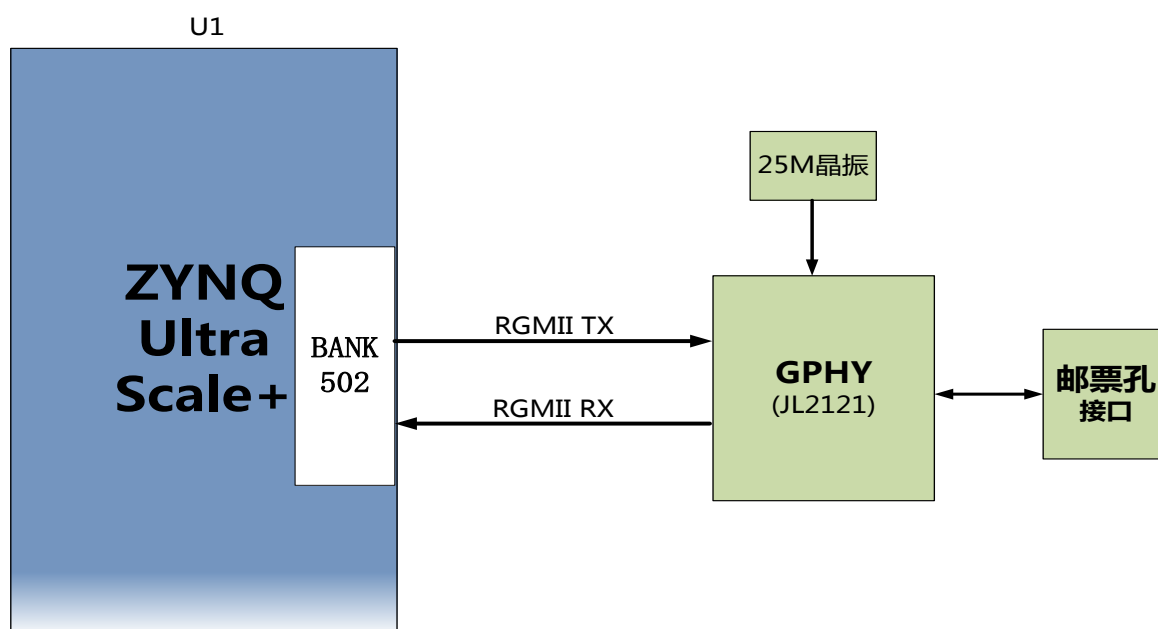


图 7-2 以太网 PHY 芯片连接示意图

千兆以太网引脚分配如下：

信号名称	引脚名	引脚号	备注
PHY1_TXCK	PS_MIO64_502	E19	以太网 1RGMII 发送时钟
PHY1_TXD0	PS_MIO65_502	A18	以太网 1 发送数据 bit 0
PHY1_TXD1	PS_MIO66_502	G19	以太网 1 发送数据 bit1
PHY1_TXD2	PS_MIO67_502	B18	以太网 1 发送数据 bit2
PHY1_TXD3	PS_MIO68_502	C18	以太网 1 发送数据 bit3
PHY1_TXCTL	PS_MIO69_502	D19	以太网 1 发送使能信号

PHY1_RXCK	PS_MIO70_502	C19	以太网 1RGMII 接收时钟
PHY1_RXD0	PS_MIO71_502	B19	以太网 1 接收数据 Bit0
PHY1_RXD1	PS_MIO72_502	G20	以太网 1 接收数据 Bit1
PHY1_RXD2	PS_MIO73_502	G21	以太网 1 接收数据 Bit2
PHY1_RXD3	PS_MIO74_502	D20	以太网 1 接收数据 Bit3
PHY1_RXCTL	PS_MIO75_502	A19	以太网 1 接收数据有效信号
PHY1_MDC	PS_MIO76_502	B20	以太网 1MDIO 管理时钟
PHY1_MDIO	PS_MIO77_502	F20	以太网 1MDIO 管理数据

(八) USB3.0

核心板上放置一个 USB2.0 芯片，设计 ULPI 接口连接外部的 USB3320C 芯片，引脚连接到 BANK502，DP/DM 通过邮票孔连接到底板；USB3.0 连接到 BNAK505 高速收发器上，最后连接到邮票孔，通过邮票孔可以将线路引到 USB 接口上。即可实现高速的 USB3.0 和 USB2.0 的数据通信。

连接的示意图如图 8-1 所示：

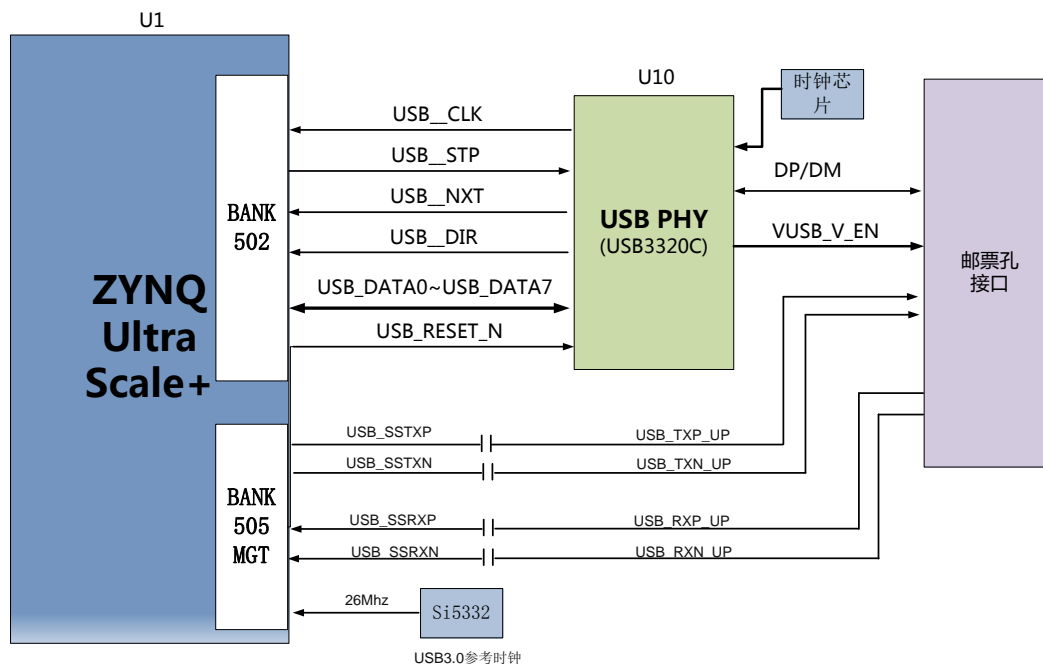


图 8-1 USB3.0 示意图

USB 接口引脚分配

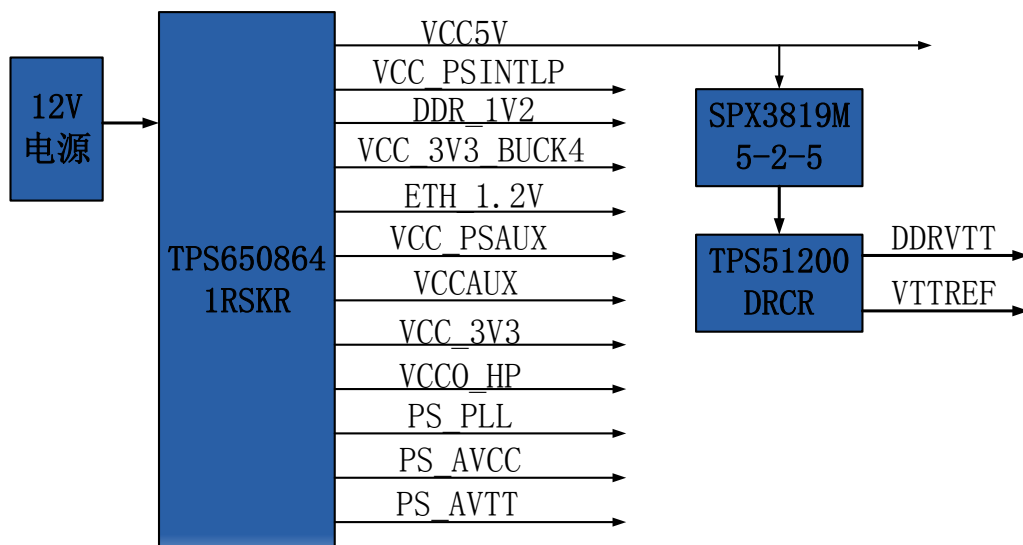
信号名称	引脚名	引脚号	备注
USB_SSTXP	PS_MGTRTXP1_505	D23	USB3.0 数据发送正
USB_SSTXN	PS_MGTRTXN1_505	D24	USB3.0 数据发送负

USB_SSRXP	PS_MGTRRXP1_505	D27	USB3.0 数据接收正
USB_SSRXN	PS_MGTRRXN1_505	D28	USB3.0 数据接收负
USB_DATA0	PS_MIO56_502	C16	USB2.0 数据 Bit0
USB_DATA1	PS_MIO57_502	A16	USB2.0 数据 Bit1
USB_DATA2	PS_MIO54_502	F17	USB2.0 数据 Bit2
USB_DATA3	PS_MIO59_502	E17	USB2.0 数据 Bit3
USB_DATA4	PS_MIO60_502	C17	USB2.0 数据 Bit4
USB_DATA5	PS_MIO61_502	D17	USB2.0 数据 Bit5
USB_DATA6	PS_MIO62_502	A17	USB2.0 数据 Bit6
USB_DATA7	PS_MIO63_502	E18	USB2.0 数据 Bit7
USB_STP	PS_MIO58_502	F18	USB2.0 停止信号
USB_DIR	PS_MIO53_502	D16	USB2.0 数据方向信号
USB_CLK	PS_MIO52_502	G18	USB2.0 时钟信号
USB_NXT	PS_MIO55_502	B16	USB2.0 数据信号
USB_RESET_N	PS_MIO44_501	J20	USB2.0 复位信号

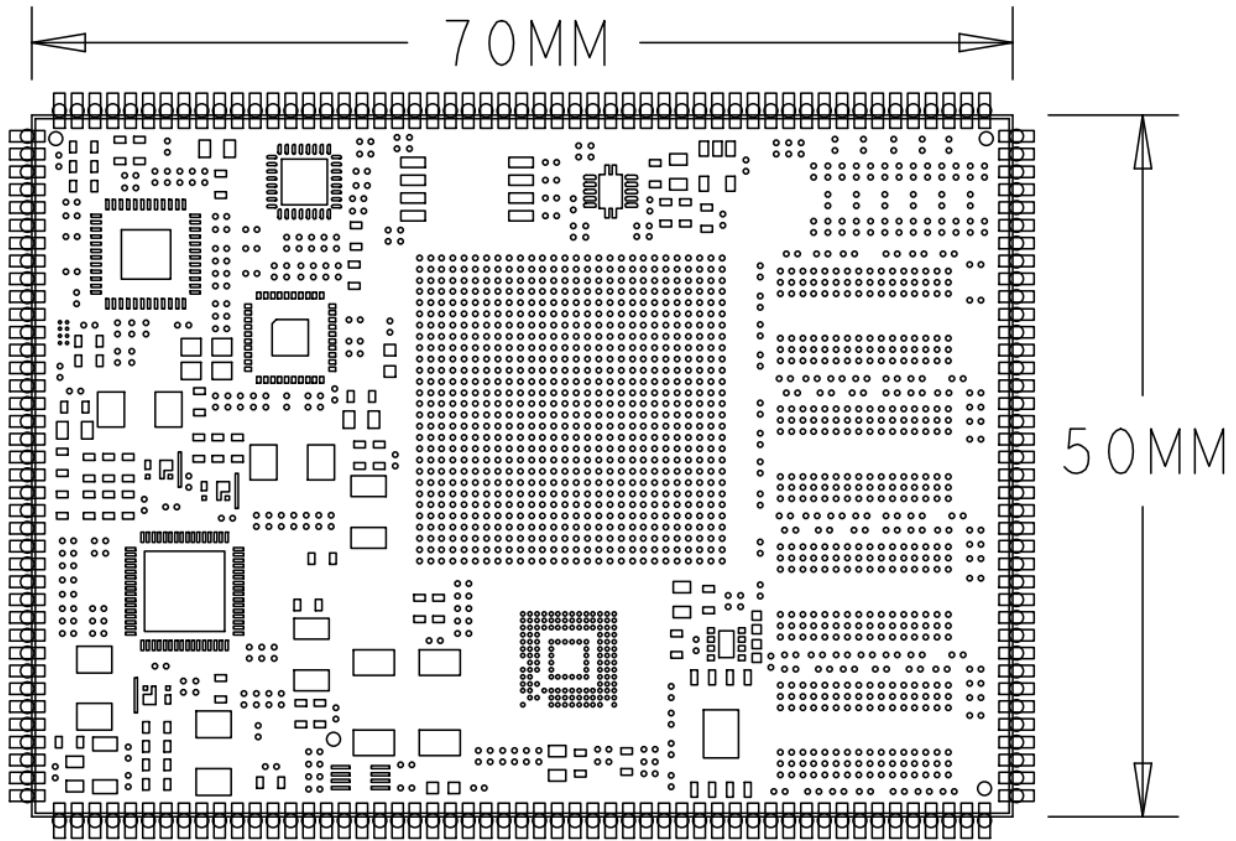
(九) 电源

核心板供电电压为+12V，通过连接底板给核心板供电。核心板上通过一个 PMIC 芯片 TPS650864 产生 MPSOC 芯片所需要的所有电源，TPS51200DRCR 提供 DDRVTT 和 VTTREF，

板上的电源设计示意图如下 9-1



(十) 结构图



正面图 (Top View)

(十一) 邮票孔管脚定义

J1 连接器的引脚分配

管脚	信号名称	FPGA 管号	管脚	信号名称	FPGA 管号
1	B64_L15_P	AB4	95	B66_L18_N	D9
2	B64_L15_N	AB3	96	B66_L24_P	C9
3	B64_L17_P	AB2	97	B66_L24_N	B9
4	B64_L17_N	AC2	98	B66_L22_P	C8
5	B64_L13_P	AD5	99	B66_L22_N	B8
6	B64_L13_N	AD4	100	GND	-
7	B64_L23_P	AH2	101	B66_L16_P	G8

8	B64_L23_N	AH1	102	B66_L16_N	F7
9	GND	-	103	B66_L15_P	G6
10	B64_L14_P	AC4	104	B66_L15_N	F6
11	B64_L14_N	AC3	105	B66_L21_P	A7
12	B64_L18_P	AB1	106	B66_L21_N	A6
13	B64_L18_N	AC1	107	B66_L14_P	E5
14	B64_L16_P	AD2	108	B66_L14_N	D5
15	B64_L16_N	AD1	109	GND	-
16	B64_L22_P	AE2	110	B66_L6_P	G5
17	B64_L22_N	AF2	111	B66_L6_N	F5
18	GND	-	112	B66_L5_P	E4
19	B64_L24_P	AF1	113	B66_L5_N	E3
20	B64_L24_N	AG1	114	B66_L2_P	E1
21	B64_L21_P	AE3	115	B66_L2_N	D1
22	B64_L21_N	AF3	116	B66_L7_P	C1
23	B64_L20_P	AG3	117	B66_L7_N	B1
24	B64_L20_N	AH3	118	GND	-
25	B64_L19_P	AG4	119	B66_L23_P	A9
26	B64_L19_N	AH4	120	B66_L23_N	A8
27	GND	-	121	B66_L13_P	D7
28	B64_L6_P	AB6	122	B66_L13_N	D6
29	B64_L6_N	AC6	123	B66_L20_P	C6
30	B64_L4_P	AD7	124	B66_L20_N	B6
31	B64_L4_N	AE7	125	B66_L19_P	B5
32	B64_L8_P	AF8	126	B66_L19_N	A5
33	B64_L8_N	AG8	127	GND	-
34	B64_L7_P	AG9	128	B66_L11_P	D4
35	B64_L7_N	AH9	129	B66_L11_N	C4
36	GND	-	130	B66_L4_P	G3
37	B64_L12_P	AE5	131	B66_L4_N	F3
38	B64_L12_N	AF5	132	B66_L3_P	F2
39	B64_L10_P	AG6	133	B66_L3_N	E2
40	B64_L10_N	AG5	134	B66_L1_P	G1
41	B64_L11_P	AF7	135	B66_L1_N	F1
42	B64_L11_N	AF6	136	GND	-

43	B64_L5_P	AB7	137	B66_L10_P	B4
44	B64_L5_N	AC7	138	B66_L10_N	A4
45	GND	-	139	B66_L9_P	B3
46	B64_L9_P	AH8	140	B66_L9_N	A3
47	B64_L9_N	AH7	141	B66_L12_P	C3
48	B64_L1_P	AC9	142	B66_L12_N	C2
49	B64_L1_N	AD9	143	B66_L8_P	A2
50	B64_L3_P	AB8	144	B66_L8_N	A1
51	B64_L3_N	AC8	145	VBAT_IN	Y18
52	B64_L2_P	AE9	146	PHY1_AD1/LED2	-
53	B64_L2_N	AE8	147	PHY1_AD0/LED1	-
54	B44_L1_P	AG10	148	GND	-
55	B44_L1_N	AH10	149	PHY1_MDI0_P	-
56	B44_L3_P	AH12	150	PHY1_MDI0_N	-
57	B44_L3_N	AH11	151	PHY1_MDI1_P	-
58	B44_L2_P	AF11	152	PHY1_MDI1_N	-
59	B44_L2_N	AG11	153	GND	-
60	GND	-	154	PHY1_MDI2_P	-
61	JTAG_TCK	R19	155	PHY1_MDI2_N	-
62	JTAG_TDI	R18	156	PHY1_MDI3_P	-
63	JTAG_TDO	T21	157	PHY1_MDI3_N	-
64	JTAG_TMS	N21	158	GND	-
65	GND	-	159	PS_MIO30	F16
66	SD_CLK	L21	160	PS_MIO29	G16
67	SD_D3	M18	161	PS_MIO27	J15
68	SD_CMD	M19	162	PS_MIO28	K15
69	SD_D0	L20	163	PS_MIO38	H18
70	SD_CD	K20	164	PS_MIO39	H19
71	SD_D2	J21	165	PS_MIO40	K18
72	SD_D1	H21	166	PS_MIO41	J19
73	GND	-	167	GND	-
74	GT1_DP_TX_N	C26	168	PS_MIO35	H17
75	GT1_DP_TX_P	C25	169	PS_MIO34	L17
76	GT0_DP_TX_N	B24	170	PS_MIO42	L18
77	GT0_DP_TX_P	B23	171	PS_MIO43	K19

78	GND	-	172	PS_MIO31	H16
79	USB_SSTXP	D23	173	PS_MIO36	K17
80	USB_SSTXN	D24	174	PS_MIO37	J17
81	USB_SSRXP	D27	175	MR	核 心 板电源复 位
82	USB_SSRXN	D28	176	GND	-
83	GND	-	177	+12V	-
84	USB_DM	-	178	+12V	-
85	USB_DP	-	179	+12V	-
86	VUSB_V_EN	-	180	+12V	-
87	GND	-	181	+12V	-
88	PCIE_TXP	E25	182	+12V	-
89	PCIE_TXN	E26			
90	PCIE_RXP	F27			
91	PCIE_RXN	F28			
92	B66_L17_P	F8			
93	B66_L17_N	E8			
94	B66_L18_P	E9			