



AXU2CGA/B

硬件手册

芯驿电子科技（上海）有限公司

www.alinx.com

文档版本控制

文档版本	修改内容记录
REV1.0	创建文档

目 录

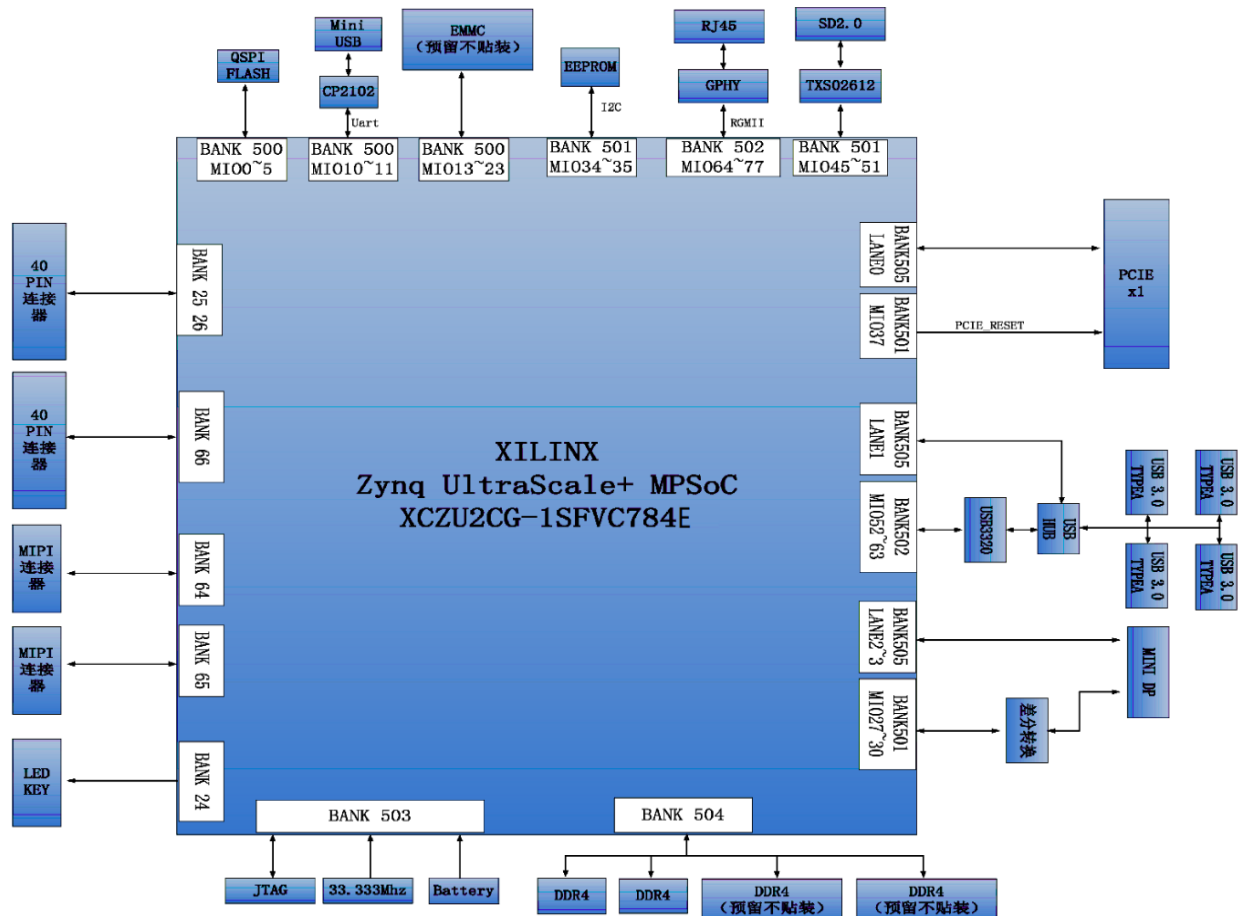
文档版本控制	2
一、 AXU2CGA/B 简介	4
二、 ZYNQ 芯片.....	4
三、 DDR4 DRAM	6
四、 QSPI Flash.....	10
五、 eMMC Flash (仅 AXU2CGB 贴装)	11
六、 EEPROM.....	12
七、 DP 显示接口	13
八、 USB 接口	14
九、 千兆以太网接口.....	15
十、 USB Uart 接口	16
十一、 SD 卡槽.....	17
十二、 PCIE 接口.....	17
十三、 44 针扩展口	18
十四、 MIPI 接口	21
十五、 BT1120 接口	错误! 未定义书签。
十六、 JTAG 调试口.....	22
十七、 拨码开关配置.....	23
十八、 LED 灯	24
十九、 系统时钟	25
二十、 电源.....	26
二十一、 结构尺寸图.....	27

一、 AXU2CGA/B简介

AXU2CGA/B 的特点是体积小并扩展了丰富的外设。主芯片采用 Xilinx 公司的 Zynq UltraScale+ MPSoCs CG 系列的芯片，型号为 XCZU2CG-1SFVC784E。AXU2CGA 的 PS 端挂载了 2 片 DDR4 (共 1GB, 32bit) 和 1 片 256Mb 的 QSPI FLASH。AXU2CGB 的 PS 端挂载了 4 片 DDR4 (共 2GB, 64bit)，1 片 8GB eMMC FLASH 存储芯片和 1 片 256Mb 的 QSPI FLASH。

外围接口包含 1 个 MINI DP 接口、4 个 USB3.0 接口、1 路千兆以太网接口、1 个 USB 串口、1 路 PCIE 接口、1 路 TF 卡接口、2 个 40 针扩展口、2 路 MIPI 接口和按键 LED。

下图为整个开发系统的结构示意图：



二、 ZYNQ芯片

XCZU2CG-1SFVC784E 芯片的 PS 系统 PS 系统集成了 2 个 ARM Cortex™-A53 处理器，速度高达 1.2Ghz, 支持 2 级 Cache; 另外还包含 2 个 Cortex-R5 处理器, 速度高达 500Mhz。

XCZU2CG 支持 32 位或者 64 位的 DDR4, LPDDR4, DDR3,DDR3L, LPDDR3 存储芯片，在 PS 端带有丰富的高速接口如 PCIE Gen2, USB3.0, SATA 3.1, DisplayPort; 同时另外

也支持 USB2.0, 千兆以太网, SD/SDIO, I2C, CAN, UART, GPIO 等接口。PL 端内部含有丰富的可编程逻辑单元, DSP 和内部 RAM。XCZU2CG 芯片的总体框图下图所示

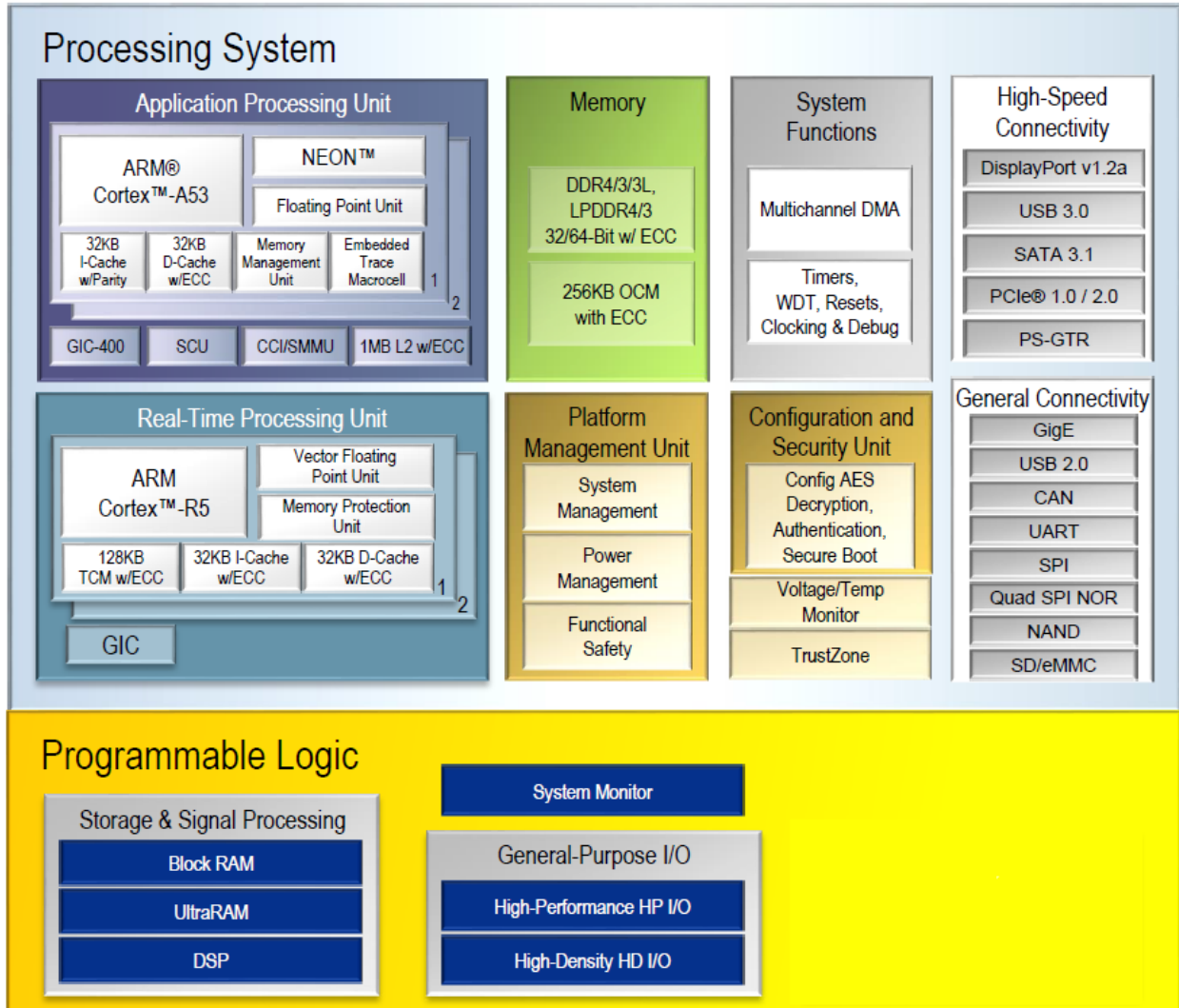


图 ZU2CG芯片的总体框图

其中 PS 系统部分的主要参数如下:

- ARM 双核 Cortex™-A53 处理器, 速度高达 1.2GHz, 每个 CPU 32KB 1 级指令和数据缓存, 1MB 2 级缓存 2 个 CPU 共享。
- ARM 双核 Cortex-R5 处理器, 速度高达 500MHz, 每个 CPU 32KB 1 级指令和数据缓存, 及 128K 紧耦合内存。
- 外部存储接口, 支持 32/64bit DDR4/3/3L、LPDDR4/3 接口。
- 静态存储接口, 支持 NAND, 2xQuad-SPI FLASH。
- 高速连接接口, 支持 PCIe Gen2 x4, 2xUSB3.0, Sata 3.1, DisplayPort, 4x Tri-mode Gigabit Ethernet。
- 普通连接接口: 2xUSB2.0, 2x SD/SDIO, 2x UART, 2x CAN 2.0B, 2x I2C, 2x SPI, 4x 32b GPIO。

- 电源管理：支持 Full/Low/PL/Battery 四部分电源的划分。
- 加密算法：支持 RSA, AES 和 SHA。
- 系统监控：10 位 1Mbps 的 AD 采样，用于温度和电压的检测。

其中 PL 逻辑部分的主要参数如下：

- 逻辑单元 Logic Cells: 103K;
- 触发器(flip-flops) : 94K;
- 查找表 LUTs : 47K;
- Block RAM: 5.3Mb;
- 时钟管理单元 (CMTs) : 3
- 乘法器 18x25MACCs: 240

XCZU2CG-1SFVC784E芯片的速度等级为-1，商业级，封装为SFVC784。

三、 DDR4 DRAM

AXU2CGA板上PS端配有2片Micron(美光) 的DDR4芯片，组成32位数据总线带宽和共1GB的容量。AXU2CGB板上PS端配有4片Micron(美光) 的DDR4芯片，组成64位数据总线带宽和共2GB的容量。PS端的DDR4 SDRAM的最高运行速度可达1200MHz(数据速率2400Mbps)。DDR4 SDRAM的具体配置如下所示。

其中U71,U72仅AXU2CGB贴装。

位号	容量	厂家
U3,U5,(U71,U72)	256M x 16bit	Micron

表 3-1 DDR4 SDRAM 配置

PS 端的 DDR4 的硬件连接方式如下图所示：

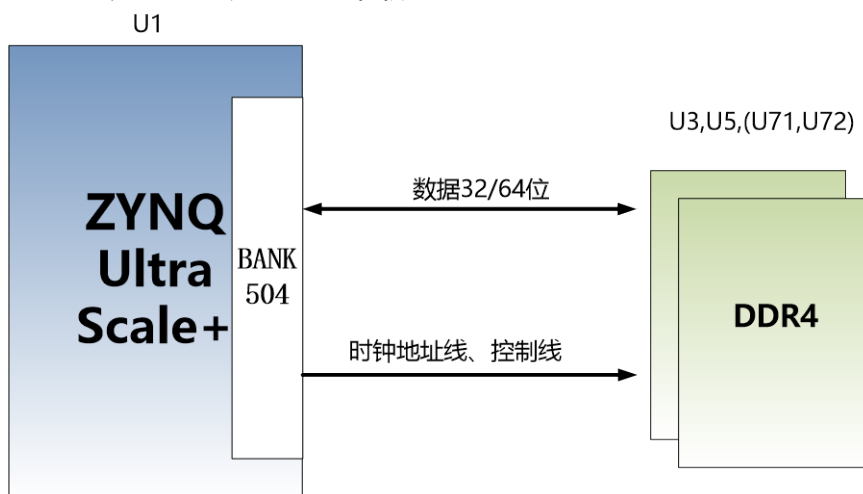


图3-1 PS端DDR4 DRAM原理图部分

AXU2CGA PS 端 DDR4 SDRAM 引脚分配:

信号名称	引脚名	引脚号
PS_DDR4_DQS0_P	PS_DDR_DQS_P0_504	AF21
PS_DDR4_DQS0_N	PS_DDR_DQS_N0_504	AG21
PS_DDR4_DQS1_P	PS_DDR_DQS_P1_504	AF23
PS_DDR4_DQS1_N	PS_DDR_DQS_N1_504	AG23
PS_DDR4_DQS2_P	PS_DDR_DQS_P2_504	AF25
PS_DDR4_DQS2_N	PS_DDR_DQS_N2_504	AF26
PS_DDR4_DQS3_P	PS_DDR_DQS_P3_504	AE27
PS_DDR4_DQS3_N	PS_DDR_DQS_N3_504	AF27
PS_DDR4_DQ0	PS_DDR_DQ0_504	AD21
PS_DDR4_DQ1	PS_DDR_DQ1_504	AE20
PS_DDR4_DQ2	PS_DDR_DQ2_504	AD20
PS_DDR4_DQ3	PS_DDR_DQ3_504	AF20
PS_DDR4_DQ4	PS_DDR_DQ4_504	AH21
PS_DDR4_DQ5	PS_DDR_DQ5_504	AH20
PS_DDR4_DQ6	PS_DDR_DQ6_504	AH19
PS_DDR4_DQ7	PS_DDR_DQ7_504	AG19
PS_DDR4_DQ8	PS_DDR_DQ8_504	AF22
PS_DDR4_DQ9	PS_DDR_DQ9_504	AH22
PS_DDR4_DQ10	PS_DDR_DQ10_504	AE22
PS_DDR4_DQ11	PS_DDR_DQ11_504	AD22
PS_DDR4_DQ12	PS_DDR_DQ12_504	AH23
PS_DDR4_DQ13	PS_DDR_DQ13_504	AH24
PS_DDR4_DQ14	PS_DDR_DQ14_504	AE24
PS_DDR4_DQ15	PS_DDR_DQ15_504	AG24
PS_DDR4_DQ16	PS_DDR_DQ16_504	AC26
PS_DDR4_DQ17	PS_DDR_DQ17_504	AD26
PS_DDR4_DQ18	PS_DDR_DQ18_504	AD25
PS_DDR4_DQ19	PS_DDR_DQ19_504	AD24
PS_DDR4_DQ20	PS_DDR_DQ20_504	AG26
PS_DDR4_DQ21	PS_DDR_DQ21_504	AH25
PS_DDR4_DQ22	PS_DDR_DQ22_504	AH26
PS_DDR4_DQ23	PS_DDR_DQ23_504	AG25

PS_DDR4_DQ24	PS_DDR_DQ24_504	AH27
PS_DDR4_DQ25	PS_DDR_DQ25_504	AH28
PS_DDR4_DQ26	PS_DDR_DQ26_504	AF28
PS_DDR4_DQ27	PS_DDR_DQ27_504	AG28
PS_DDR4_DQ28	PS_DDR_DQ28_504	AC27
PS_DDR4_DQ29	PS_DDR_DQ29_504	AD27
PS_DDR4_DQ30	PS_DDR_DQ30_504	AD28
PS_DDR4_DQ31	PS_DDR_DQ31_504	AC28
PS_DDR4_DM0	PS_DDR_DM0_504	AG20
PS_DDR4_DM1	PS_DDR_DM1_504	AE23
PS_DDR4_DM2	PS_DDR_DM2_504	AE25
PS_DDR4_DM3	PS_DDR_DM3_504	AE28
PS_DDR4_A0	PS_DDR_A0_504	W28
PS_DDR4_A1	PS_DDR_A1_504	Y28
PS_DDR4_A2	PS_DDR_A2_504	AB28
PS_DDR4_A3	PS_DDR_A3_504	AA28
PS_DDR4_A4	PS_DDR_A4_504	Y27
PS_DDR4_A5	PS_DDR_A5_504	AA27
PS_DDR4_A6	PS_DDR_A6_504	Y22
PS_DDR4_A7	PS_DDR_A7_504	AA23
PS_DDR4_A8	PS_DDR_A8_504	AA22
PS_DDR4_A9	PS_DDR_A9_504	AB23
PS_DDR4_A10	PS_DDR_A10_504	AA25
PS_DDR4_A11	PS_DDR_A11_504	AA26
PS_DDR4_A12	PS_DDR_A12_504	AB25
PS_DDR4_A13	PS_DDR_A13_504	AB26
PS_DDR4_WE_B	PS_DDR_A14_504	AB24
PS_DDR4_CAS_B	PS_DDR_A15_504	AC24
PS_DDR4_RAS_B	PS_DDR_A16_504	AC23
PS_DDR4_ACT_B	PS_DDR_ACT_N_504	Y23
PS_DDR4_ALERT_B	PS_DDR_ALERT_N_504	U25
PS_DDR4_BA0	PS_DDR_BA0_504	V23
PS_DDR4_BA1	PS_DDR_BA1_504	W22
PS_DDR4_BG0	PS_DDR_BG0_504	W24
PS_DDR4_CS0_B	PS_DDR_CS_N0_504	W27

PS_DDR4_ODT0	PS_DDR_ODT0_504	U28
PS_DDR4_PARITY	PS_DDR_PARITY_504	V24
PS_DDR4_RESET_B	PS_DDR_RST_N_504	U23
PS_DDR4_CLK0_P	PS_DDR_CK0_P_504	W25
PS_DDR4_CLK0_N	PS_DDR_CK0_N_504	W26
PS_DDR4_CKE0	PS_DDR_CKE0_504	V28

AXU2CGB PS 端 DDR4 SDRAM 数据引脚分配与 AXU2CGA 一致，额外的数据信号分配如下：

信号名称	引脚名	引脚号
PS_DDR4_DQS4_P	PS_DDR_DQS_P4_504	N23
PS_DDR4_DQS4_N	PS_DDR_DQS_N4_504	M23
PS_DDR4_DQS5_P	PS_DDR_DQS_P5_504	L23
PS_DDR4_DQS5_N	PS_DDR_DQS_N5_504	K23
PS_DDR4_DQS6_P	PS_DDR_DQS_P6_504	N26
PS_DDR4_DQS6_N	PS_DDR_DQS_N6_504	N27
PS_DDR4_DQS7_P	PS_DDR_DQS_P7_504	J26
PS_DDR4_DQS7_N	PS_DDR_DQS_N7_504	J27
PS_DDR4_DQ32	PS_DDR_DQ32_504	T22
PS_DDR4_DQ33	PS_DDR_DQ33_504	R22
PS_DDR4_DQ34	PS_DDR_DQ34_504	P22
PS_DDR4_DQ35	PS_DDR_DQ35_504	N22
PS_DDR4_DQ36	PS_DDR_DQ36_504	T23
PS_DDR4_DQ37	PS_DDR_DQ37_504	P24
PS_DDR4_DQ38	PS_DDR_DQ38_504	R24
PS_DDR4_DQ39	PS_DDR_DQ39_504	N24
PS_DDR4_DQ40	PS_DDR_DQ40_504	H24
PS_DDR4_DQ41	PS_DDR_DQ41_504	J24
PS_DDR4_DQ42	PS_DDR_DQ42_504	M24
PS_DDR4_DQ43	PS_DDR_DQ43_504	K24
PS_DDR4_DQ44	PS_DDR_DQ44_504	J22
PS_DDR4_DQ45	PS_DDR_DQ45_504	H22
PS_DDR4_DQ46	PS_DDR_DQ46_504	K22
PS_DDR4_DQ47	PS_DDR_DQ47_504	L22

PS_DDR4_DQ48	PS_DDR_DQ48_504	M25
PS_DDR4_DQ49	PS_DDR_DQ49_504	M26
PS_DDR4_DQ50	PS_DDR_DQ50_504	L25
PS_DDR4_DQ51	PS_DDR_DQ51_504	L26
PS_DDR4_DQ52	PS_DDR_DQ52_504	K28
PS_DDR4_DQ53	PS_DDR_DQ53_504	L28
PS_DDR4_DQ54	PS_DDR_DQ54_504	M28
PS_DDR4_DQ55	PS_DDR_DQ55_504	N28
PS_DDR4_DQ56	PS_DDR_DQ56_504	J28
PS_DDR4_DQ57	PS_DDR_DQ57_504	K27
PS_DDR4_DQ58	PS_DDR_DQ58_504	H28
PS_DDR4_DQ59	PS_DDR_DQ59_504	H27
PS_DDR4_DQ60	PS_DDR_DQ60_504	G26
PS_DDR4_DQ61	PS_DDR_DQ61_504	G25
PS_DDR4_DQ62	PS_DDR_DQ62_504	K25
PS_DDR4_DQ63	PS_DDR_DQ63_504	J25
PS_DDR4_DM4	PS_DDR_DM4_504	R23
PS_DDR4_DM5	PS_DDR_DM5_504	H23
PS_DDR4_DM6	PS_DDR_DM6_504	L27
PS_DDR4_DM7	PS_DDR_DM7_504	H26

四、 QSPI Flash

AXU2CGA/B 配有 1 片 256MBit 大小的 Quad-SPI FLASH 芯片，型号为 MT25QU256ABA1EW9-0SIT。QSPI FLASH 连接到 ZYNQ 芯片的 PS 部分 BANK500 的 GPIO 口上，图 4-1 为 QSPI Flash 在原理图中的部分。

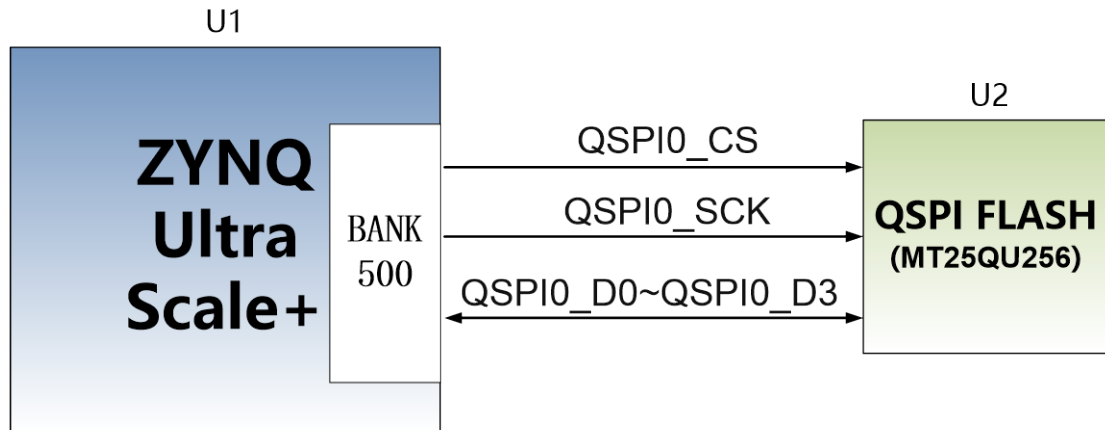


图 4-1 QSPI Flash 连接示意图

配置芯片引脚分配:

信号名称	引脚名	引脚号
MIO0_QSPI0_SCLK	PS_MIO0_500	AG15
MIO1_QSPI0_IO1	PS_MIO1_500	AG16
MIO2_QSPI0_IO2	PS_MIO2_500	AF15
MIO3_QSPI0_IO3	PS_MIO3_500	AH15
MIO4_QSPI0_IO0	PS_MIO4_500	AH16
MIO5_QSPI0_SS_B	PS_MIO5_500	AD16

五、 eMMC Flash(仅AXU2CGB贴装)

AXU2CGB 配有一片容量为 8GB 的 eMMC FLASH 芯片。eMMC FLASH 连接到 ZYNQ UltraScale+的 PS 部分 BANK500 的 GPIO 口上,图 5-1 为 eMMC Flash 在原理图中的部分。

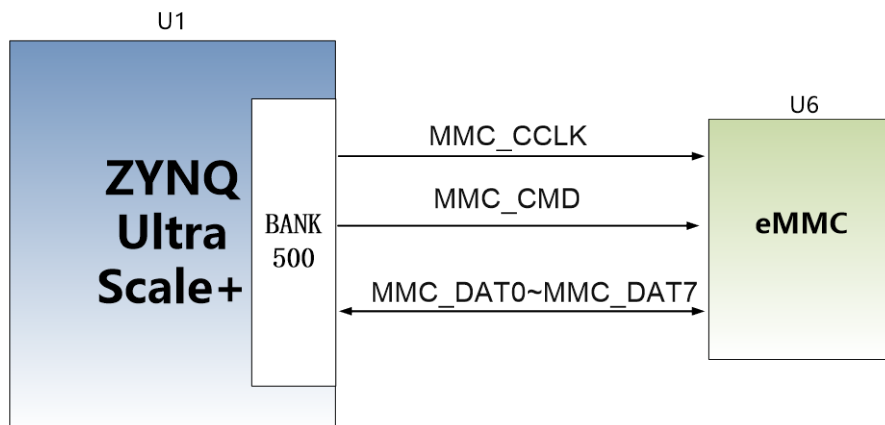


图 5-1 eMMC Flash 连接示意图

配置芯片引脚分配:

信号名称	引脚名	引脚号
MMC_DAT0	PS_MIO13_500	AH18
MMC_DAT1	PS_MIO14_500	AG18
MMC_DAT2	PS_MIO15_500	AE18
MMC_DAT3	PS_MIO16_500	AF18
MMC_DAT4	PS_MIO17_500	AC18
MMC_DAT5	PS_MIO18_500	AC19
MMC_DAT6	PS_MIO19_500	AE19
MMC_DAT7	PS_MIO20_500	AD19
MMC_CMD	PS_MIO21_500	AC21
MMC_CCLK	PS_MIO22_500	AB20
MMC_RSTN	PS_MIO23_500	AB18

六、EEPROM

AXU2CGA/B 开发板板载了一片 EEPROM，型号为 24LC04。EEPROM 的 I2C 信号连接的 ZYNQ PS 端的 MIO 口上。图 6-1 为 EEPROM 的原理图

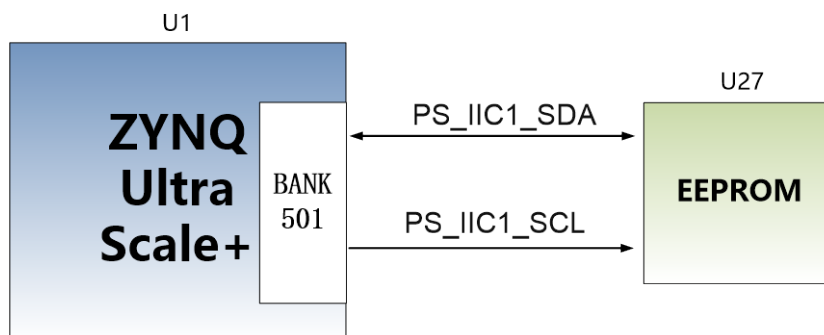


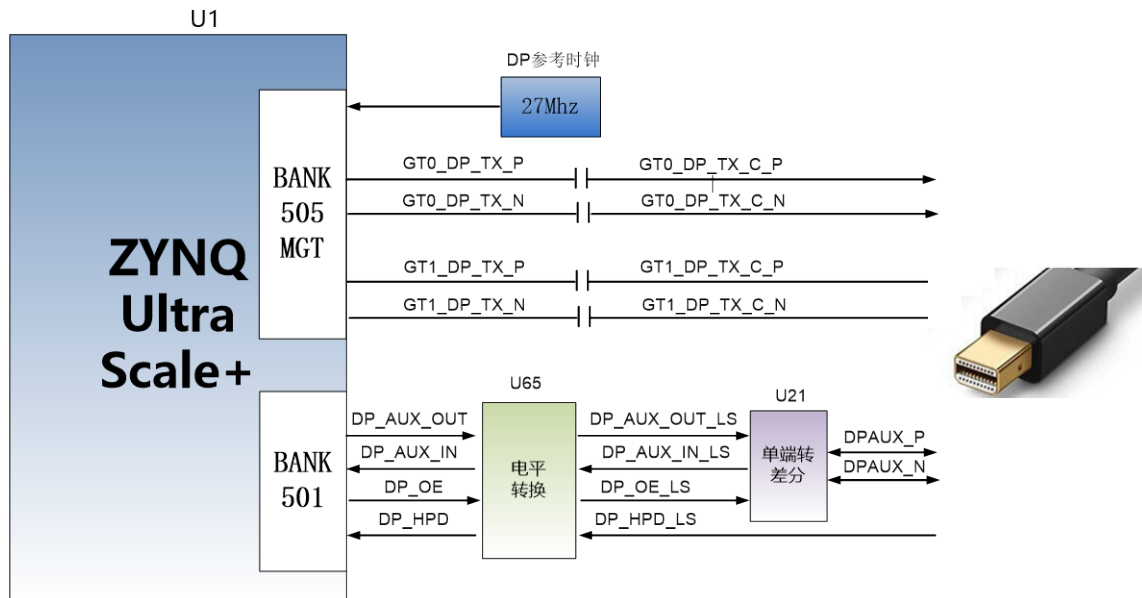
图 7-5 EEPROM 原理图部分

EEPROM 引脚分配:

信号名称	引脚名	引脚号
PS_IIC1_SCL	PS_MIO32_501	J16
PS_IIC1_SDA	PS_MIO33_501	L16

七、 DP显示接口

AXU2CGA/B 带有 1 路 MINI 型的 DisplayPort 输出显示接口，用于视频图像的显示，最高支持 4K x 2K@30Fps 输出。ZU2CG PS MGT 的 LANE0 和 LANE1 的 TX 信号以差分信号方式连接到 DP 连接器。DisplayPort 辅助通道连接到 PS 的 MIO 管脚上。DP 输出接口的示意图如图 7-1 所示：



7-1 DP 接口设计示意图

DisplayPort 接口 ZYNQ 引脚分配如下：

信号名称	ZYNQ 引脚名	引脚号	备注
GT0_DP_TX_P	PS_MGTTXP3_505	B23	DP 数据低位发送正
GT0_DP_TX_N	PS_MGTTXN3_505	B24	DP 数据低位发送负
GT1_DP_TX_P	PS_MGTTXP2_505	C25	DP 数据高位发送正
GT1_DP_TX_N	PS_MGTTXN2_505	C26	DP 数据高位发送负
505_DP_CLKP	PS_MGTREFCLK2P_505	C21	DP 参考时钟正
505_DP_CLKN	PS_MGTREFCLK2N_505	C22	DP 参考时钟负
DP_AUX_OUT	PS_MIO27	J15	DP 辅助数据输出
DP_AUX_IN	PS_MIO30	F16	DP 辅助数据输入
DP_OE	PS_MIO29	G16	DP 辅助数据输出使能
DP_HPDP	PS_MIO28	K15	DP 插入信号检测

八、USB接口

AXU2CGA/B 板上有 4 个 USB3.0 接口，接口为 HOST 工作模式(Type A)，数据传输速度高达 5.0Gb/s。USB3.0 通过 ULPI 接口连接外部的 USB PHY 芯片和 USB3.0 HUB 芯片，实现高速的 USB3.0 数据通信。

USB 连接的示意图如 8-1 所示：

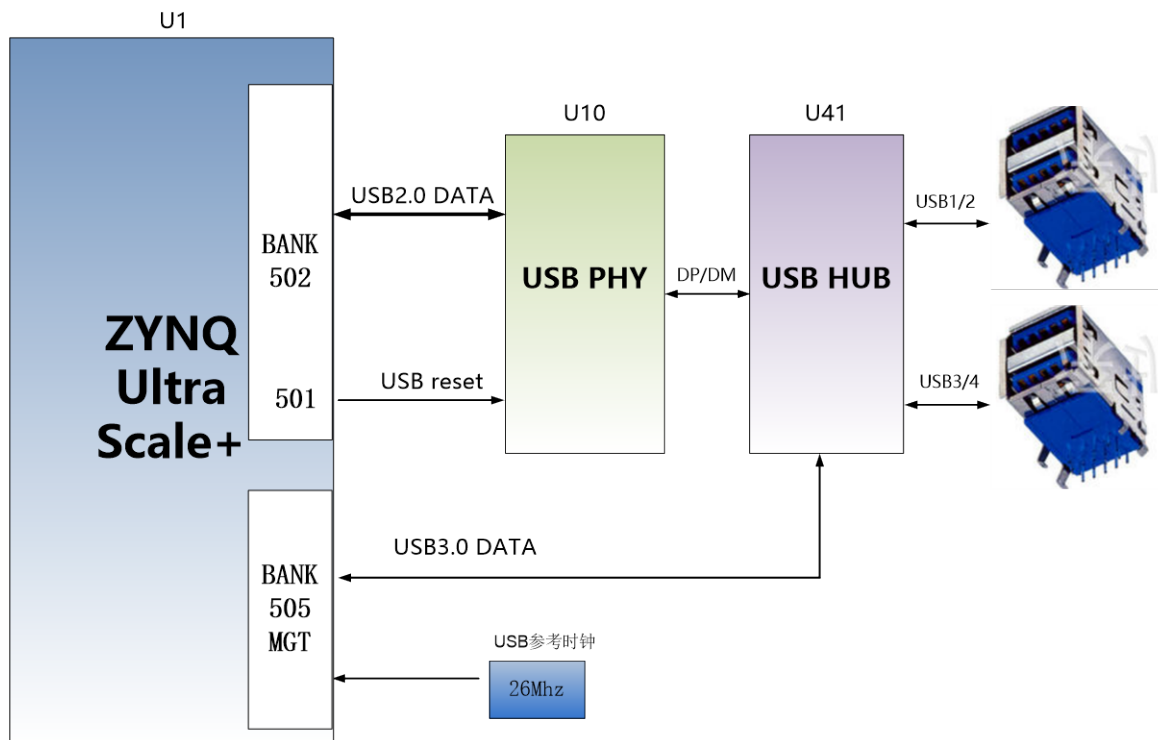


图 8-1 USB 接口示意图

USB 引脚分配:

信号名称	引脚名	引脚号	备注
USB_SSTXP	PS_MGTTXP2_505	D23	USB3.0 数据发送正
USB_SSTXN	PS_MGTTXN2_505	D24	USB3.0 数据发送负
USB_SSRXP	PS_MGTRXP2_505	D27	USB3.0 数据接收正
USB_SSRXN	PS_MGTRXN2_505	D28	USB3.0 数据接收负
505_USB_CLKP	PS_MGTREFCLK2P_505	E21	USB3.0 参考时钟正
505_USB_CLKN	PS_MGTREFCLK2N_505	E22	USB3.0 参考时钟负
USB_DATA0	PS_MIO56	C16	USB2.0 数据 Bit0
USB_DATA1	PS_MIO57	A16	USB2.0 数据 Bit1
USB_DATA2	PS_MIO54	F17	USB2.0 数据 Bit2
USB_DATA3	PS_MIO59	E17	USB2.0 数据 Bit3
USB_DATA4	PS_MIO60	C17	USB2.0 数据 Bit4

USB_DATA5	PS_MIO61	D17	USB2.0 数据 Bit5
USB_DATA6	PS_MIO62	A17	USB2.0 数据 Bit6
USB_DATA7	PS_MIO63	E18	USB2.0 数据 Bit7
USB_STP	PS_MIO58	F18	USB2.0 停止信号
USB_DIR	PS_MIO53	D16	USB2.0 数据方向信号
USB_CLK	PS_MIO52	G18	USB2.0 时钟信号
USB_NXT	PS_MIO55	B16	USB2.0 下一数据信号

九、 千兆以太网接口

AXU2CGA/B 上有 1 路千兆以太网接口，以太网接口是通过 GPHY 芯片连接的 PS 的 BANK502 上。GPHY 芯片采用 Micrel 公司的 KSZ9031RNXIC 以太网 PHY 芯片，PHY Address 为 001。图 9-1 为 ZYNQ PS 端以太网 PHY 芯片连接示意图：

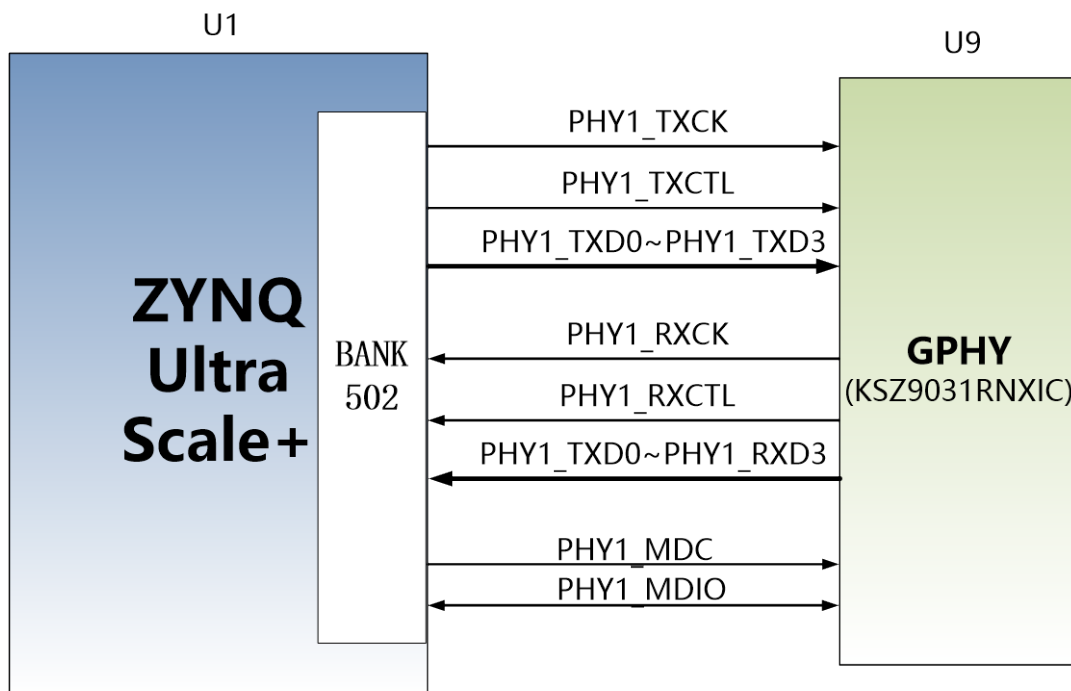


图 9-1 ZYNQ PS 系统与 GPHY 连接示意图

千兆以太网引脚分配如下：

信号名称	引脚名	引脚号	备注
PHY1_TXCK	PS_MIO64	E19	RGMII 发送时钟
PHY1_TXD0	PS_MIO65	A18	发送数据 bit 0
PHY1_TXD1	PS_MIO66	G19	发送数据 bit1

PHY1_TXD2	PS_MIO67	B18	发送数据 bit2
PHY1_TXD3	PS_MIO68	C18	发送数据 bit3
PHY1_TXCTL	PS_MIO69	D19	发送使能信号
PHY1_RXCK	PS_MIO70	C19	RGMII 接收时钟
PHY1_RXD0	PS_MIO71	B19	接收数据 Bit0
PHY1_RXD1	PS_MIO72	G20	接收数据 Bit1
PHY1_RXD2	PS_MIO73	G21	接收数据 Bit2
PHY1_RXD3	PS_MIO74	D20	接收数据 Bit3
PHY1_RXCTL	PS_MIO75	A19	接收数据有效信号
PHY1_MDC	PS_MIO76	B20	MDIO 管理时钟
PHY1_MDIO	PS_MIO77	F20	MDIO 管理数据

十、 USB Uart接口

AXU2CGA/B 板上配备了一个 Uart 转 USB 接口，用于系统调试。转换芯片采用 Silicon Labs CP2102 的 USB-UAR 芯片, USB 接口采用 MINI USB 接口，可以用一根 USB 线将它连接到上 PC 的 USB 口进行核心板的单独供电和串口数据通信。USB Uart 电路设计的示意图如下图所示:

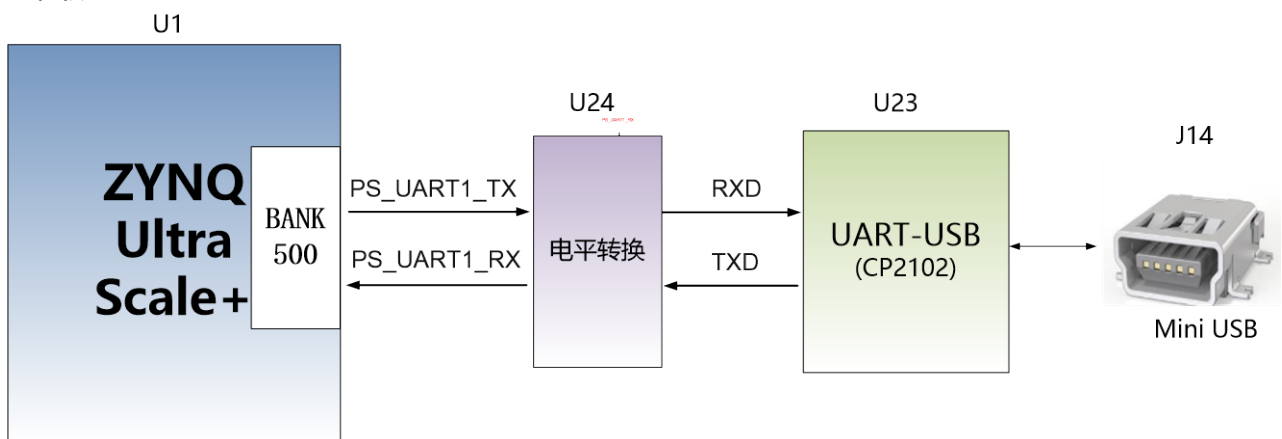


图 10-1 USB 转串口示意图

USB 转串口的 ZYNQ 引脚分配:

信号名称	引脚名	引脚号	备注
PS_UART1_TX	PS_MIO24	AB19	Uart 数据输出
PS_UART1_RX	PS_MIO25	AB21	Uart 数据输入

十一、SD卡槽

AXU2CGA/B 板包含了一个Micro SD卡接口, SDIO信号与BANK501的IO信号相连, SD卡连接器的原理图如图11-1所示。

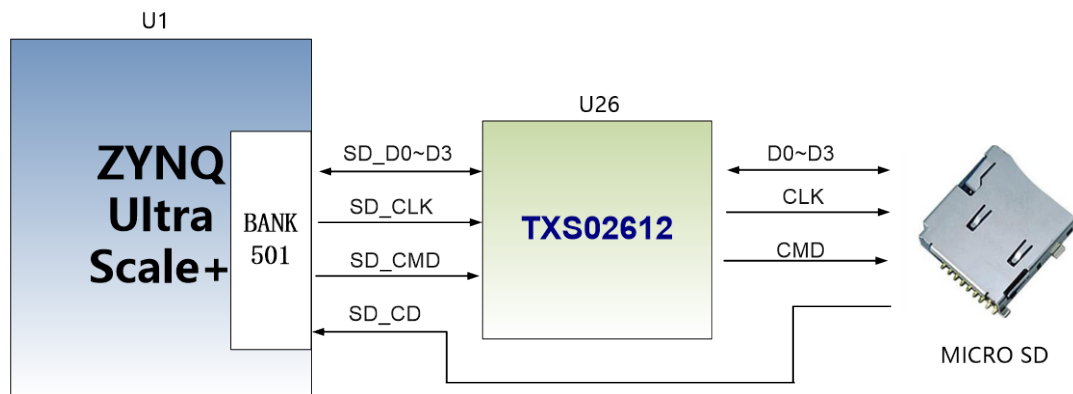


图 11-1 SD 卡连接示意图

SD 卡槽引脚分配

信号名称	引脚名	引脚号	备注
SD_CLK	PS_MIO51	I21	SD 时钟信号
SD_CMD	PS_MIO50	M19	SD 命令信号
SD_D0	PS_MIO46	L20	SD 数据 Data0
SD_D1	PS_MIO47	H21	SD 数据 Data1
SD_D2	PS_MIO48	J21	SD 数据 Data2
SD_D3	PS_MIO49	M18	SD 数据 Data3
SD_CD	PS_MIO45	K20	SD 卡检测信号

十二、PCIE接口

AXU2CGA/B 配备了一个PCIE x1的插槽, 用于连接PCIE外设, PCIE通信速度高达5Gbps。PCIE信号直接跟BANK505 PS MGT收发器的LANE0相连接。PCIE x1设计的示意图如下图12-1所示:

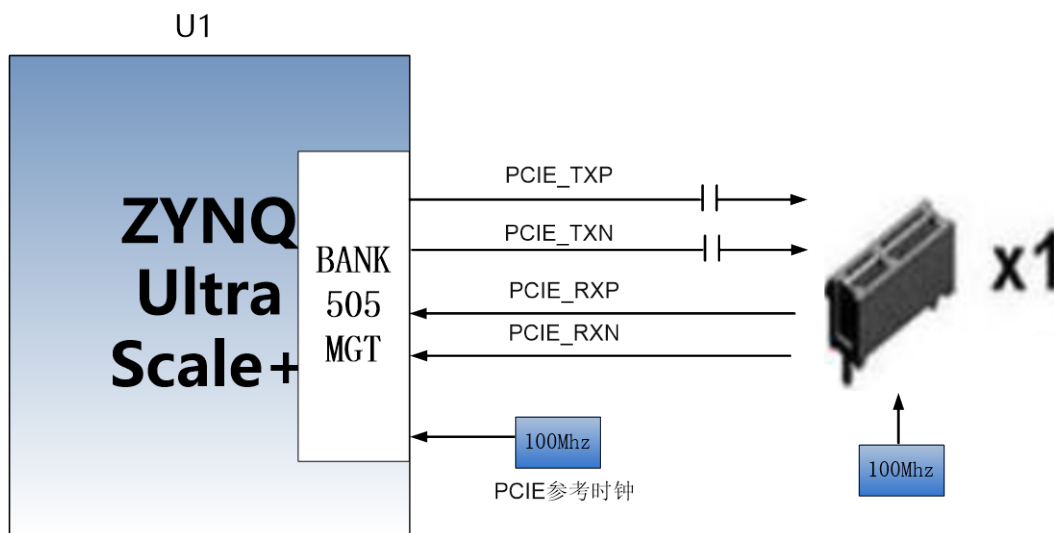


图 12-1 PCIE 接口设计示意图

PCIE 接口 ZYNQ 引脚分配如下:

信号名称	引脚名	引脚号	备注
PCIE_TXP	PS_MGTTXP0_505	E25	PCIE 数据发送正
PCIE_TXN	PS_MGTTXN0_505	E26	PCIE 数据发送负
PCIE_RXP	PS_MGTRXP0_505	F27	PCIE 数据接收正
PCIE_RXN	PS_MGTRXN0_505	F28	PCIE 数据接收负
PCIE_REFCLK_P	PS_MGTREFCLK0P_505	F23	PCIE 参考时钟正
PCIE_REFCLK_N	PS_MGTREFCLK0N_505	F24	PCIE 参考时钟负

十三、40 针扩展口

AXU2CGA/B 板上预留了 2 个 2.54mm 标准间距的 40 针扩展口，每个扩展口均包含 2 个 3.3V 电源，1 个 5V 电源，3 个地以及 34 个 IO 口。**J12 扩展口的 IO 口连接到 ZYNQ 芯片 BANK66 上，电平标准为 1.8V，注意不要插 1.8V 之外的设备。** J15 扩展口的 IO 口连接到 ZYNQ 芯片 BANK25, BANK26 上，电平标准为 3.3V。设计的示意图如下图 13-1 所示:

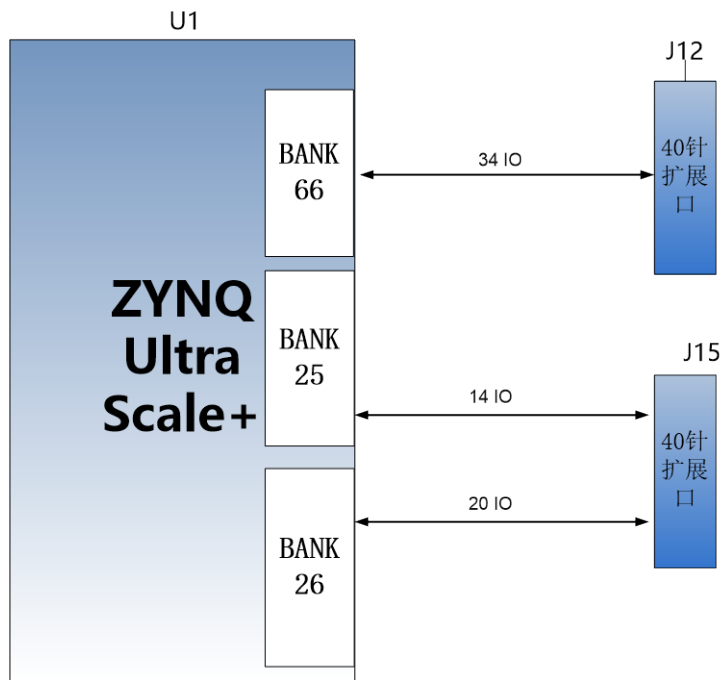


图 13-1 扩展口设计示意图

J12 扩展口 ZYNQ 的引脚分配如下：

J12管脚	信号名称	引脚号	J12管脚	信号名称	引脚号
1	GND	-	2	VCC5V	-
3	IO1_1N	F7	4	IO1_1P	G8
5	IO1_2N	F6	6	IO1_2P	G6
7	IO1_3N	D9	8	IO1_3P	E9
9	IO1_4N	F5	10	IO1_4P	G5
11	IO1_5N	E8	12	IO1_5P	F8
13	IO1_6N	D5	14	IO1_6P	E5
15	IO1_7N	C4	16	IO1_7P	D4
17	IO1_8N	E3	18	IO1_8P	E4
19	IO1_9N	F1	20	IO1_9P	G1
21	IO1_10N	E2	22	IO1_10P	F2
23	IO1_11N	D6	24	IO1_11P	D7
25	IO1_12N	B9	26	IO1_12P	C9
27	IO1_13N	A4	28	IO1_13P	B4
29	IO1_14N	B6	30	IO1_14P	C6

31	IO1_15N	A6	32	IO1_15P	A7
33	IO1_16N	B8	34	IO1_16P	C8
35	IO1_17N	A8	36	IO1_17P	A9
37	GND	-	38	GND	-
39	VCC_3V3_BUCK4	-	40	VCC_3V3_BUCK4	-

J15 扩展口 ZYNQ 的引脚分配如下:

J12管脚	信号名称	引脚号	J12管脚	信号名称	引脚号
1	GND	-	2	VCC5V	-
3	IO2_1N	A11	4	IO2_1P	A12
5	IO2_2N	A13	6	IO2_2P	B13
7	IO2_3N	A14	8	IO2_3P	B14
9	IO2_4N	E13	10	IO2_4P	E14
11	IO2_5N	A15	12	IO2_5P	B15
13	IO2_6N	C13	14	IO2_6P	C14
15	IO2_7N	B10	16	IO2_7P	C11
17	IO2_8N	D14	18	IO2_8P	D15
19	IO2_9N	F11	20	IO2_9P	F12
21	IO2_10N	H13	22	IO2_10P	H14
23	IO2_11N	G14	24	IO2_11P	G15
25	IO2_12N	F10	26	IO2_12P	G11
27	IO2_13N	H12	28	IO2_13P	J12
29	IO2_14N	J14	30	IO2_14P	K14
31	IO2_15N	K12	32	IO2_15P	K13
33	IO2_16N	L13	34	IO2_16P	L14
35	IO2_17N	G10	36	IO2_17P	H11
37	GND	-	38	GND	-
39	VCC_3V3_BUCK4	-	40	VCC_3V3_BUCK4	-

十四、MIPI接口

AXU2CGA/B 板上有 2 路 MIPI 接口，用于连接 MIPI 摄像头。MIPI 的差分信号分别连接到 BANK64、65 的 HP IO 上，电平标准为+1.2V；MIPI 的控制信号连接到 BANK24 上，电平标准为+3.3V。MIPI 口设计的示意图如下图 14-1 所示：

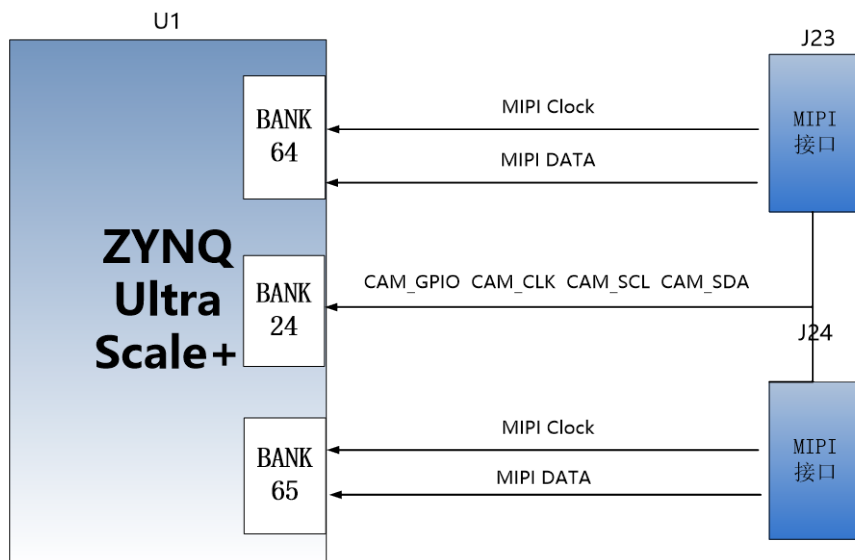


图 14-1 MIPI 接口连接示意图

J23 接口 MIPI 通信引脚分配如下：

PIN	信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
1	GND	-	-	地
2	MIPI1_LAN0_N	IO_L2N_64	AE8	MIPI数据0信号N
3	MIPI1_LAN0_P	IO_L2P_64	AE9	MIPI数据0信号P
4	GND	-	-	地
5	MIPI1_LAN1_N	IO_L3N_64	AC8	MIPI数据1信号N
6	MIPI1_LAN1_P	IO_L3P_64	AB8	MIPI数据1信号P
7	GND	-	-	地
8	MIPI1_CLK_N	IO_L1N_64	AD9	MIPI时钟信号N
9	MIPI1_CLK_P	IO_L1P_64	AC9	MIPI时钟信号P
10	GND	-	-	地
11	CAM1_GPIO	IO_L2N_24	AH14	控制信号IO
12	CAM1_CLK	IO_L3P_24	AG13	控制信号时钟
13	CAM1_SCL	IO_L3N_24	AH13	控制信号SCL

14	CAM1_SDA	IO_L4P_24	AE13	控制信号SDA
15	VCC_3V3	-	-	3.3V电源

J23 接口 MIPI 通信引脚分配如下:

PIN	信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
1	GND	-	-	地
2	MIPI2_LAN0_N	IO_L2N_65	V9	MIPI数据0信号N
3	MIPI2_LAN0_P	IO_L2P_65	U9	MIPI数据0信号P
4	GND	-	-	地
5	MIPI2_LAN1_N	IO_L3N_65	V8	MIPI数据1信号N
6	MIPI2_LAN1_P	IO_L3P_65	U8	MIPI数据1信号P
7	GND	-	-	地
8	MIPI2_CLK_N	IO_L1N_65	Y8	MIPI时钟信号N
9	MIPI2_CLK_P	IO_L1P_65	W8	MIPI时钟信号P
10	GND	-	-	地
11	CAM2_GPIO	IO_L5P_24	AD15	控制信号IO
12	CAM2_CLK	IO_L6P_24	AC14	控制信号时钟
13	CAM2_SCL	IO_L5N_24	AD14	控制信号SCL
14	CAM2_SDA	IO_L6N_24	AC13	控制信号SDA
15	VCC_3V3	-	-	3.3V电源

十五、JTAG调试口

在 AXU2CGA/B 板上预留了一个 10 针的 JTAG 接口, 用于下载 ZYNQ UltraScale+ 程序或者固化程序到 FLASH。JTAG 的管脚定义如下图所示

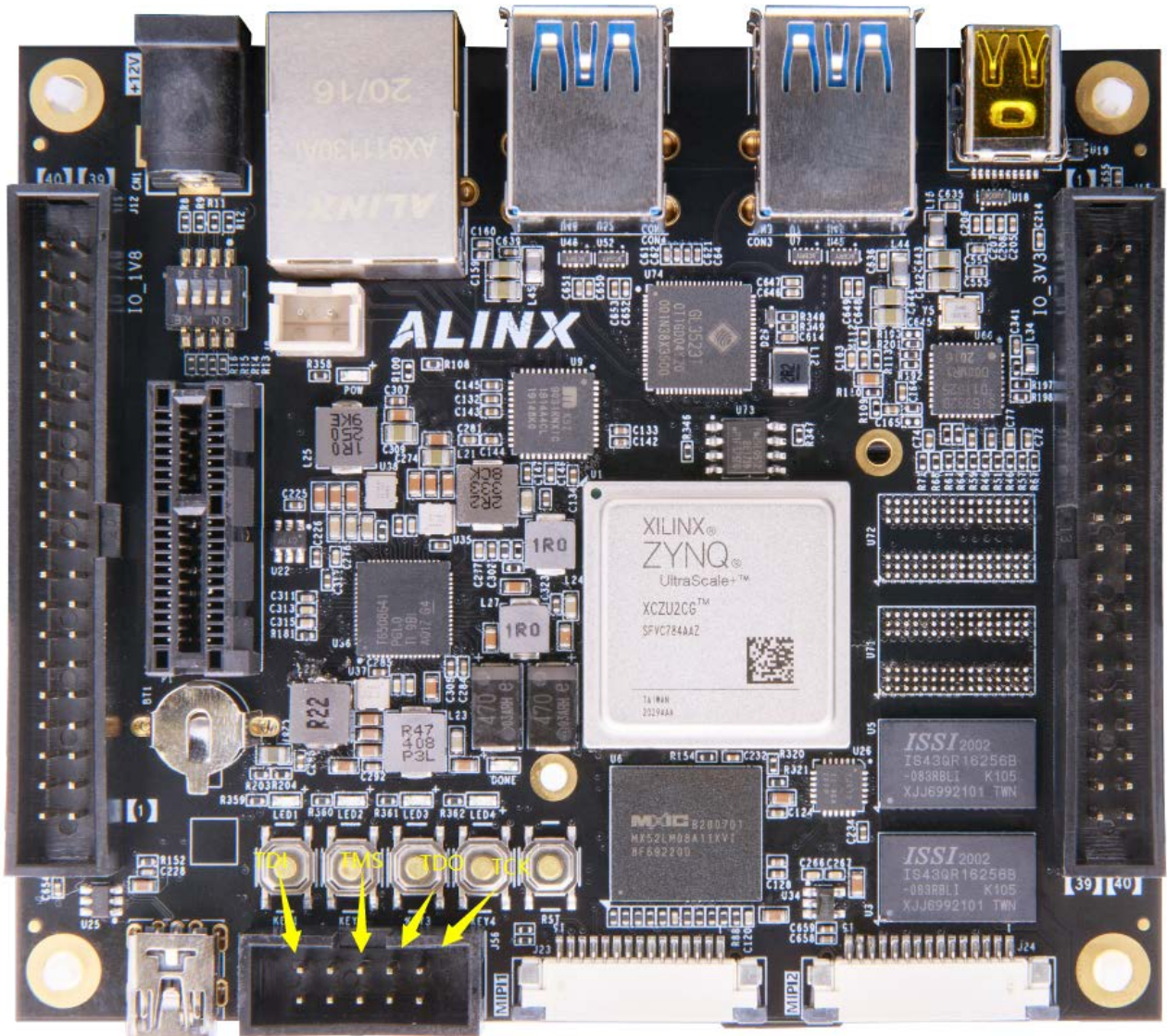


图16-1 JTAG接口管脚定义

十六、拨码开关配置

板上有一个 4 位的拨码开关用来配置 ZYNQ 系统的启动模式。AXU2CGA/B 系统支持 4 种启动模式。这 4 种启动模式分别是 JTAG 调试模式, QSPI FLASH, EMMC 和 SD2.0 卡启动模式。芯片上电后会检测 (PS_MODE0~3) 的电平来决定那种启动模式。用户可以通过拨码开关来选择合适的启动模式。SW1 启动模式配置如下表 17-1 所示。

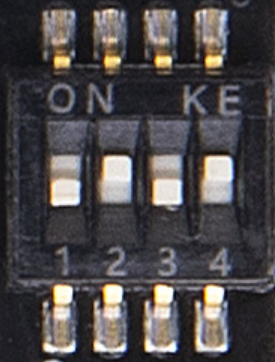
SW1	拨码位置 (4, 3, 2, 1)	MODE[3:0]	启动模式
	ON, ON, ON, ON	0000	PS JTAG
	ON, ON, OFF, ON	0010	QSPI FLASH
	ON, OFF, ON, OFF	0101	SD卡
	ON, OFF, OFF, ON	0110	EMMC

表17-1 SW1启动模式配置

十七、LED灯

AXU2CGA/B 的板上有 4 个用户指示灯，4 个用户控制按键以及一个 reset 按键。4 个用户指示灯和 4 个用户按键均连接到 BANK24 的 IO 上。LED 灯硬件连接的示意图如图 18-1 所示：

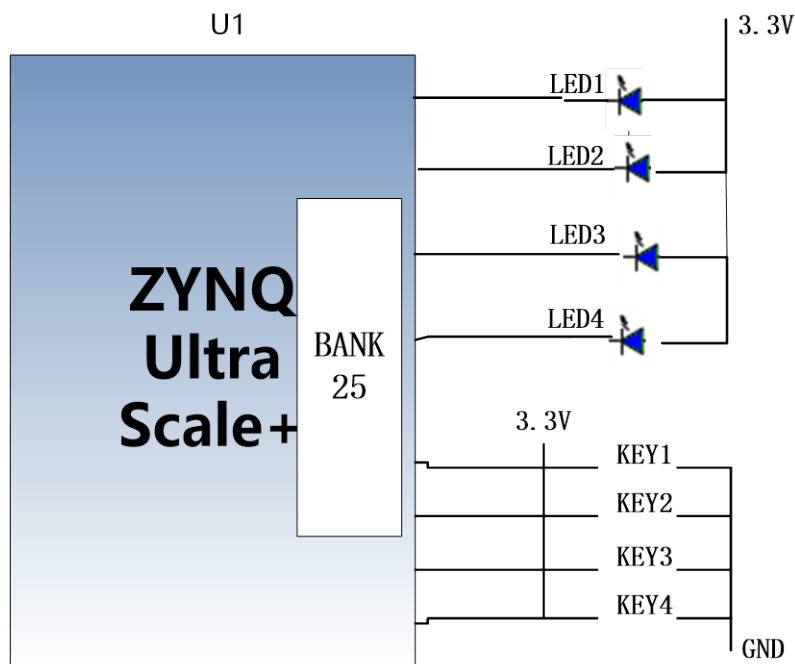


图 18-1 LED 灯硬件连接示意图

LED,按键引脚分配:

信号名称	引脚名	引脚号
LED1	IO_L9N_24	W13
LED2	IO_L12P_24	Y12
LED3	IO_L12N_24	AA12
LED4	IO_L7N_24	AB13
KEY1	IO_L7P_24	AA13
KEY2	IO_L1N_24	AE14
KEY3	IO_L1P_24	AE15
KEY4	IO_L2P_24	AG14

十八、系统时钟

板上分别为 RTC 电路, PS 系统, PL 逻辑部分提供了参考时钟, 其中 RTC 的时钟为 32.768, PS 的系统时钟为 33.3333Mhz, PL 端的时钟是 25Mhz。时钟电路设计的示意图如下图 19-1 所示:

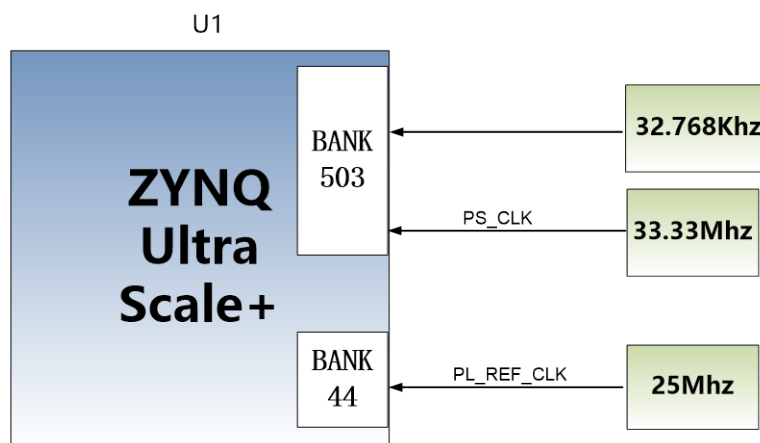


图 19-1 时钟源

时钟引脚分配:

信号名称	引脚名	引脚号
PL_REF_CLK	IO_L8P_44	AB11

PL_REF_CLK 的电平为+1.8V。

十九、风扇接口

风扇为 12V 供电, 可通过 FAN_PWM 信号调节转速。

风扇引脚分配:

信号名称	引脚名	引脚号
FAN_PWM	IO_L11P_24	W12

二十、电源

AXU2CGA/B 的电源输入电压为 DC12V，电流 2A 的适配器。电源接口如下图所示，尽量使用我们提供的电源适配器。

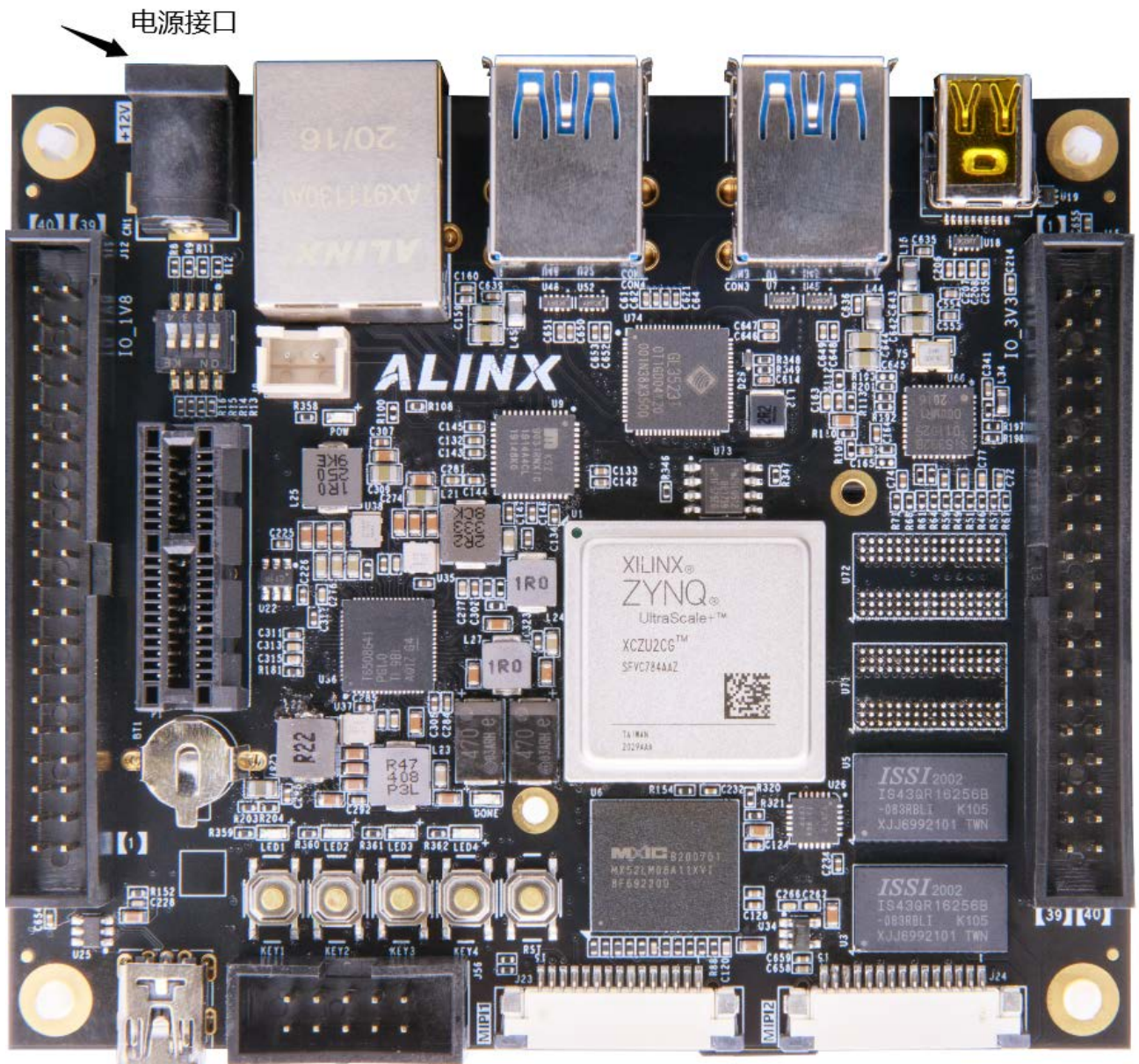


图 20-1 电源接口

二十一、结构尺寸图

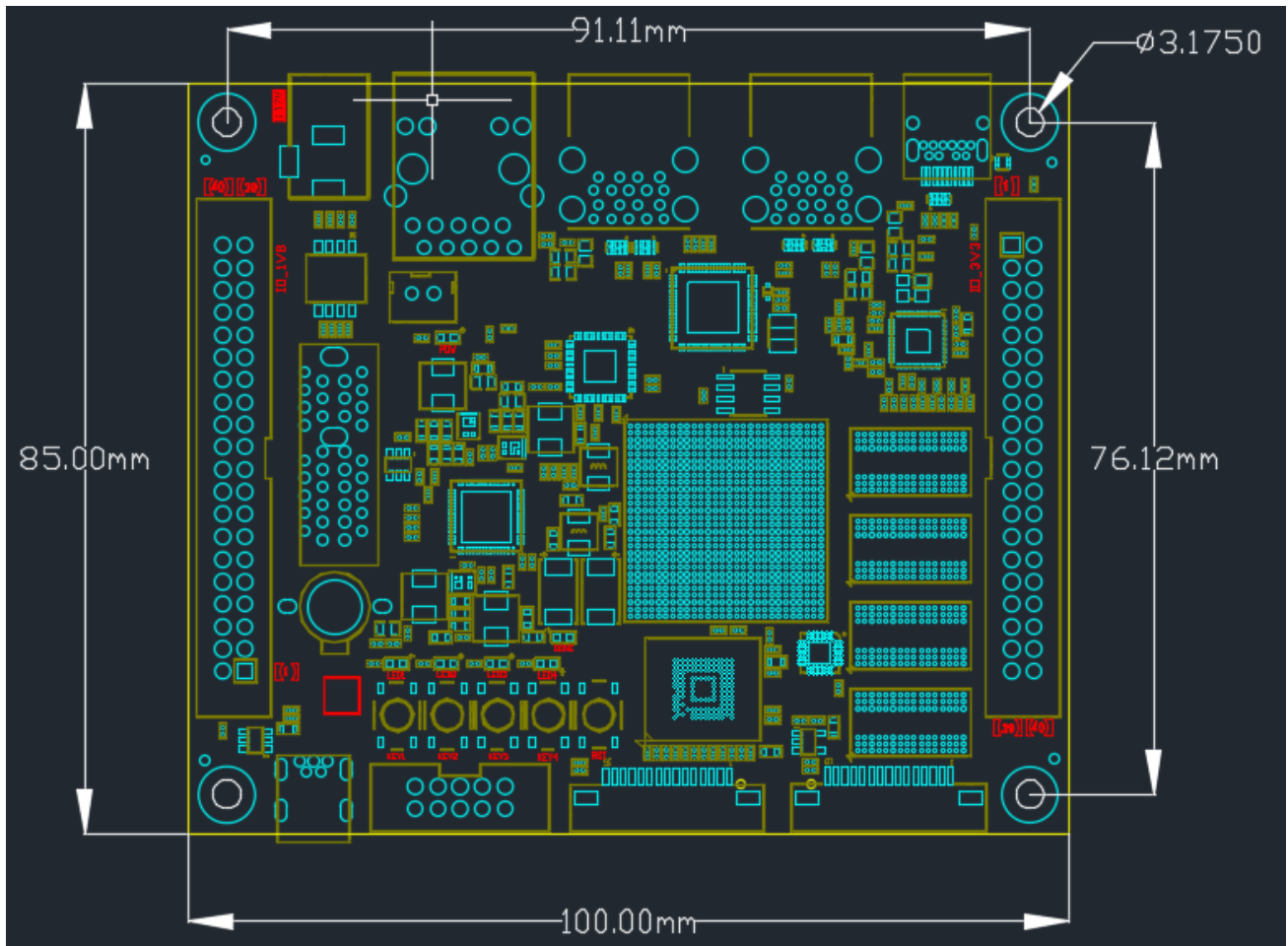


图 21-1 正面图 (Top View)