

Logos 系列
FPGA 开发平台
AXPGL50H

ALINX

文档版本控制

文档版本	修改内容记录
REV1.0	创建文档

目录

文档版本控制.....	2
一、 开发板简介	6
二、 FPGA 核心板.....	9
(一) 简介	9
(二) FPGA.....	10
(三) 有源晶振.....	11
(四) DDR3	13
(五) QSPI Flash.....	16
(六) LED 灯	18
(七) 扩展接口	19
(八) 电源	26
(九) 结构图	28
三、 扩展板.....	错误!未定义书签。
(一) 简介	错误!未定义书签。
(二) 千兆以太网接口.....	错误!未定义书签。
(三) HSST 高速接口.....	错误!未定义书签。
(四) USB2.0 通信接口	错误!未定义书签。
(五) HDMI 输出接口	错误!未定义书签。
(六) 数码管	错误!未定义书签。
(七) SD 卡槽.....	错误!未定义书签。
(八) USB 转串口	错误!未定义书签。
(九) EEPROM 24LC04.....	错误!未定义书签。
(十) 温度传感器.....	错误!未定义书签。
(十一) 实时时钟 DS1338.....	错误!未定义书签。
(十二) 蜂鸣器	错误!未定义书签。
(十三) 继电器	错误!未定义书签。
(十四) SMA 时钟接口.....	错误!未定义书签。
(十五) 摄像头接口	错误!未定义书签。
(十六) 扩展口	错误!未定义书签。
(十七) JTAG 接口.....	错误!未定义书签。
(十八) 拨动开关	错误!未定义书签。

(十九) 按键	错误!未定义书签。
(二十) LED 灯	错误!未定义书签。
(二十一) 供电电源.....	错误!未定义书签。
(二十二) 风扇	错误!未定义书签。
(二十三) 结构尺寸图.....	错误!未定义书签。

基于紫光同创 Logos 系列的高端 FPGA 开发平台（型号：AXPGL50H）正式发布了，为了让您对此开发平台可以快速了解，我们编写了此用户手册。

这款 Logos FPGA 开发平台采用核心板加扩展板的模式，方便用户对核心板的二次开发利用。在底板设计上我们设计了丰富的外围接口，比如两路光纤模块接口，两路高速收发器 SMA 接口，一路 HDMI 输出接口，一路千兆以太网接口，一路高速 USB2.0 接口，Uart 接口，摄像头接口及 SD 卡接口等等。可满足用户各高速数据传输，视频图像处理 and 工业控制的要求，是一款“全能级”的 FPGA 开发平台。为高速视频传输，网络、光纤通信及数据处理的前期验证和后期应用提供了可能。相信这样的一款产品非常适合从事 FPGA 开发的学生、工程师等群体。

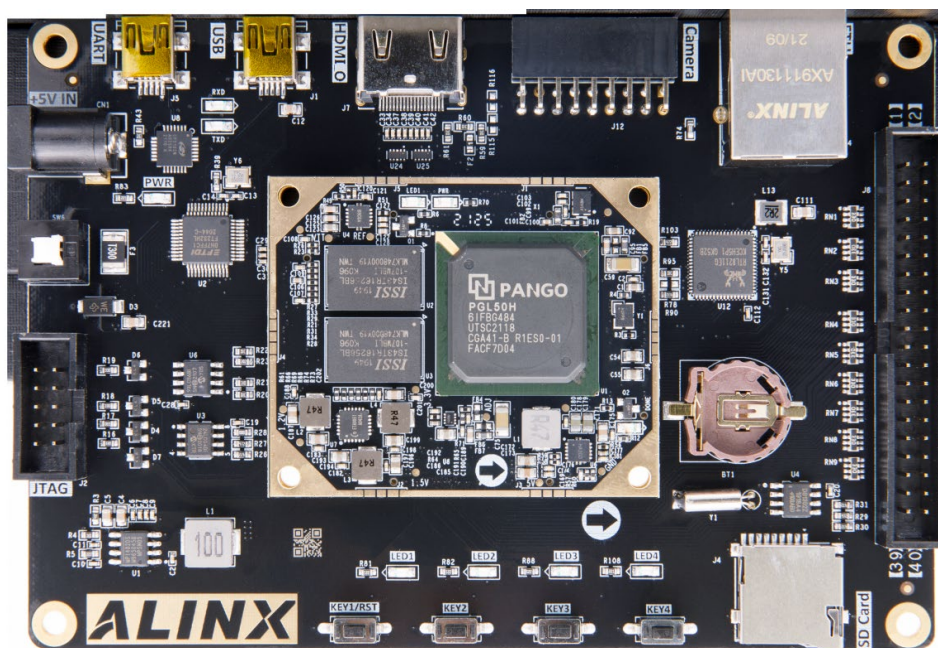
一、开发板简介

在这里，对这款 AXPGL50H FPGA 开发平台进行简单的功能介绍。

开发板的整个结构，继承了 ALINX 产品一贯的核心板+扩展板的模式来设计的。核心板和扩展板之间使用高速板间连接器连接。

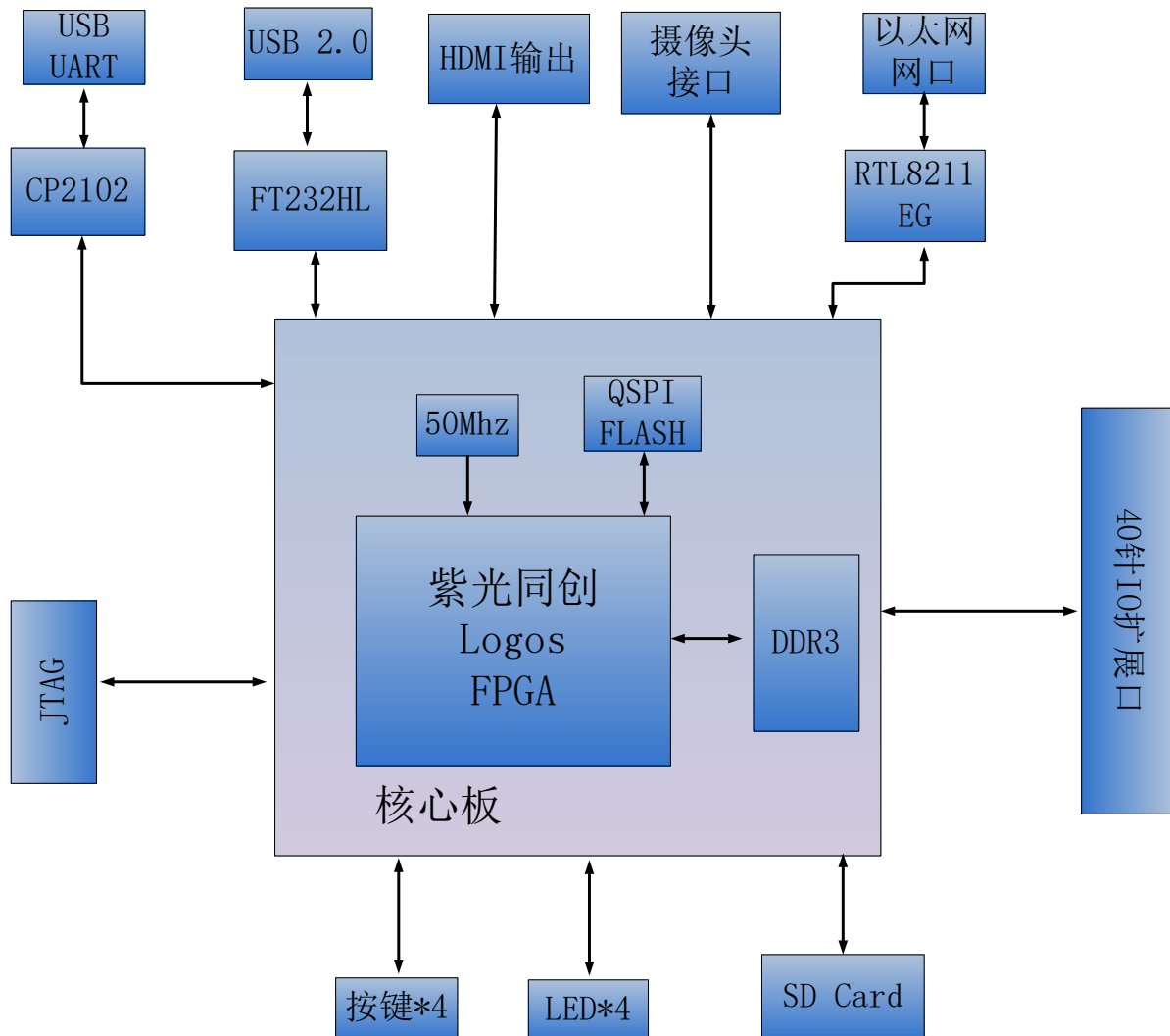
核心板主要由 FPGA + 2 个 DDR3 + QSPI FLASH 构成，承担 FPGA 高速数据处理和存储的功能，加上 FPGA 和两片 DDR3 之间的高速数据读写，数据位宽为 32 位，整个系统的带宽高达 25Gb/s (800M*32bit)；另外两片 DDR3 容量高达 8Gbit，满足数据处理过程中对高缓冲区的需求。我们选用的 FPGA 为紫光同创公司 Logos 系列的 PGL50H 芯片，封装采用 FBG 484。PGL50H 和 DDR3 之间通信的时钟频率达到 400Mhz, 数据速率为 800Mhz, 充分满足了高速多路数据处理的需求。另外 PGL50H FPGA 带有 4 路 HSST 高速收发器，每路速度高达 6.375Gb/s，非常适合用于光纤通信和 PCIe 数据通信。

底板为核心板扩展了丰富的外围接口，其中包含 1 路千兆以太网接口、1 路 HDMI 输出接口、1 路 USB2.0 接口、1 路 UART 串口接口、1 路 SD 卡接口、1 个 JTAG 调试接口、一个摄像头接口、1 路 40 针的扩展口和一些按键，LED，RTC 和 EEPROM 电路。



AXPGL50H 产品

下图为整个开发系统的结构示意图：



通过这个示意图，我们可以看到，我们这个开发平台所能实现的功能。

- Logos FPGA 核心板

由 PGL50H+2 片 512MB DDR3+128MB QSPI FLASH 组成，另外板上有一个高精度的 50MHz 和 125MHz 晶振，为 FPGA 系统和高速串行收发器 HSST 模块提供稳定的时钟输入。

- 一路 10/100M/1000M 以太网 RJ-45 接口

千兆以太网接口芯片采用 KSZ9031RX 以太网 PHY 芯片为用户提供网络通信服务。KSZ9031RX 芯片支持 10/100/1000 Mbps 网络传输速率；全双工和自适应。

- 一路 HDMI 输出

使用 FPGA 的 4 路 LVDS 差分信号（3 路数据加 1 路时钟）接口直接驱动 HDMI 输出，为开发板提供不同格式的视频输出接口。

- 一路高速 USB2.0 接口
使用 FTDI Chip 公司的 FT232H 单通道 USB 芯片, 可用于开发板和 PC 之间的 USB2.0 高速通信, 最高速度达 480Mb/s。
- 一路 USB Uart 接口
一路 Uart 转 USB 接口, 用于和电脑通信, 方便用户调试。串口芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片, USB 接口采用 MINI USB 接口。
- Micro SD 卡座
一路 Micro SD 卡座, 支持 SD 模式和 SPI 模式。
- EEPROM
板载一片 IIC 接口的 EEPROM 24LC04;
- RTC 实时时钟
一路 RTC 实时时钟, 配有电池座, 电池的型号为 CR1220。
- 温度传感器
板载一片温度传感器芯片 LM75, 用于检测板子周围环境的温度。
- 40 针扩展口
预留 1 个 40 针 2.54mm 间距的扩展口, 可以外接的各种模块 (双目摄像头, TFT LCD 屏, 高速 AD 模块等等)。扩展口包含 5V 电源 1 路, 3.3V 电源 2 路, 地 3 路, I/O 口 34 路。
- CMOS 接口
一个 18 针的摄像头接口, 可以接 500 万 OV5640 摄像头。
- JTAG 口
10 针 2.54mm 标准的 JTAG 口, 用于 FPGA 程序的下载和调试。
- 按键和 LED 灯
4 个用户按键, 5 个用户发光二极管 LED (1 个在核心板, 4 个在扩展板)。

二、FPGA 核心板

(一) 简介

P50(核心板型号, 下同)核心板, 是基于紫光同创公司的 Logos 系列 50H 的 PGL50HFBG484 这款芯片开发的高性能核心板, 具有高速, 高带宽, 大容量等特点, 适合高速数据通信, 视频图像处理, 高速数据采集等方面使用。

这款核心板使用了 2 片 MICRON 公司的 MT41J256M16HA-125 这款 DDR3 芯片, 每片 DDR 的容量为 4Gbit; 2 片 DDR 芯片组合成 32bit 的数据总线宽度, FPGA 和 DDR3 之间的读写数据带宽高达 25Gb; 这样的配置可以满足高带宽的数据处理需求。

这款核心板扩展出 195 个默认电平标准为 3.3V 普通 IO 口, 其中有 113 个 IO 电压标准可调, 12 个 1.5V 电平标准的普通 IO 口, 还有 4 对 HSST 高速 RX/TX 差分信号和 1 对 HSST 高速 RX/TX 差分输入时钟。对于需要大量 IO 的用户, 此核心板将是不错的选择。而且, FPGA 芯片到接口之间走线做了等长和差分处理。核心板尺寸仅为 45*55 (mm), 对于二次开发来说非常适合。

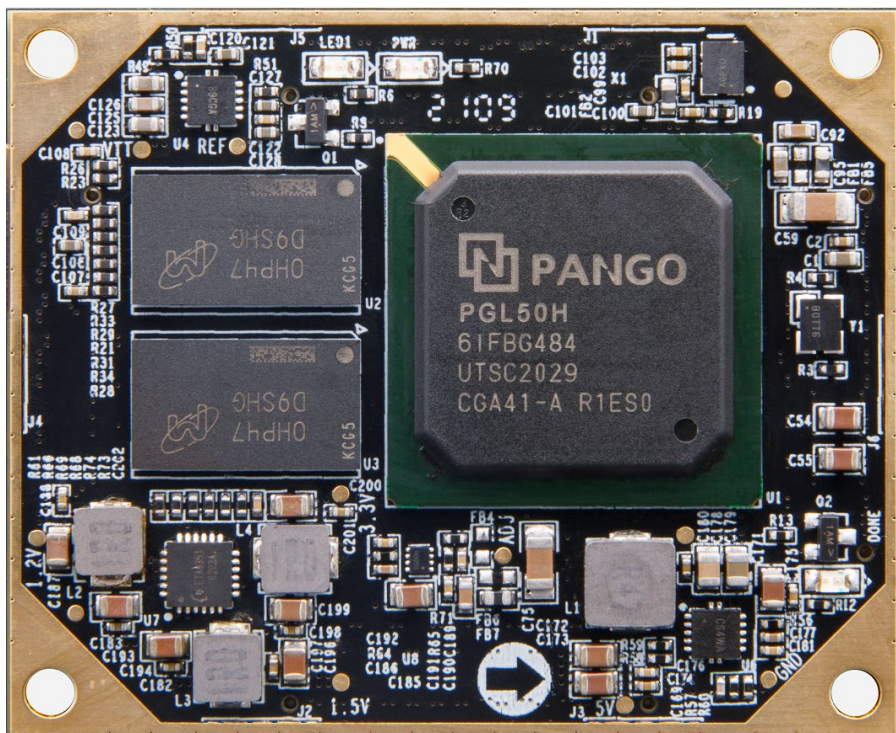


图 2-1-1 P50 核心板正面图

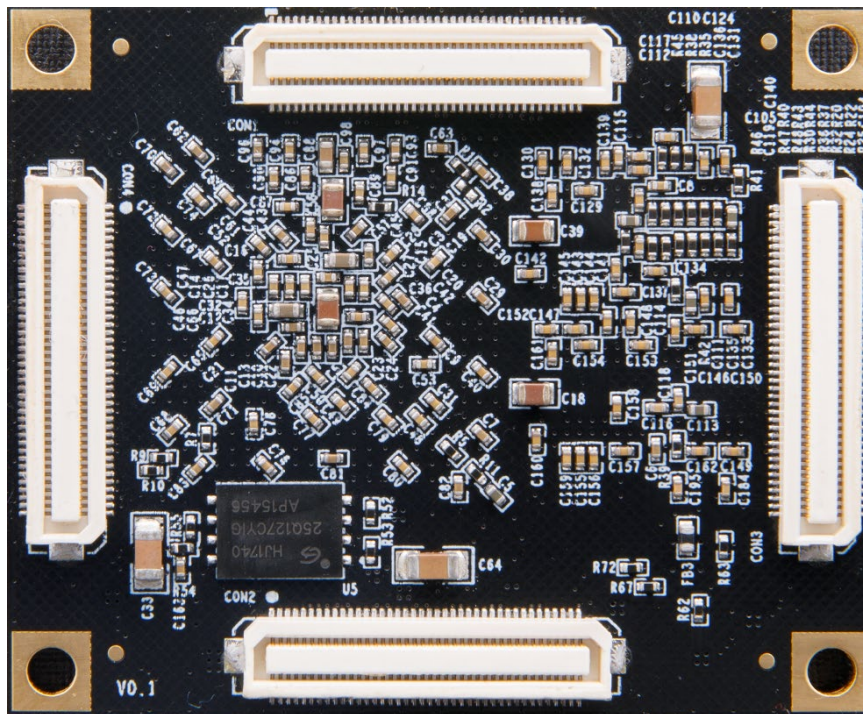


图 2-1-2 P50 核心板背面图

(二) FPGA

前面已经介绍过了，我们所使用的 FPGA 型号为 **PGL50H-6IFBG484**，属于紫光同创公司 Logos 系列的产品，速度等级为 6，温度等级为工业级。此型号为 FBG484 封装，484 个引脚。紫光同创 Logos FPGA 的芯片命名规则如下：

Logos系列FPGA产品型号的编号内容及意义如图1所示。

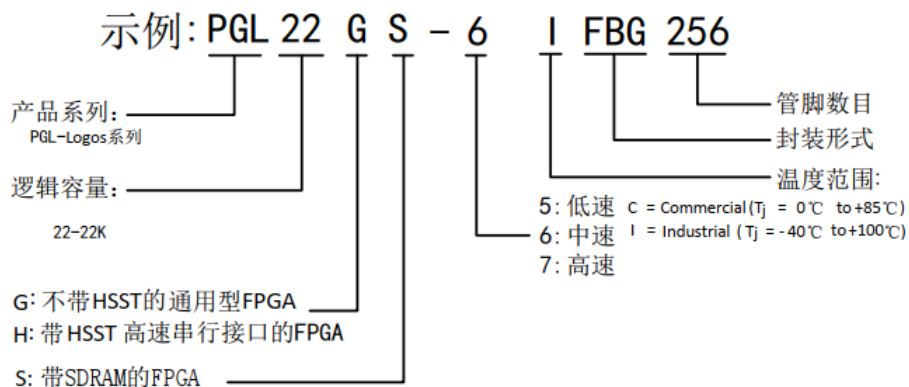


图 2-2-1 为开发板所用的 FPGA 芯片实物图。



图 2-2-1 FPGA 芯片实物

其中 FPGA 芯片 PGL50H 的主要参数如下所示：

名称	具体参数
触发器(FF)	64200
查找表 LUT5(LUT5=1.2LUT4)	42800
DRM (18Kbits) 个数	134
APM 单元 (乘法器)	84
PCIe Gen2	1
HSST	4 路, 6.375Gb/s max
速度等级	-6
温度等级	工业级

FPGA 供电系统

Logos FPGA 电源有 V_{CC} , V_{CCAUX} , V_{CCIO} , V_{VCCA_LANE} 和 V_{VCCA_PLL} 。 V_{CC} 为 FPGA 内核供电引脚，需接 1.2V； V_{CCAUX} 为 FPGA 辅助供电引脚，接 3.3V； V_{CCIO} 为 FPGA 的各个 BANK 的电压，包含 B0、B1、B2、B3。在 P50 核心板上，B3 因为需要连接 DDR3，BANK 的电压连接的是 1.5V，其它 BANK 的电压默认都是 3.3V，其中 B0 和 B2 的 V_{CCIO} 是可以通过修改更换电源电阻阻值更改 BANK 的电平。 V_{VCCA_LANE} 为 FPGA 内部 HSST 模块供电，接 1.2V， V_{VCCA_PLL} 为 HSSTPLL 供电，接 1.2V。

(三) 有源晶振

P50 核心板上配有 1 个 Sitime 公司的 125MHz 有源差分晶振和 1 个单端 50MHz 晶振。差分晶振型号为 SiT9121-125MHz，用于 HSST 收发器的参考时钟输入；单端 50MHz 晶振型号为 SiT8008-50。

1). 125Mhz 差分时钟

图 2-3-1 中的 X1 为 125M 有源差分晶振电路, 此时钟是给 FPGA 内部的 HSST 模块提供的参考输入时钟。晶振输出连接到 FPGA HSST BANK 的时钟管脚上。

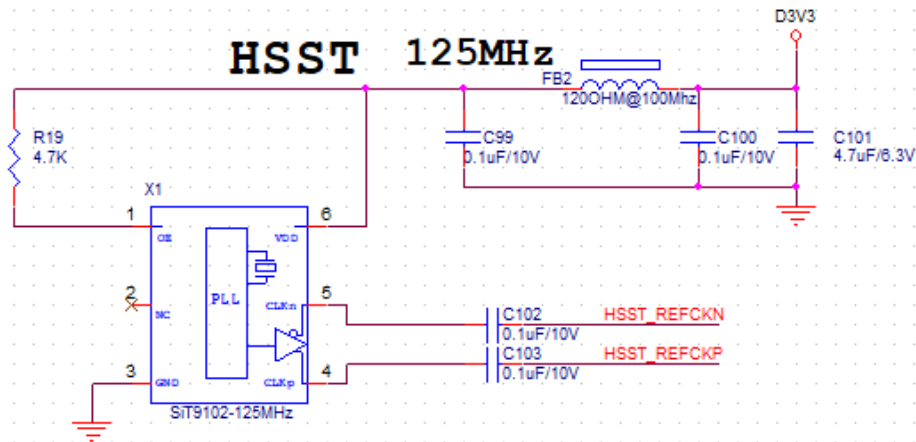


图 2-3-1 125Mhz 有源差分晶振

图 2-3-2 为 125M 差分有源晶振实物图

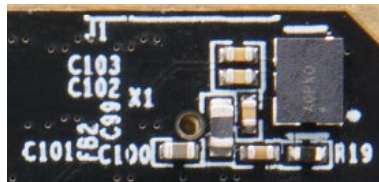


图 2-3-2 125M 有源晶振实物图

时钟引脚分配:

引脚名称	FPGA 引脚
HSST_REFCKP	A10
HSST_REFCKN	B10

2). 50Mhz 有源晶振

图 2-3-3 中的 Y1 即为 50M 有源晶振电路, 此时钟接到给 FPGA 内部的全局时钟管脚上, 可为 FPGA 提供的参考输入时钟, 采用 Sitime 的 SiT8008-50。

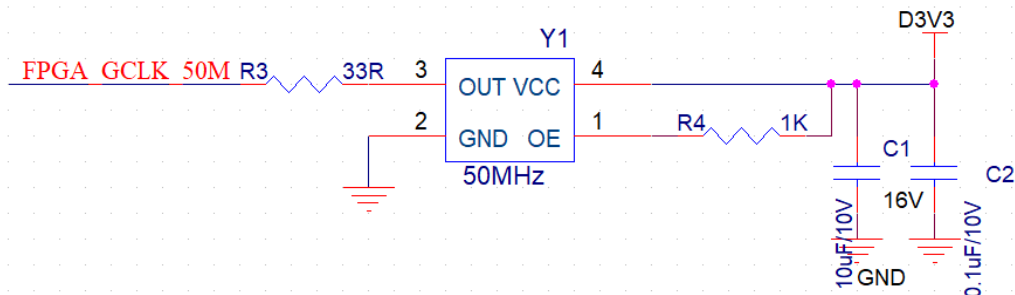


图 2-3-3 50Mhz 有源晶振

图 2-3-4 为 125M 差分有源晶振实物图

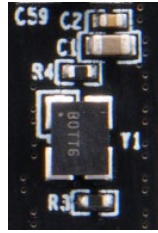


图 2-3-4 50M 有源晶振实物图

时钟引脚分配:

引脚名称	FPGA 引脚
FPGA_GCLK_50M	P20

(四) DDR3

P50 核心板上配有两个 ISSI 公司的 4Gbit (512MB) 的 DDR3 芯片(共计 8Gbit), 型号为 IS43TR16256BL-107MBLI (兼容 Micron MT41K256M16HA-125)。DDR 的总线宽度共为 32bit。DDR3 SDRAM 的最高运行时钟速度可达 400MHz(数据速率 800Mbps)。该 DDR3 存储系统直接连接到了 FPGA 的 BANK B3 存储器接口上。DDR3 SDRAM 的具体配置如下表 2-4-1 所示。

表 2-4-1 DDR3 SDRAM 配置

位号	芯片类型	容量	厂家
U2,U3	IS43TR16256BL-107MBLI	256M x 16bit	micron

DDR3 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制，走线等长控制，保证 DDR3 的高速稳定的工作。

DDR3 DRAM 的硬件连接示意图如图 2-4-1 所示:

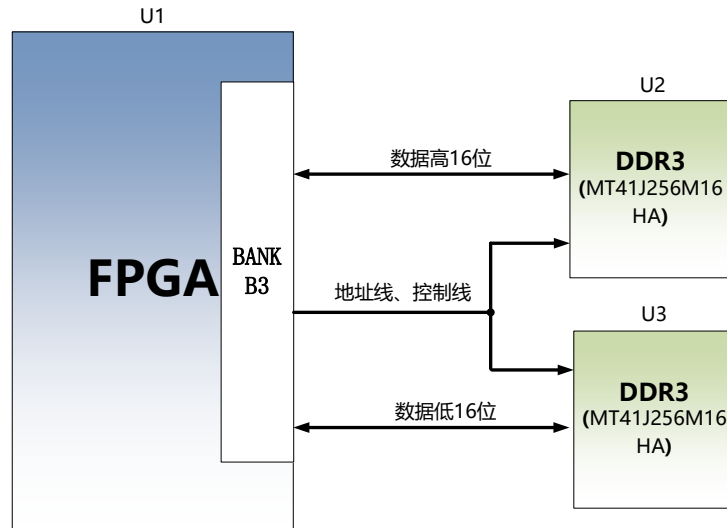


图2-4-1 DDR3 DRAM原理图示意图

图 2-4-2 为 DDR3 DRAM 实物图



图2-4-2 DDR3 DRAM实物图

DDR3 DRAM 引脚分配:

信号名称	FPGA 引脚名
DDR3_DQS3_P	E3
DDR3_DQS3_N	E1
DDR3_DQS2_P	M6
DDR3_DQS2_N	L6
DDR3_DQS1_P	N3
DDR3_DQS1_N	N1
DDR3_DQS0_P	V2
DDR3_DQS0_N	V1
DDR3_DM3	F2
DDR3_DM2	K1
DDR3_DM1	L1

DDR3_DM0	W3
DDR3_D31	G3
DDR3_D30	J6
DDR3_D29	H3
DDR3_D28	J4
DDR3_D27	H5
DDR3_D26	K7
DDR3_D25	F1
DDR3_D24	G1
DDR3_D23	M4
DDR3_D22	K4
DDR3_D21	M3
DDR3_D20	J3
DDR3_D19	L4
DDR3_D18	K3
DDR3_D17	K2
DDR3_D16	J1
DDR3_D15	P1
DDR3_D14	P3
DDR3_D13	M2
DDR3_D12	P2
DDR3_D11	M1
DDR3_D10	N4
DDR3_D9	L3
DDR3_D8	R1
DDR3_D7	Y1
DDR3_D6	M7
DDR3_D5	Y2
DDR3_D4	T1
DDR3_D3	W1
DDR3_D2	T2
DDR3_D1	U1

DDR3_D0	U3
DDR3_A14	N7
DDR3_A13	R4
DDR3_A12	R7
DDR3_A11	N6
DDR3_A10	P4
DDR3_A9	V5
DDR3_A8	P7
DDR3_A7	U4
DDR3_A6	P8
DDR3_A5	T3
DDR3_A4	P6
DDR3_A3	W4
DDR3_A2	T4
DDR3_A1	V3
DDR3_A0	P5
DDR3_BA2	G7
DDR3_BA1	H8
DDR3_BA0	Y3
DDR3_WE	H6
DDR3_S0	F3
DDR3_RESET	C1
DDR3_RAS	G6
DDR3_ODT	E4
DDR3_CLK0_P	T6
DDR3_CLK0_N	T5
DDR3_CKE0	J7
DDR3_CAS	F5

(五) QSPI Flash

核心板上使用了1片128Mbit大小的QSPI FLASH芯片,型号为GD25Q127CYIG,它使用 3.3V CMOS 电压标准。由于它的非易失特性,在使用中, QSPI FLASH 可以

作为 FPGA 系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、软核的应用程序代码以及其它的用户数据文件。

SPI FLASH的具体型号和相关参数见下表

位号	芯片类型	容量	厂家
U5	GD25Q127CYIG	128M Bit	兆易

表2-5-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 FPGA 芯片的 BANK 的 B2 专用管脚上, 其中时钟管脚连接到专用的配置 BANK 的 CFG_CLK 上。图 2-5-1 为 QSPI Flash 在硬件连接示意图。

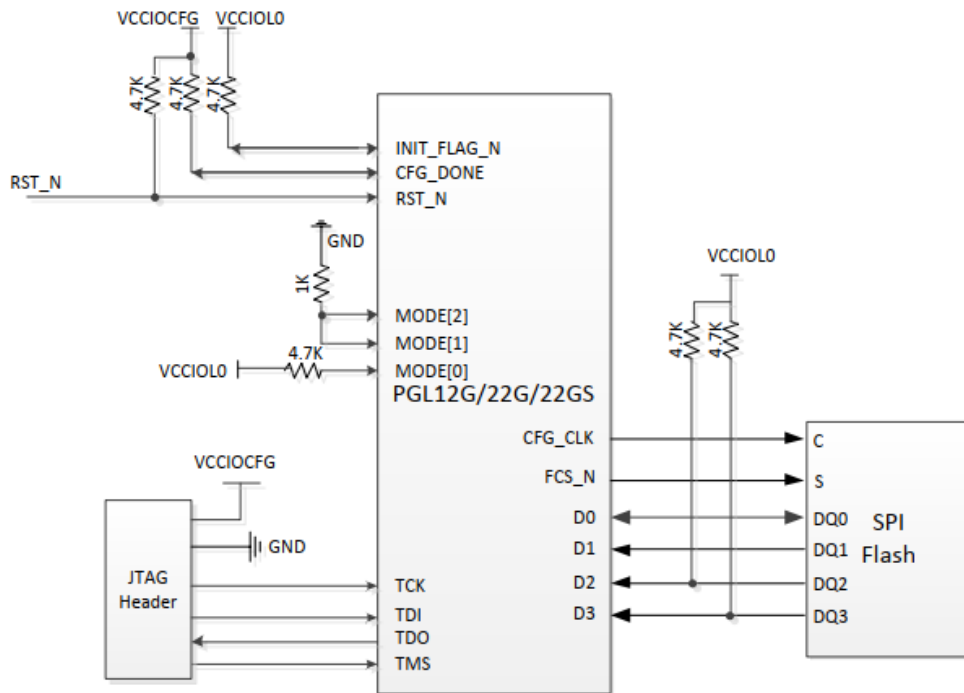


图2-5-1 QSPI Flash连接示意图

配置芯片引脚分配:

信号名称	FPGA 引脚号
QSPIO_DQ3	T14
QSPIO_DQ2	R13
QSPIO_DQ1	AA20
QSPIO_DQ0	AB20
QSPIO_CS	AA3
QSPIO_CLK	Y20

图 2-5-2 为开发板上 QSPI Flash 的实物图



图 2-5-2 QSPI FLASH 部分实物图

(六) LED 灯

P50 核心板上有 3 个红色 LED 灯, 其中 1 个是电源指示灯(PWR), 1 个是配置 LED 灯(DONE), 另外一个为用户 LED 灯 (LED1)。当核心板供电后, 电源指示灯会亮起; 当 FPGA 配置程序后, 配置 LED 灯会亮起。用户 LED 灯用户连接到 BANK R5 的 IO 上, 可以通过程序来控制亮和灭, 当连接用户 LED 灯的 IO 电压为高时, 用户 LED 灯点亮, 当连接 IO 电压为低时, 用户 LED 会被熄灭。LED 灯硬件连接的示意图如图 2-6-1 所示:

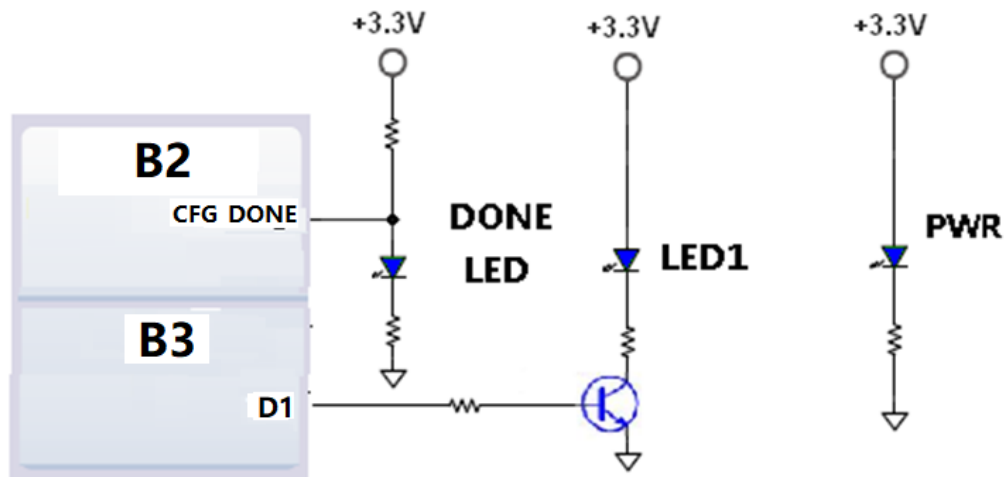


图 2-6-1 核心板 LED 灯硬件连接示意图

图 2-6-2 为核心板上的 LED 灯实物图

PIN7	B1_L26_P	K21	3.3V	PIN8	B1_L25_P	M20	3.3V
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	B1_L20_P	G20	3.3V	PIN12	B1_L27_N	N19	3.3V
PIN13	B1_L20_N	G22	3.3V	PIN14	B1_L24_P	J20	3.3V
PIN15	B1_L12_P	C20	3.3V	PIN16	B1_L24_N	J22	3.3V
PIN17	B1_L12_N	C22	3.3V	PIN18	B1_L21_P	K17	3.3V
PIN19	GND	-	地	PIN20	GND	-	地
PIN21	B1_L35_P	V21	3.3V	PIN22	B1_L21_N	L17	3.3V
PIN23	B1_L35_N	V22	3.3V	PIN24	B1_L52_N	P18	3.3V
PIN25	B1_L32_P	R20	3.3V	PIN26	B1_L52_P	P17	3.3V
PIN27	B1_L32_N	R22	3.3V	PIN28	B1_L38_P	P19	3.3V
PIN29	GND	-	地	PIN30	GND	-	地
PIN31	B1_L34_N	U22	3.3V	PIN32	B1_L38_N	R19	3.3V
PIN33	B1_L34_P	U20	3.3V	PIN34	B1_L33_N	T22	3.3V
PIN35	B1_L37_P	Y21	3.3V	PIN36	B1_L33_P	T21	3.3V
PIN37	B1_L37_N	Y22	3.3V	PIN38	B1_L40_N	N15	3.3V
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	B1_L2_N	B22	3.3V	PIN42	B1_L40_P	M16	3.3V
PIN43	B1_L2_P	B21	3.3V	PIN44	B1_L31_P	P21	3.3V
PIN45	GND	-	地	PIN46	B1_L31_N	P22	3.3V
PIN47	B1_L13_N	D22	3.3V	PIN48	B1_L0_N	F19	3.3V
PIN49	B1_L13_P	D21	3.3V	PIN50	B1_L0_P	F18	3.3V
PIN51	GND	-	地	PIN52	GND	-	地
PIN53	B1_L16_N	F22	3.3V	PIN54	B1_L15_P	H18	3.3V
PIN55	B1_L16_P	F21	3.3V	PIN56	B1_L15_N	H19	3.3V
PIN57	GND	-	地	PIN58	B1_L39_N	K16	3.3V
PIN59	B1_L17_N	E22	3.3V	PIN60	B1_L39_P	L15	3.3V
PIN61	B1_L17_P	E20	3.3V	PIN62	B1_L41_N	T20	3.3V
PIN63	GND	-	地	PIN64	GND	-	地
PIN65	B1_L14_N	F20	3.3V	PIN66	B1_L41_P	U19	3.3V
PIN67	B1_L14_P	G19	3.3V	PIN68	B1_L36_N	W22	3.3V
PIN69	GND	-	地	PIN70	B1_L36_P	W20	3.3V

PIN71	B1_L18_N	H20	3.3V	PIN72	B1_L22_N	H22	3.3V
PIN73	B1_L18_P	J19	3.3V	PIN74	B1_L22_P	H21	3.3V
PIN75	GND	-	地	PIN76	GND	-	地
PIN77	B1_L1_N	H17	3.3V	PIN78	B1_L11_P	J16	3.3V
PIN79	B1_L1_P	H16	3.3V	PIN80	B1_L11_N	J17	3.3V

图 2-7-1 为 CON1 扩展口连接器的实物图，连接器的 Pin1 已经在板上用圆点标出。

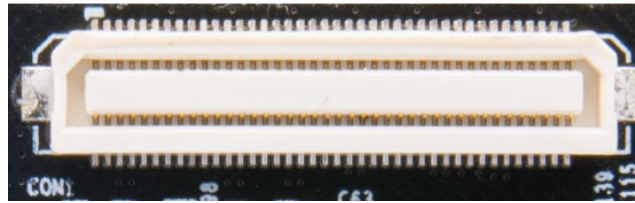


图 2-7-1 CON1 扩展口连接器的实物图

扩展口 CON2

80Pin 的连接器 CON2 用来连接底板的 VCCIN 电源(+5V), 地和 FPGA 的 BANK B2 的普通 IO, B2 的 IO 口的电压标准可以通过修改电源电阻的阻值调整, 默认安装的是 3.3V 的, 如果用户想输出其它标准的电平, 可以通过修改电源进行, 另外还有 4 个 JTAG 的信号也通过 CON2 连接器连接到底板上, CON2 扩展口的管脚分配如表 2-7-2 所示:

2-7-2 表: 扩展口 CON2 引脚分配

CON2 管脚	信号名称	FPGA 管脚号	电平标准	CON2 管脚	信号名称	FPGA 管脚号	电平标准
PIN1	D5V0	-	+5V	PIN2	D5V0	-	+5V
PIN3	D5V0	-	+5V	PIN4	D5V0	-	+5V
PIN5	D5V0	-	+5V	PIN6	D5V0	-	+5V
PIN7	D5V0	-	+5V	PIN8	D5V0	-	+5V
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	B2_L38_N	AB19	3.3V	PIN12	B2_L37_P	AA18	3.3V
PIN13	B2_L30_P	Y15	3.3V	PIN14	B2_L37_N	AB18	3.3V
PIN15	B2_L30_N	AB15	3.3V	PIN16	B2_L36_N	AB17	3.3V
PIN17	B2_L45_N	AB14	3.3V	PIN18	B2_L36_P	Y17	3.3V
PIN19	GND	-	地	PIN20	GND	-	地
PIN21	B2_L45_P	AA14	3.3V	PIN22	B2_L25_P	AA12	3.3V
PIN23	B2_L32_P	AA16	3.3V	PIN24	B2_L25_N	AB12	3.3V
PIN25	B2_L32_N	AB16	3.3V	PIN26	B2_L24_P	Y11	3.3V

PIN27	B2_L29_P	R11	3.3V	PIN28	B2_L24_N	AB11	3.3V
PIN29	GND		地	PIN30	GND	-	地
PIN31	B2_L29_N	T11	3.3V	PIN32	B2_L35_P	U14	3.3V
PIN33	B2_L20_P	Y9	3.3V	PIN34	B2_L35_N	U13	3.3V
PIN35	B2_L20_N	AB9	3.3V	PIN36	B2_L28_N	U15	3.3V
PIN37	B2_L33_N	W13	3.3V	PIN38	B2_L28_P	T15	3.3V
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	B2_L33_P	V13	3.3V	PIN42	B2_L47_N	V15	3.3V
PIN43	B2_L22_N	AB10	3.3V	PIN44	B2_L47_P	U16	3.3V
PIN45	B2_L22_P	AA10	3.3V	PIN46	GND	-	地
PIN47	B2_L21_N	W11	3.3V	PIN48	B2_L34_N	W15	3.3V
PIN49	B2_L21_P	V11	3.3V	PIN50	B2_L34_P	Y16	3.3V
PIN51	GND	-	地	PIN52	GND	-	地
PIN53	B2_L17_P	T10	3.3V	PIN54	B2_L46_N	Y18	3.3V
PIN55	B2_L17_N	U10	3.3V	PIN56	B2_L46_P	W17	3.3V
PIN57	B2_L13_N	V9	3.3V	PIN58	GND	-	地
PIN59	B2_L13_P	U9	3.3V	PIN60	B2_L27_N	U12	3.3V
PIN61	B2_L19_N	Y10	3.3V	PIN62	B2_L27_P	T12	3.3V
PIN63	GND	-	地	PIN64	GND	-	地
PIN65	B2_L19_P	W10	3.3V	PIN66	B2_L53_N	W18	3.3V
PIN67	B2_L23_N	Y12	3.3V	PIN68	B2_L53_P	V17	3.3V
PIN69	B2_L23_P	W12	3.3V	PIN70	GND		地
PIN71	B2_L14_N	AB6	3.3V	PIN72	B2_L31_N	Y14	3.3V
PIN73	B2_L14_P	AA6	3.3V	PIN74	B2_L31_P	W14	3.3V
PIN75	GND	-	地	PIN76	GND	-	地
PIN77	FPGA_TDI	E18	3.3V	PIN78	FPGA_TCK	A21	3.3V
PIN79	FPGA_TMS	D20	3.3V	PIN80	FPGA_TDO	G17	3.3V

图 2-7-2 为 CON2 扩展口连接器的实物图, 连接器的 Pin1 已经在板上用圆点标示出。

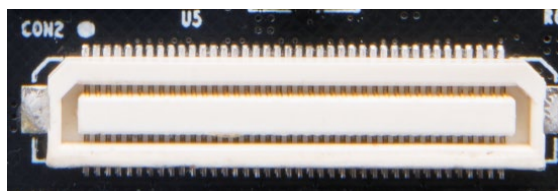


图 2-7-2 CON2 扩展口连接器的实物图

扩展口 CON3

80Pin 的连接器 CON3 用来扩展 FPGA 的 BANK B1、B2 的 B3 的普通 IO，B1 的电平标准为固定的 3.3V；BANK B3 由于连接 DDR3，其电平标准为 1.5V 的；B2 的电压标准都是可以通过修改电源电阻的阻值调整，默认是 3.3V 的，如果用户想输出其它标准的电平，可以通过修改阻值的方式来实现。CON3 扩展口的管脚分配如表 2-7-3 所示：

2-7-3 表：扩展口 CON3 引脚分配

CON3 管脚	信号名称	FPGA 管脚号	电平标准	CON3 管脚	信号名称	FPGA 管脚号	电平标准
PIN1	B1_L19_N	K18	3.3V	PIN2	NC	-	空脚
PIN3	B1_L19_P	K19	3.3V	PIN4	NC	-	空脚
PIN5	B1_L23_N	L19	3.3V	PIN6	B1_L54_N	T18	3.3V
PIN7	B1_L23_P	K20	3.3V	PIN8	B1_L54_P	T19	3.3V
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	B1_L30_P	N20	3.3V	PIN12	B1_L53_N	T17	3.3V
PIN13	B1_L30_N	N22	3.3V	PIN14	B1_L53_P	R17	3.3V
PIN15	B1_L43_P	M17	3.3V	PIN16	B1_L55_P	V19	3.3V
PIN17	B1_L43_N	M18	3.3V	PIN18	B1_L55_N	V20	3.3V
PIN19	GND	-	地	PIN20	GND	-	地
PIN21	B1_L42_P	N16	3.3V	PIN22	B2_L7_N	W8	3.3V
PIN23	B1_L42_N	P16	3.3V	PIN24	B2_L7_P	V7	3.3V
PIN25	B1_L51_N	R16	3.3V	PIN26	B2_L3_P	AA4	3.3V
PIN27	B1_L51_P	R15	3.3V	PIN28	B2_L3_N	AB4	3.3V
PIN29	GND	-	地	PIN30	GND	-	地
PIN31	B2_L26_N	AB13	3.3V	PIN32	B2_L18_N	AB8	3.3V
PIN33	B2_L26_P	Y13	3.3V	PIN34	B2_L18_P	AA8	3.3V
PIN35	B2_L16_P	Y7	3.3V	PIN36	B2_L4_N	AB5	3.3V
PIN37	B2_L16_N	AB7	3.3V	PIN38	B2_L4_P	Y5	3.3V
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	B2_L5_N	Y6	3.3V	PIN42	NC	-	空脚
PIN43	B2_L5_P	W6	3.3V	PIN44	B3_L12_P	D2	3.3V
PIN45	NC	-	空脚	PIN46	B2_L15_N	Y8	3.3V
PIN47	NC	-	空脚	PIN48	B2_L15_P	W9	3.3V
PIN49	GND	-	地	PIN50	GND	-	地
PIN51	NC	-	空脚	PIN52	B3_L0_N	B1	1.5V
PIN53	NC	-	空脚	PIN54	B3_L26_P	M5	1.5V

PIN55	B3_L39_N	G4	1.5V	PIN56	B3_L32_P	R3	1.5V
PIN57	B3_L39_P	H4	1.5V	PIN58	NC	-	空脚
PIN59	GND	-	地	PIN60	GND	-	地
PIN61	NC	-	空脚	PIN62	B2_L6_N	R8	3.3V
PIN63	NC	-	空脚	PIN64	B2_L6_P	R9	3.3V
PIN65	NC	-	空脚	PIN66	B3_L20_P	K6	1.5V
PIN67	NC	-	空脚	PIN68	B3_L20_N	K5	1.5V
PIN69	GND	-	地	PIN70	GND	-	地
PIN71	B2_L8_N	U8	3.3V	PIN72	B2_L2_P	T7	3.3V
PIN73	B2_L8_P	T8	3.3V	PIN74	B2_L2_N	U6	3.3V
PIN75	B3_L19_N	H1	1.5V	PIN76	B3_L52_N	AA1	1.5V
PIN77	B3_L19_P	H2	1.5V	PIN78	B3_L52_P	AA2	1.5V
PIN79	NC	-	空脚	PIN80	NC	-	空脚

图 2-7-3 为 CON3 扩展口连接器的实物图，连接器的 Pin1 已经在板上用圆点标示出。

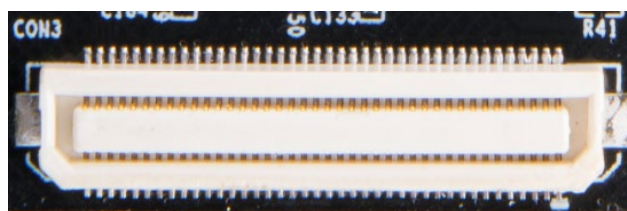


图 2-7-3 CON3 扩展口连接器的实物图

扩展口 CON4

80Pin 的连接器 CON4 用来扩展 FPGA 的 BANK B0 的普通 IO 和 HSST 的高速数据和时钟信号。B0 的 IO 口的电压标准可以通过修改电源电阻的阻值调整，默认安装的是 3.3V 的，如果用户想输出其它标准的电平，可以通过修改电源进行。HSST 的高速数据和时钟信号在核心板上严格差分走线，数据线等长及保持一定的间隔，防止信号干扰。CON4 扩展口的管脚分配如表 2-7-4 所示：

2-7-4 表：扩展口 CON4 引脚分配

CON4 管脚	信号名称	FPGA 管脚号	电平标准	CON4 管脚	信号名称	FPGA 管脚号	电平标准
PIN1	B0_L27_N	A18	3.3V	PIN2	B0_L4_N	A3	3.3V
PIN3	B0_L27_P	B18	3.3V	PIN4	B0_L4_P	B3	3.3V
PIN5	B0_L29_P	B20	3.3V	PIN6	B0_L2_N	A2	3.3V

PIN7	B0_L29_N	A20	3.3V	PIN8	B0_L2_P	B2	3.3V
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	MGT_CLK1_P	A12	差分	PIN12	MGT_TX0_P	B6	差分
PIN13	MGT_CLK1_N	B12	差分	PIN14	MGT_TX0_N	A6	差分
PIN15	GND	-	地	PIN16	GND	-	地
PIN17	MGT_RX3_P	D15	差分	PIN18	MGT_TX1_P	B8	差分
PIN19	MGT_RX3_N	C15	差分	PIN20	MGT_TX1_N	A8	差分
PIN21	GND	-	地	PIN22	GND	-	地
PIN23	MGT_RX2_P	D13	差分	PIN24	MGT_TX2_P	B14	差分
PIN25	MGT_RX2_N	C13	差分	PIN26	MGT_TX2_N	A14	差分
PIN27	GND	-	地	PIN28	GND	-	地
PIN29	MGT_RX1_P	D9	差分	PIN30	MGT_TX3_P	B16	差分
PIN31	MGT_RX1_N	C9	差分	PIN32	MGT_TX3_N	A16	差分
PIN33	GND	-	地	PIN34	GND	-	地
PIN35	B0_L28_P	C19	差分	PIN36	MGT_RX0_P	D7	差分
PIN37	B0_L28_N	A19	差分	PIN38	MGT_RX0_N	C7	差分
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	B0_L30_N	C18	3.3V	PIN42	B0_L6_P	C4	3.3V
PIN43	B0_L30_P	D17	3.3V	PIN44	B0_L6_N	A4	3.3V
PIN45	B0_L26_N	D19	3.3V	PIN46	B0_L9_P	C5	3.3V
PIN47	B0_L26_P	D18	3.3V	PIN48	B0_L9_N	A5	3.3V
PIN49	GND	-	地	PIN50	GND	-	地
PIN51	B0_L25_N	F17	3.3V	PIN52	B0_L24_P	C17	3.3V
PIN53	B0_L25_P	G16	3.3V	PIN54	B0_L24_N	A17	3.3V
PIN55	B0_L16_N	F16	3.3V	PIN56	B0_L1_P	D4	3.3V
PIN57	B0_L16_P	E16	3.3V	PIN58	B0_L1_N	D5	3.3V
PIN59	GND	-	地	PIN60	GND	-	地
PIN61	B0_L15_N	F15	3.3V	PIN62	B0_L3_P	E5	3.3V
PIN63	B0_L15_P	F14	3.3V	PIN64	B0_L3_N	E6	3.3V
PIN65	B0_L14_P	H12	3.3V	PIN66	B0_L23_N	G15	3.3V
PIN67	B0_L14_N	G11	3.3V	PIN68	B0_L23_P	H14	3.3V
PIN69	GND	-	地	PIN70	GND	-	地
PIN71	B0_L13_N	F10	3.3V	PIN72	B0_L17_P	H13	3.3V
PIN73	B0_L13_P	G9	3.3V	PIN74	B0_L17_N	G13	3.3V
PIN75	B0_L10_N	F9	3.3V	PIN76	B0_L11_N	H11	3.3V
PIN77	B0_L10_P	G8	3.3V	PIN78	B0_L11_P	H10	3.3V

PIN79	B0_L7_N	F8	3.3V	PIN80	B0_L7_P	F7	3.3V
-------	---------	----	------	-------	---------	----	------

图 2-7-4 为 CON4 扩展口连接器的实物图，连接器的 Pin1 已经在板上用圆点标示出。

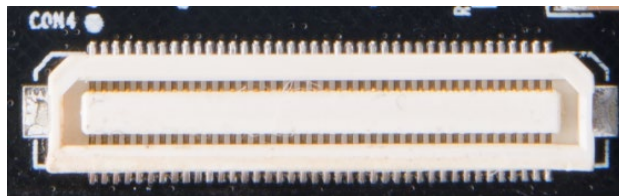


图 2-7-4 CON4 扩展口连接器的实物图

(八) 电源

P50 核心板供电电压为 VCCIN，输入电压为 5V，需通过连接器 CON2 供电，连接底板时通过底板供电。板上的电源设计示意图如下图 2-8-1 所示：

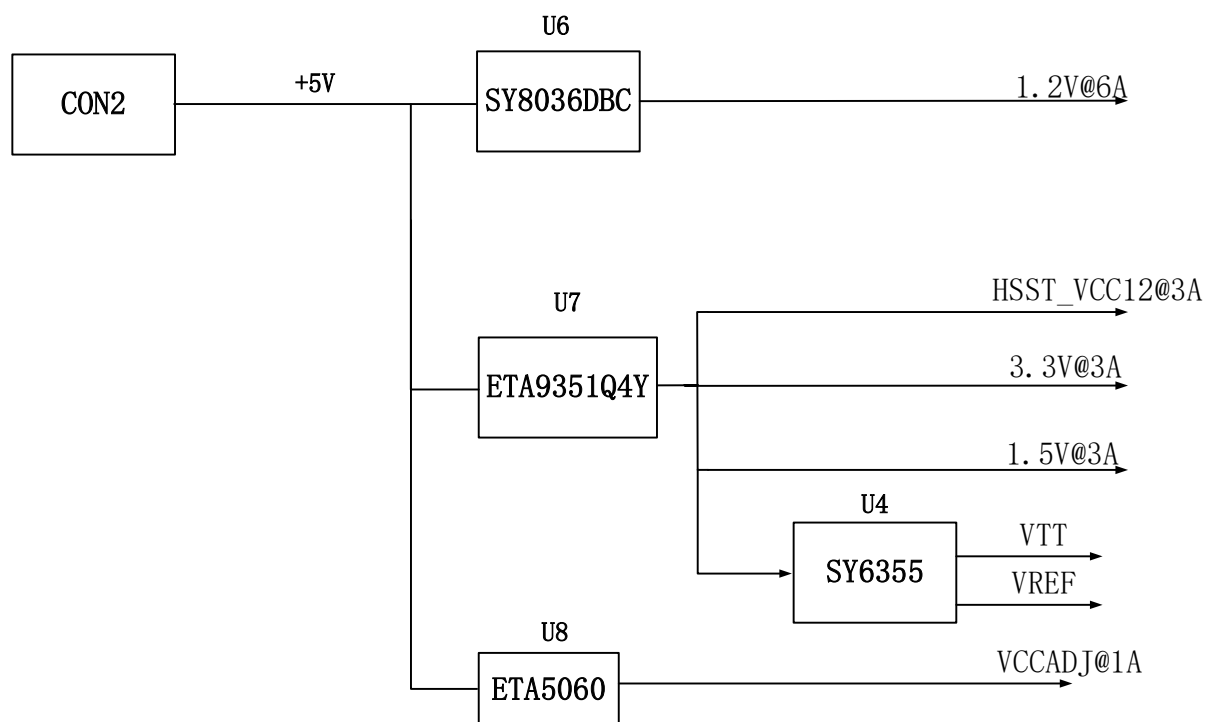
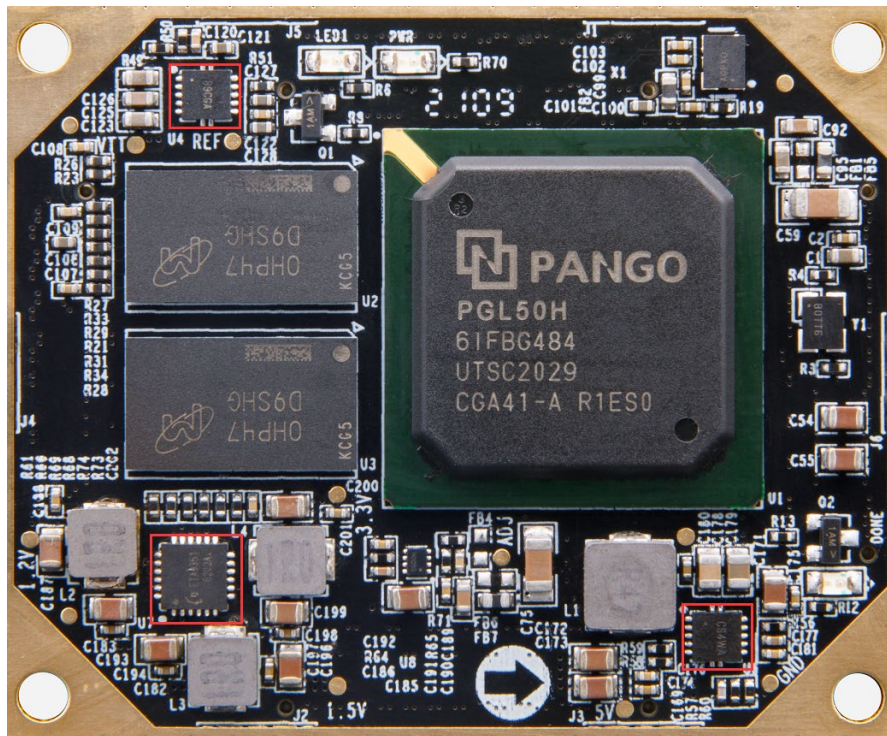


图 2-8-1 原理图中电源接口部分

核心板通过+5V 供电，通过 3 路 DC/DC 电源芯片 ETA9351Q4Y 和 SY8036DBC 转化成+3.3V, +1.5V, HSST_VCC12、+1.0V 4 路电源，其中+1.2V 的电流可高达 6A，其它 3 路输出电流可高达 3A。其中 VCCADJ 产生 VCCIO 的电压可调，VCCADJ 主要是对 FPGA 的 B0 和 B2 进行供电，用户可以通过修改电源电阻的阻值调整电压，使得 B0 和 B2 的 IO 适应不同的电压标准。HSST_VCC12 收发器的电源。1.5V 通过 TI 的 SY6355 生成 DDR3 需要的 VTT 和 VREF 电压。各个电源分配的功能如下表所示：

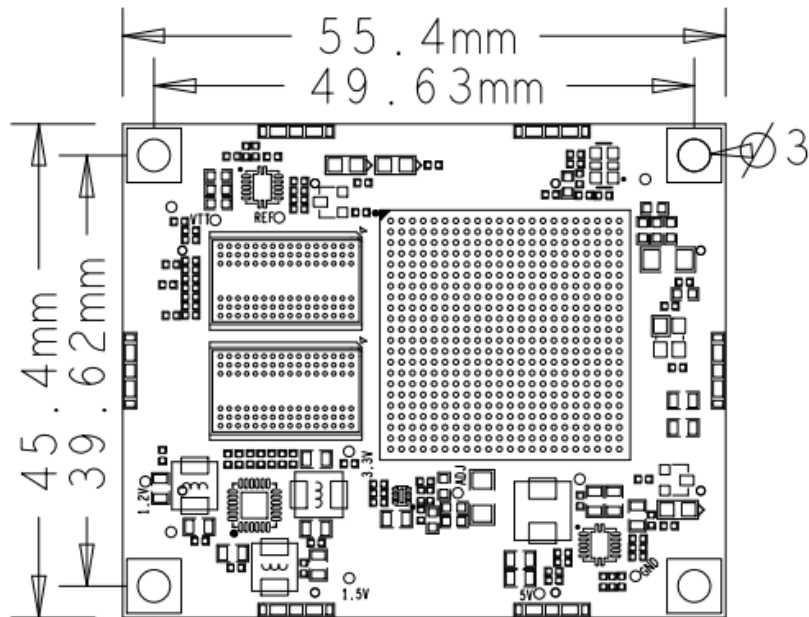
电源	功能
+3.3V	FPGA BANK B0、B1 和 B2 的 VCCIO, FPGA 辅助电源, QSIP FLASH, Clock 晶振
+1.0V	FPGA 的核心电压
+1.5V	DDR3, FPGA B3
VREF, VTT (+0.75V)	DDR3
VCCADJ (+2.5V)	可选择改变 FPGA B0、B2 标准电平
HSST_VCC12(+1.2V)	FPGA HSST 收发器

P50 核心板的电源电路在板上的分别实物图所下图 2-8-2 所示。

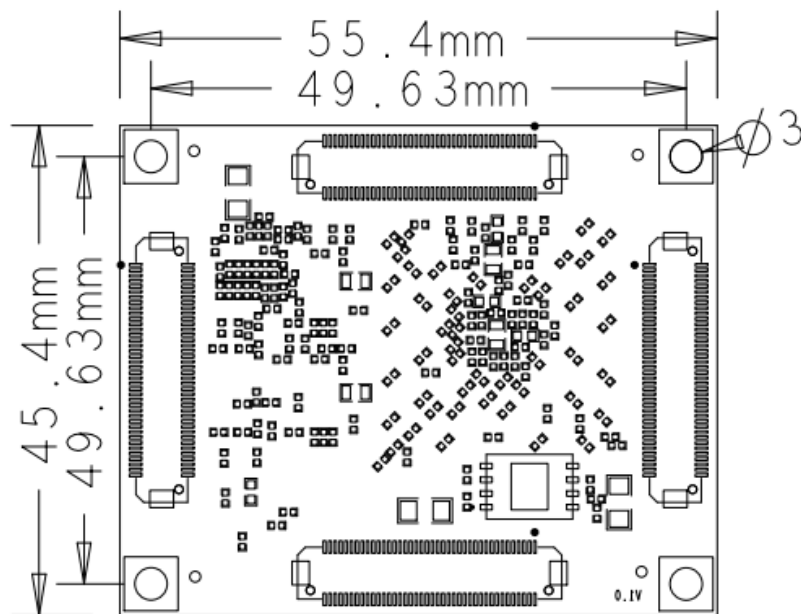


2-8-2 核心板电源部分实物图

(九) 结构图

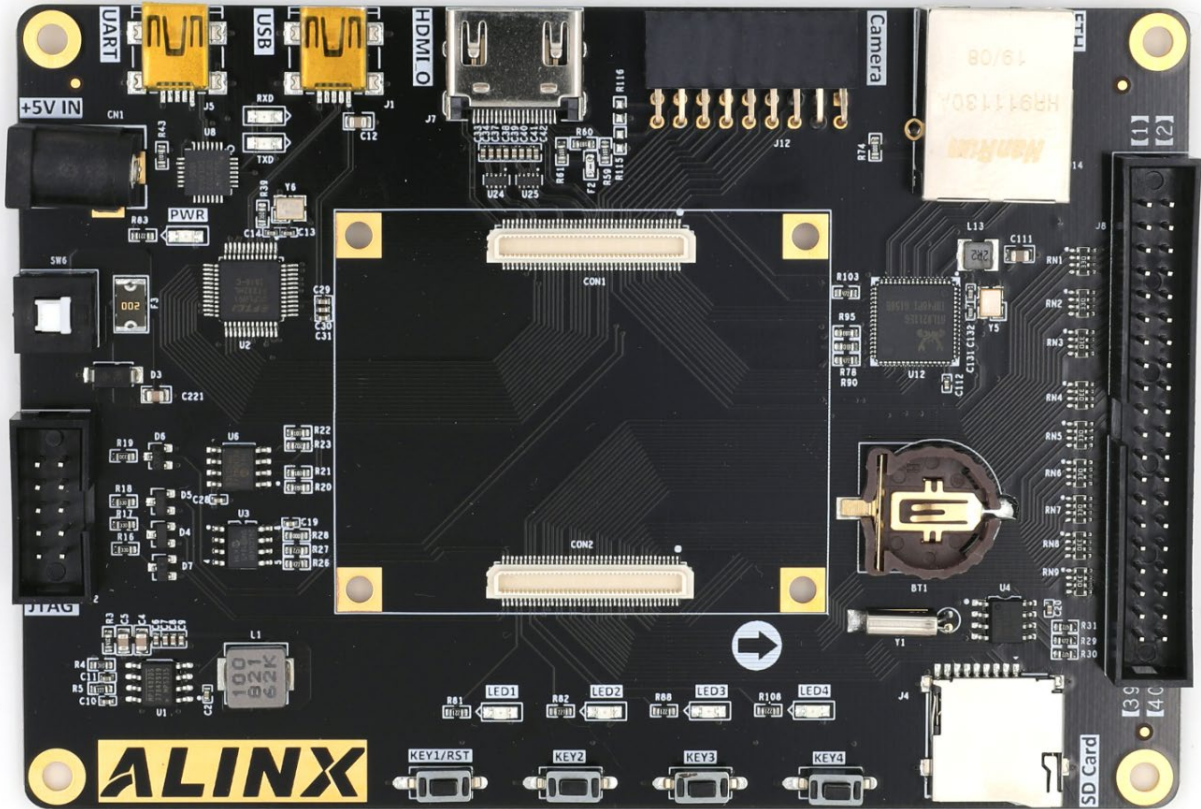


正面图 (Top View)



背面图 (Bottom View)

三、FPGA 扩展板



(一) 简介

通过前面的功能简介，我们可以了解到扩展板部分的功能

- 一路 10/100M/1000M 以太网 RJ-45 接口
- 一路 HDMI 视频输出接口
- 一路 USB2.0 通信接口
- 一路 USB Uart 通信接口
- SD 卡接口
- RTC 实时时钟
- EEPROM
- 一个 40 针扩展口
- 一个摄像头接口
- JTAG 调试口
- 4 个独立按键
- 4 个用户 LED 灯

(二) 千兆以太网接口

开发板上通过 Realtek RTL8211EG 以太网 PHY 芯片为用户提供网络通信服务。RTL8211EG 芯片支持 10/100/1000 Mbps 网络传输速率，通过 RGMII 接口跟 FPGA 进行数据通信。RTL8211EG 支持MDI/MDX 自适应，各种速度自适应，Master/Slave 自适应，支持 MDIO 总线进行 PHY 的寄存器管理。

RTL8211EG 上电会检测一些特定的 IO 的电平状态，从而确定自己的工作模式。下表描述了 GPHY 芯片上电之后的默认设定信息。

配置 Pin 脚	说明	配置值
PHYAD[2:0]	MDIO/MDC 模式的 PHY 地址	PHY Address 为 001
SELRGV	3.3V,2.5V,1.5/1.8V 电压选择	3.3V
AN[1:0]	自协商配置	(10/100/1000M)自适应
RX Delay	RX 时钟 2ns 延时	延时
TX Delay	TX 时钟 2ns 延时	延时
MODE	RGMII 或 GMII 选择	RGMII

当网络连接到千兆以太网时，FPGA 和 PHY 芯片 RTL8211EG 的数据传输时通过 RGMII 总线通信，传输时钟为 125Mhz,数据在时钟的上升沿和下降沿采样。接收时钟 E_RXC 由 PHY 芯片提供，发送时钟 E_GTXC 由 FPGA 提供，数据在时钟的上升沿采样。

当网络连接到百兆以太网时，FPGA 和 PHY 芯片 RTL8211EG 的数据传输时通过 MII 总线通信，传输时钟为 25Mhz。接收时钟 E_RXC 和发送时钟 E_TXC 都由 PHY 芯片提供，数据在时钟的上升沿采样。

图 3-2-1 为 FPGA 与以太网 PHY 芯片连接示意图:

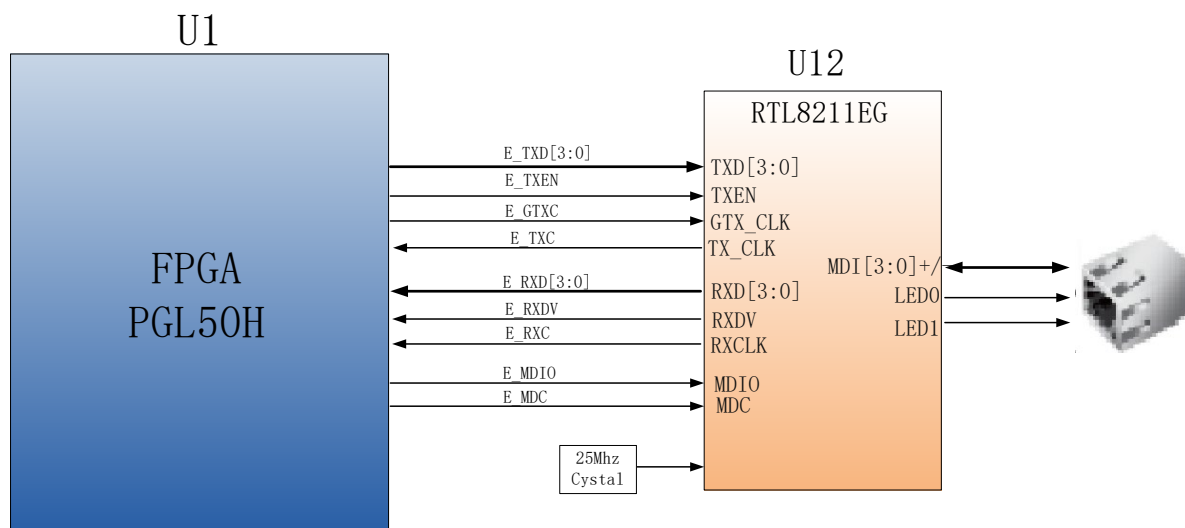


图 3-2-1 FPGA 与 PHY 芯片连接示意图

图 3-2-2 为以太网 PHY 芯片的实物图

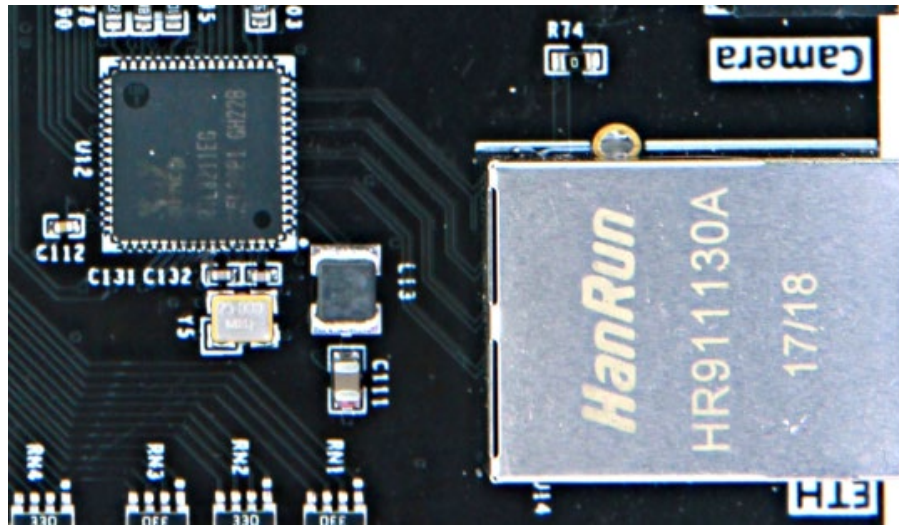


图 3-2-2 以太网 PHY 芯片实物图

以太网 PHY1 的 FPGA 引脚分配如下：

信号名称	FPGA 引脚号	备注
E_GTXC	N19	RGMII 发送时钟
E_TXD0	J22	发送数据 bit 0
E_TXD1	K17	发送数据 bit1
E_TXD2	L17	发送数据 bit2
E_TXD3	P18	发送数据 bit3
E_TXEN	J20	发送使能信号
E_TXC	P17	100M/10 时的发送时钟
E_RXC	M20	RGMII 接收时钟
E_RXD0	M22	接收数据 Bit0
E_RXD1	L20	接收数据 Bit1
E_RXD2	L22	接收数据 Bit2
E_RXD3	M19	接收数据 Bit3
E_RXDV	M21	接收数据有效信号
E_MDC	P19	MDIO 管理时钟
E_MDIO	R19	MDIO 管理数据

(三) HDMI 输出接口

HDMI 输出接口的实现, 是通过 FPGA 的 4 路 LVDS 差分信号 (3 路数据和一路时钟) 接口直接驱动 HDMI 输出, 为开发板提供不同格式的视频输出接口。

其中, HDMI 接口和 FPGA 之间的 LVDS 差分信号连接使用 AC Couple 的模式, 起到隔直的作用。另外在硬件设计上, 每对 LVDS 差分信号上增加了 TVS 保护管, 防止外面静电对 FPGA 的损坏。HDMI 输出接口的硬件连接如图 3-3-1 所示。

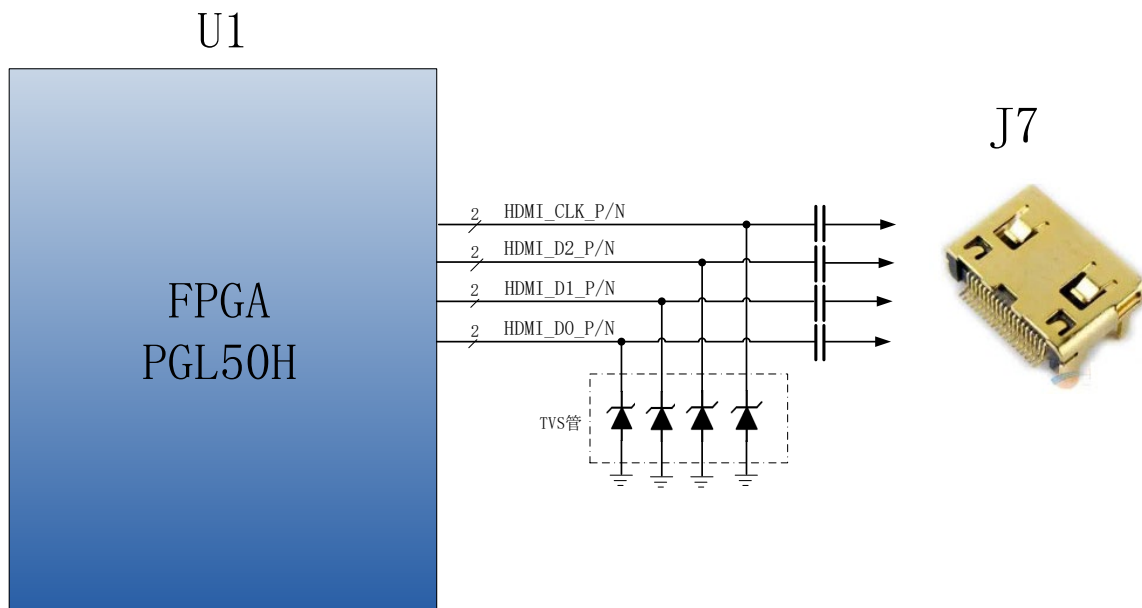


图 3-3-1 HDMI 输出接口原理图

HDMI 输出接口在扩展板的实物图如下图 3-3-2 所示:

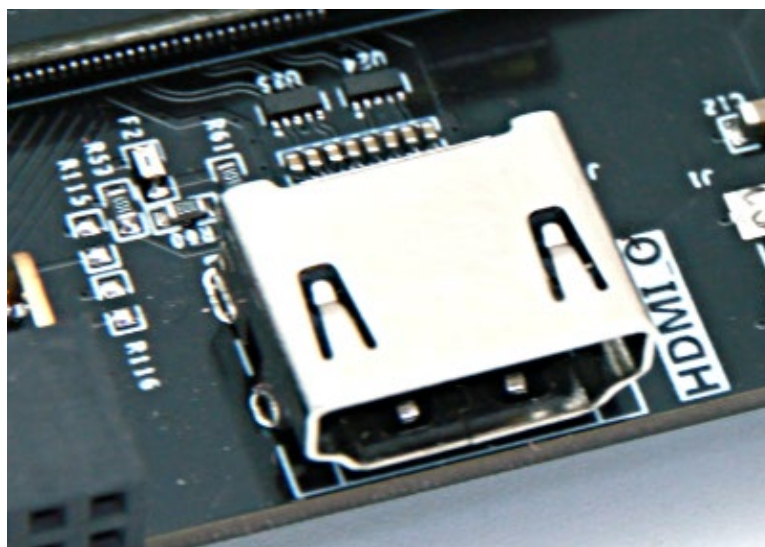


图 3-3-2 HDMI 输出接口实物图

FPGA 引脚分配:

引脚名称	FPGA 引脚
HDMI_CLK_N	B22
HDMI_CLK_P	B21
HDMI_D0_N	F22
HDMI_D0_P	F21
HDMI_D1_N	F20
HDMI_D1_P	G19
HDMI_D2_N	H20
HDMI_D2_P	J19

(四) USB2.0 通信接口

我们采用了 FTDI Chip 公司的 FT232H 单通道高速 USB 芯片为开发板实现和电脑之间的 USB2.0 数据通信。最高 USB2.0 高速通信 (480Mb/s) 和全速通信 (12Mb/s), 数据接口支持不同的数据通信模式 (FIFO, I2C, SPI, JTAG), 上电后读取外置的 EEPROM 配置内容来决定数据通信模式, 也可以通过 PC 方便的修改配置方式。USB 芯片的接口管脚的功能是复用的, 具体请参考 FT232H 的芯片手册。

USB 芯片 FT232H 的数据接口信号与 FPGA 的 IO 相连, 通过 FPGA 的编程来对 FT232H 进行数据通信, FT232H 的硬件连接是按照 FT245 同步 FIFO 接口方式连接的。如图 3-4-1 所示。

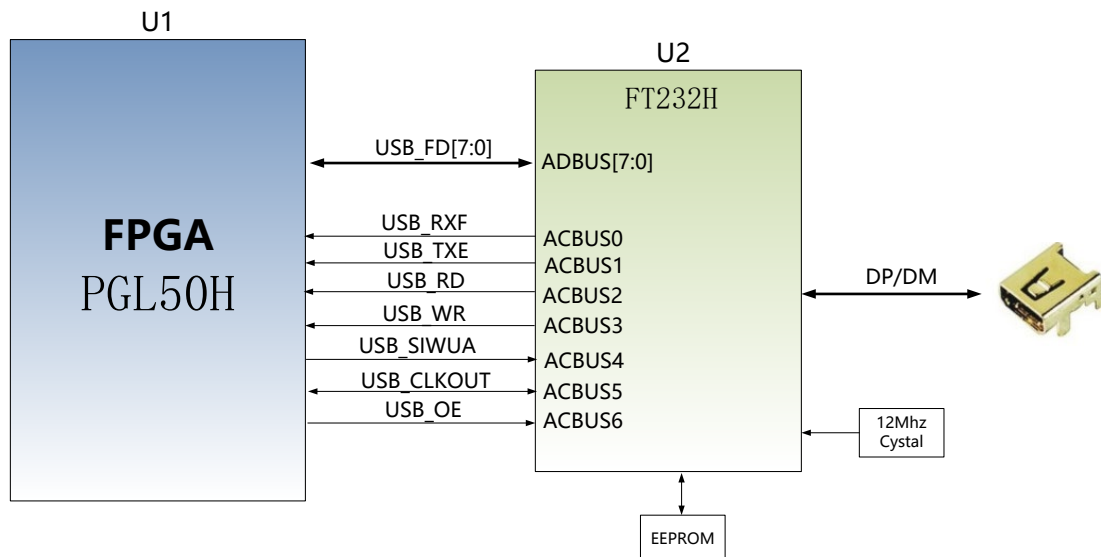


图 3-4-1 USB2.0 接口原理图

USB2.0 接口在扩展板的实物图如下图 3-4-2 所示:

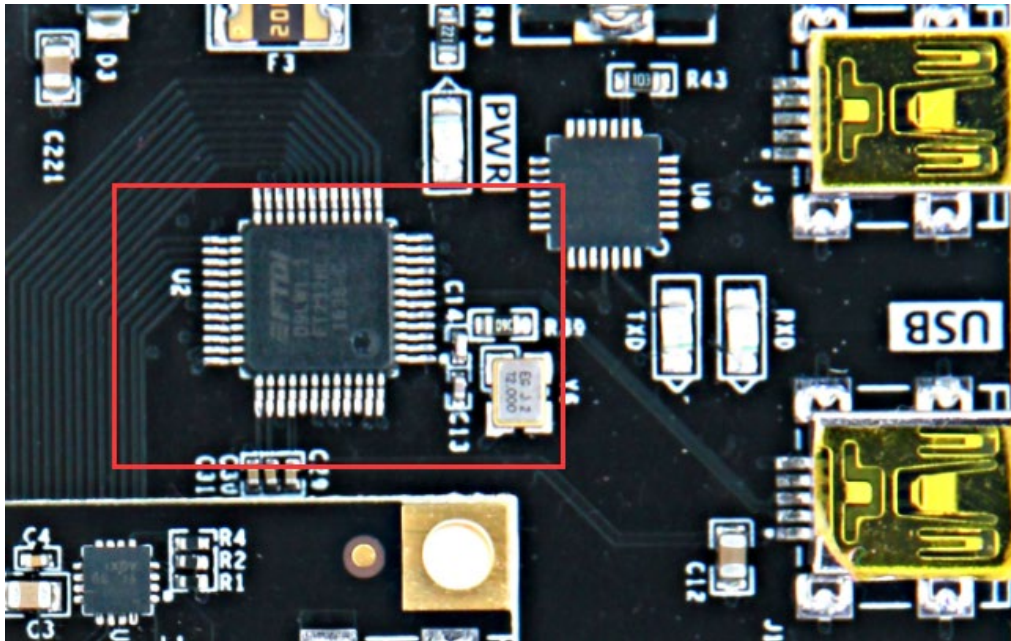


图 3-4-2 USB2.0 接口实物图

FPGA 引脚分配:

引脚名称	FPGA 引脚	说明
USB_FD0	T22	USB2.0 的数据 bit0
USB_FD1	T21	USB2.0 的数据 bit1
USB_FD2	N15	USB2.0 的数据 bit2
USB_FD3	M16	USB2.0 的数据 bit3
USB_FD4	P21	USB2.0 的数据 bit4
USB_FD5	P22	USB2.0 的数据 bit5
USB_FD6	F19	USB2.0 的数据 bit6
USB_FD7	F18	USB2.0 的数据 bit7
USB_RXF	H18	低表示接收 FIFO 数据可读
USB_TXE	H19	低表示发送 FIFO 数据可以写
USB_RD	K16	数据接收 FIFO 读信号, 低有效
USB_WR	L15	数据发送 FIFO 写信号, 低有效
USB_SIWUA	T20	立刻发送/唤醒功能
USB_CLKOUT	E20	60MHz 的时钟输出
USB_OE	U19	USB 数据输出使能

(五) SD 卡槽

SD 卡(Secure Digital Memory Card)是一种基于半导体闪存工艺的存储卡, 1999 年由日本松下主导概念, 参与者东芝和美国 SanDisk 公司进行实质研发而完成。2000 年这几家公司发起成立了 SD 协会(Secure Digital Association 简称 SDA), 阵容强大, 吸引了大量厂商参加。其中包括 IBM, Microsoft, Motorola, NEC、Samsung 等。在这些领导厂商的推动下, SD 卡已成为目前消费数码设备中应用最广泛的一种存储卡。

SD 卡是现在非常常用的存储设备, 我们扩展出来的 SD 卡, 支持 SPI 模式, 使用的 SD 卡为 MicroSD 卡。原理图如下图 3-5-1 所示。

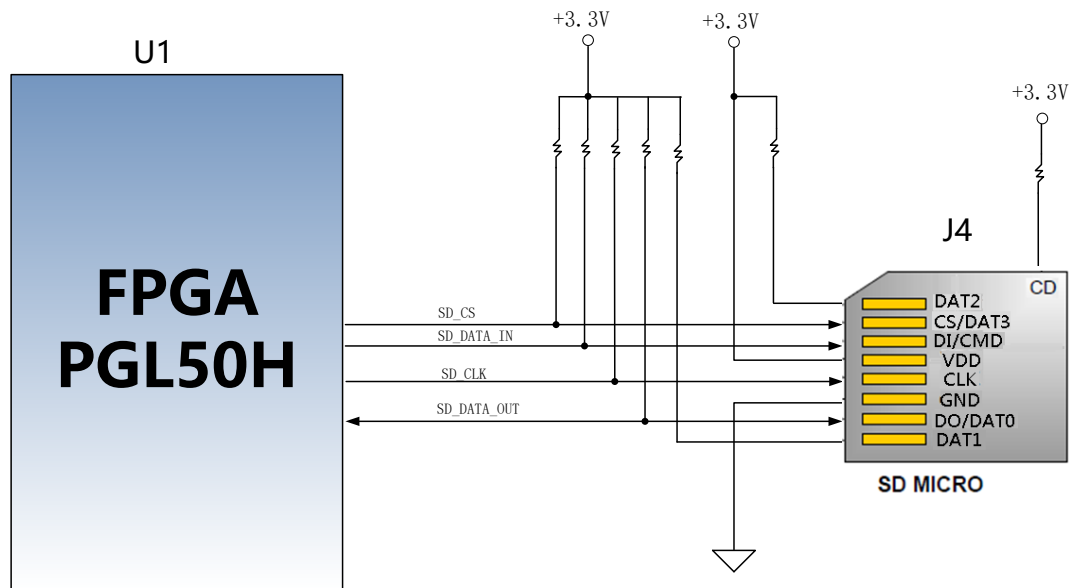


图 3-5-1 SD 卡槽原理图

下图为开发板的 SD 卡槽实物图

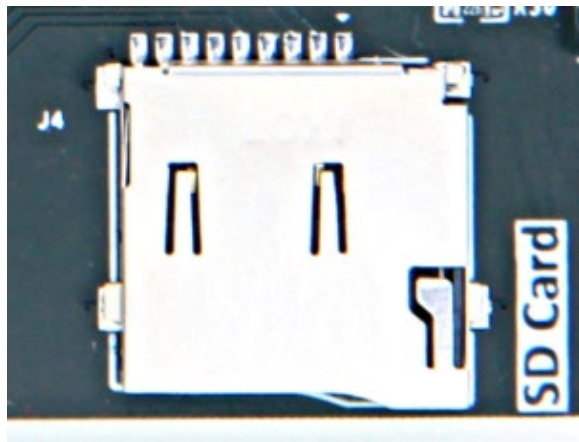


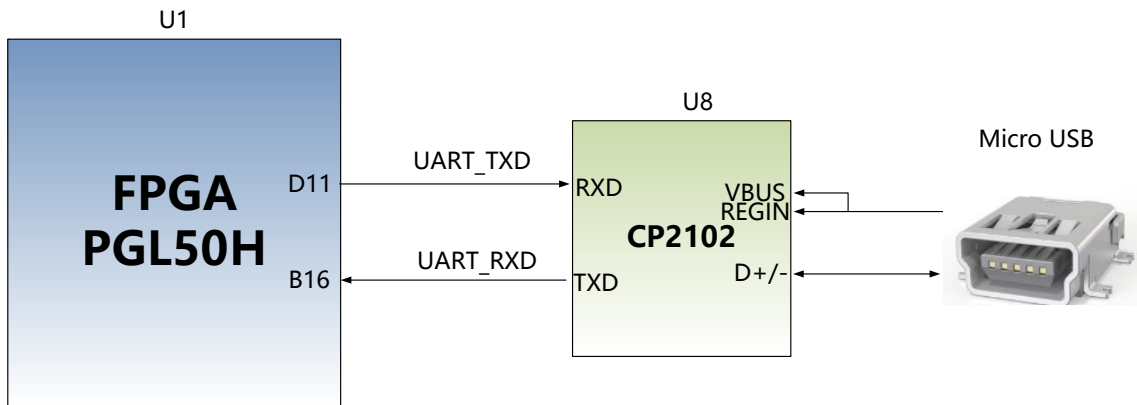
图 3-5-2 SD 卡槽实物图

SD 卡槽引脚分配

SPI 模式	
引脚名称	FPGA 引脚
SD_CS	W15
SD_CLK	Y18
SD_DATA_IN	Y16
SD_DATA_OUT	W17

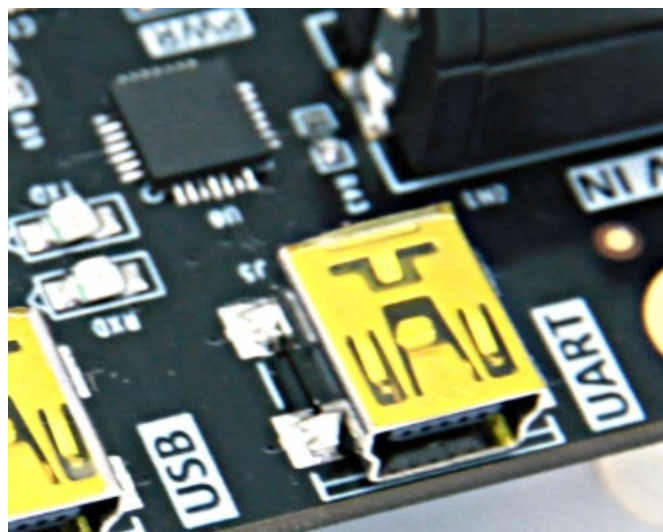
(六) USB 转串口

开发板包含了 Silicon Labs CP2102GM 的 USB-UAR 芯片, USB 接口采用 MINI USB 接口, 可以用一根 USB 线将它连接到上 PC 的 USB 口进行串口数据通信。USB Uart 电路设计的示意图如下图所示:



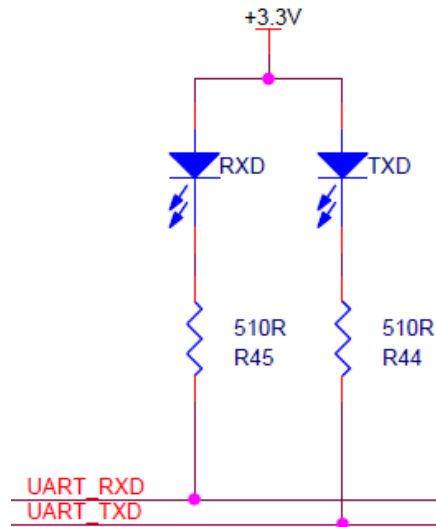
3-6-1 USB 转串口示意图

下图为 USB 转串口的实物图



3-6-2 USB 转串口实物图

同时对串口信号设置了 2 个 PCB 上丝印为 TXD 和 RXD 的 LED 指示灯，TXD 和 RXD LED 灯会指示串口是否有数据发出或者是否有数据接受，如下图所示，



3-6-3 USB 转串口信号指示灯

UART 转串口的 FPGA 引脚分配:

引脚名称	FPGA 引脚
UART_RXD	E22
UART_TXD	W22

(七) EEPROM 24LC04

开发板板载了一片 EEPROM，型号为 24LC04，容量为：4Kbit (2*256*8bit)，由 2 个 256byte 的 block 组成，通过 IIC 总线进行通信。板载 EEPROM 就是为了学习 IIC 总线的通信方式。EEPROM 的 I2C 信号连接的 FPGA 的 IO 口上。下图 3-7-1 为 EEPROM 的设计示意图

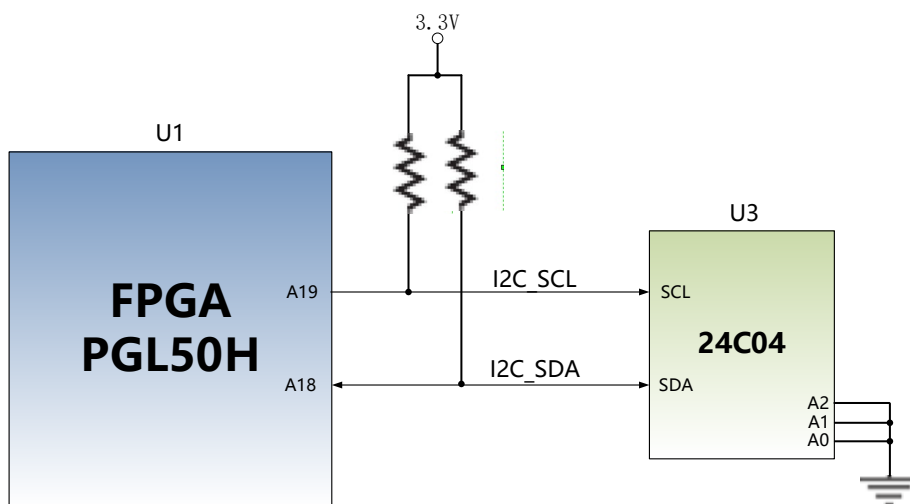


图 3-7-1 EEPROM 原理图部分

下图为 EEPROM 实物图

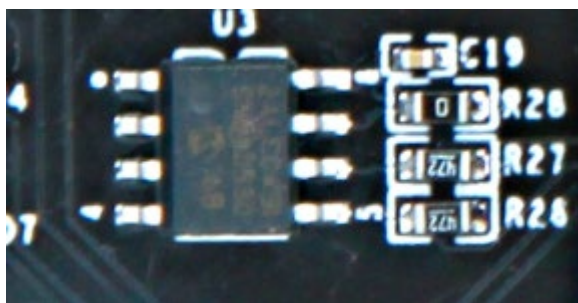


图 3-7-2 EEPROM 实物图

EEPROM 引脚分配:

引脚名称	FPGA 引脚
I2C_SCL	D22
I2C_SDA	D21

(八) 实时时钟 DS1302

开发板板载了一片实时时钟 RTC 芯片，型号 DS1302，他的功能是提供到 2099 年内的日历功能，年月日时分秒还有星期。如果系统中需要时间的话，那么 RTC 就需要涉及到产品中。他外部需要接一个 32.768KHz 的无源时钟，提供精确的时钟源给时钟芯片，这样才能让 RTC 可以准确的提供时钟信息给产品。同时为了产品掉电以后，实时时钟还可以正常运行，一般需要另外配一个电池给时钟芯片供电，图 3-8-2 中为 BT1 为电池座，我们将纽扣电池（型号 CR1220，电压为 3V）放入以后，当系统掉电，

纽扣电池还可以给 DS1302 供电，这样，不管产品是否供电，DS1302 都会正常运行，不会间断，可以提供持续不断的时间信息。RTC 的接口信号也是连接到 FPGA 的 IO 口上。图 3-8-1 为 DS1302 设计示意图：

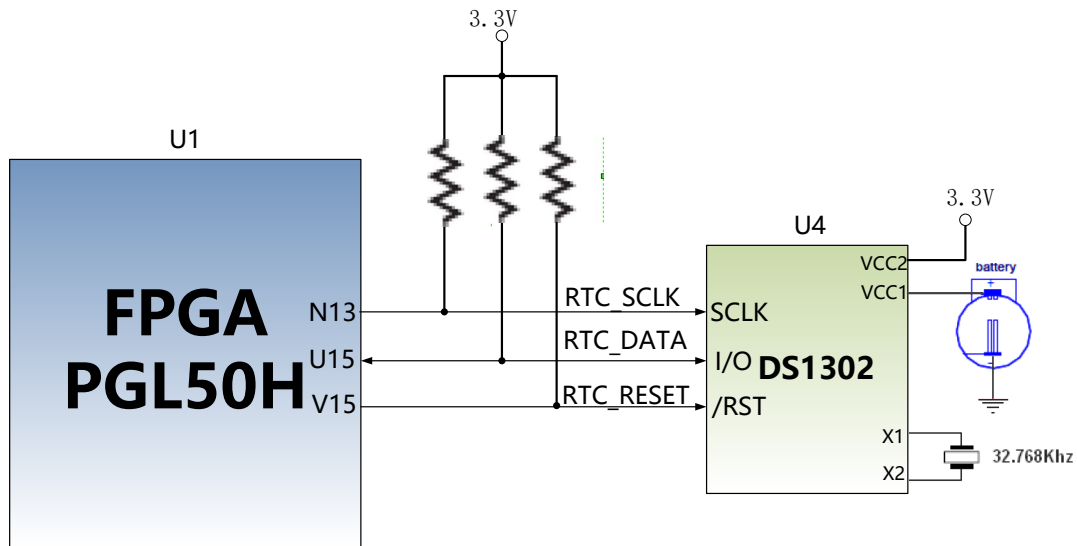


图 3-8-1 DS1302 设计示意图

图 3-8-2 为 DS1302 实物图

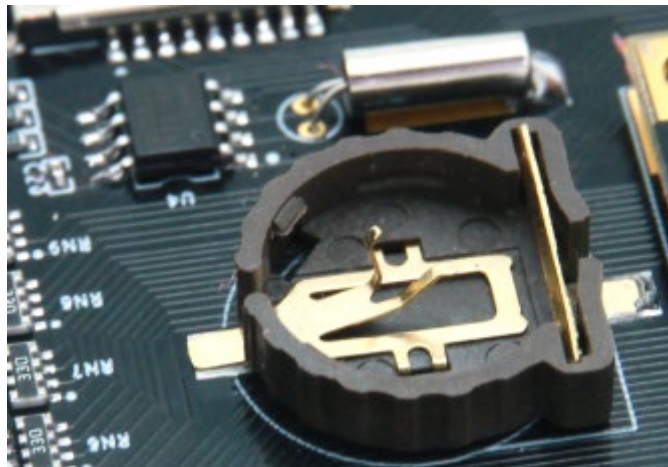


图 3-8-2 DS1302 实物图

DS1302 接口引脚分配：

引脚名称	FPGA 引脚
RTC_SCLK	T15
RTC_SDAT	U16
RTC_RESET	V15

(九) 扩展口

扩展板预留 1 个 2.54mm 标准间距的 40 针的扩展口 J8，用于连接各个模块或者用户自己设计的外面电路，扩展口有 40 个信号，其中，5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路。**切勿 IO 直接跟 5V 设备直接连接，以免烧坏 FPGA。如果要接 5V 设备，需要接电平转换芯片。**

在扩展口和 FPGA 连接之间串联了 33 欧姆的排阻，用于保护 FPGA 以免外界电压或电流过高造成损坏，扩展口(J8)的电路如下图 3-9-1 所示

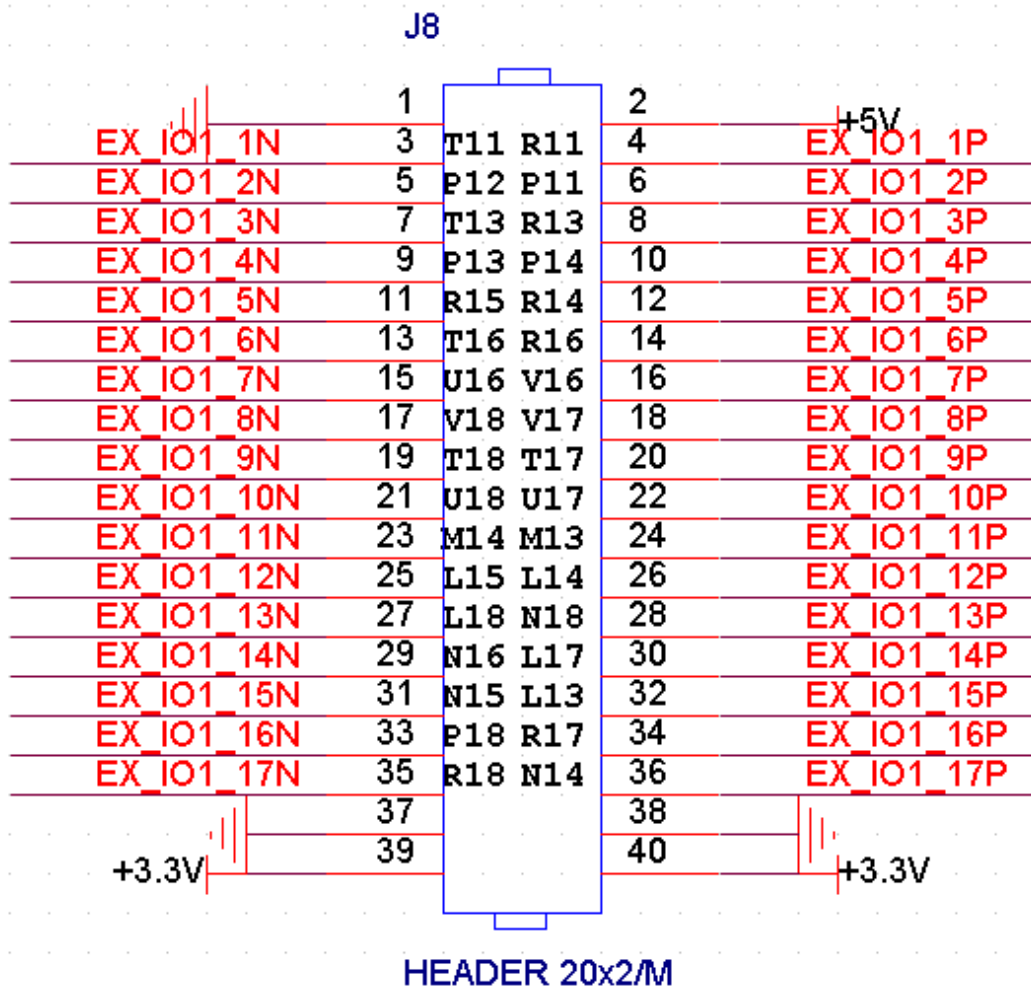


图 3-9-1 扩展口 J8 原理图

下图为 J8 扩展口实物图，扩展口的 Pin1，Pin2 已经在板上标示出。

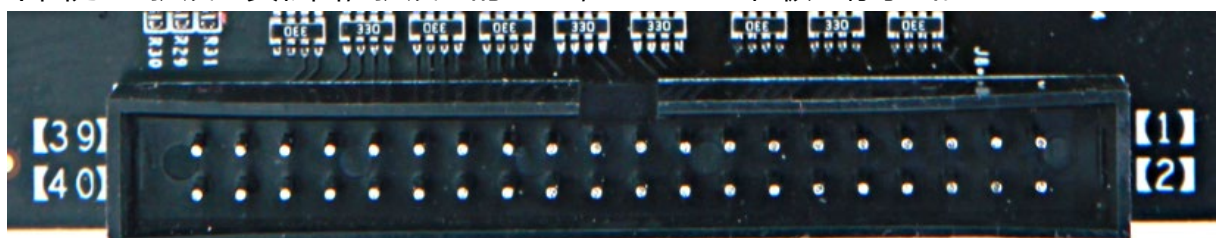


图 3-9-2 扩展口 J8 实物图

J8 扩展口 FPGA 的引脚分配

引脚编号	FPGA 引脚	引脚编号	FPGA 引脚
1	GND	2	+5V
3	Y12	4	W12
5	Y10	6	W10
7	V9	8	U9
9	T10	10	U10
11	W11	12	V11
13	AB10	14	AA10
15	W13	16	V13
17	Y9	18	AB9
19	R11	20	T11
21	AA16	22	AB16
23	AB14	24	AA14
25	Y15	26	AB15
27	AA18	28	AB19
29	AB17	30	AB18
31	Y17	32	AA12
33	AB11	34	U14
35	U13	36	U15
37	GND	38	GND
39	+3.3V	40	+3.3V

(十) JTAG 接口

开发板预留了一个标准的 10 针 2.54mm 间距的 JTAG 接口，用于下载 FPGA 程序或者固化程序到 FLASH。为了带电插拔造成对 FPGA 芯片的损坏，我们在 JTAG 信号上添加了保护二极管来保证信号的电压在 FPGA 接受的范围，避免 FPGA 的损坏。

JTAG Connector

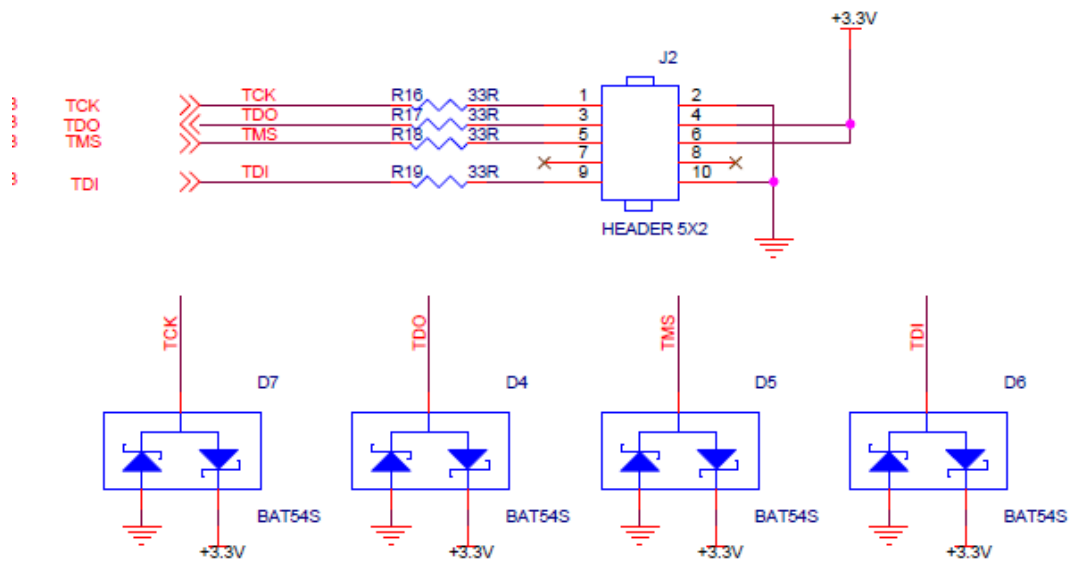


图 3-10-1 JTAG 接口原理图

下图为扩展板上 JTAG 接口实物图，JTAG 线插拔的时候注意不要热插拔。

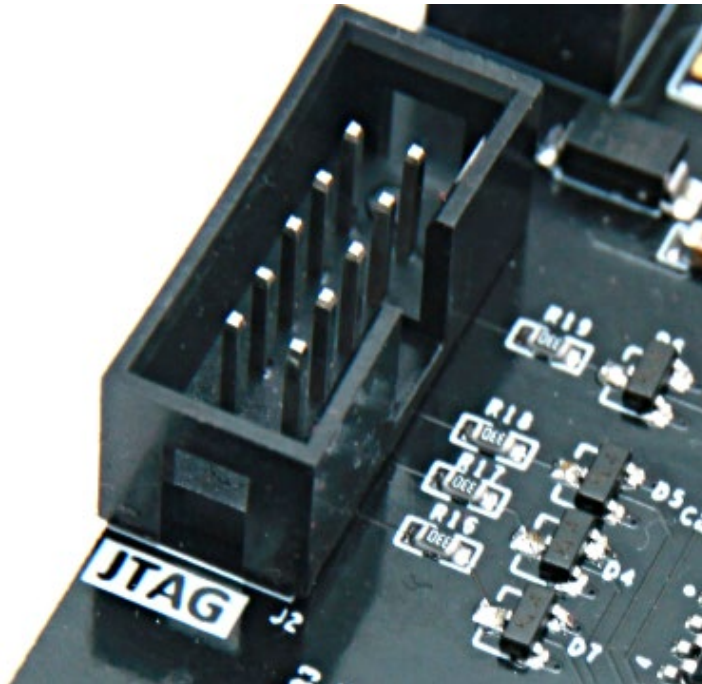


图 3-10-2 JTAG 接口实物图

(十一) 摄像头接口

开发板包含了一个 18 针的 CMOS 摄像头接口，用于连接 OV5640 摄像头模块，可以实现视频采集功能，采集以后，可以通过 HDMI 或者 VGA 接口连接显示器进行显示。关于摄像头选择，用户可以根据自己实际需要进行选购，但接口不接摄像头的时候，可以作为 FPGA 普通 IO 口使用。

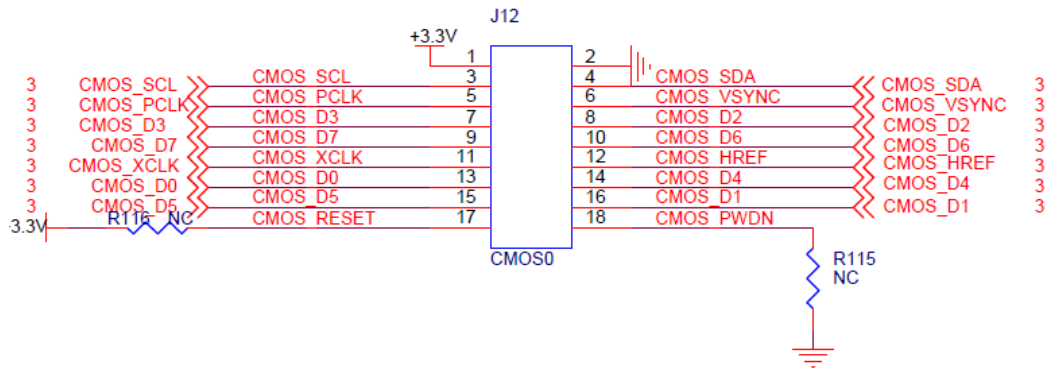


图 3-11-1 CMOS 摄像头接口原理图

下图为扩展板上摄像头接口实物图，

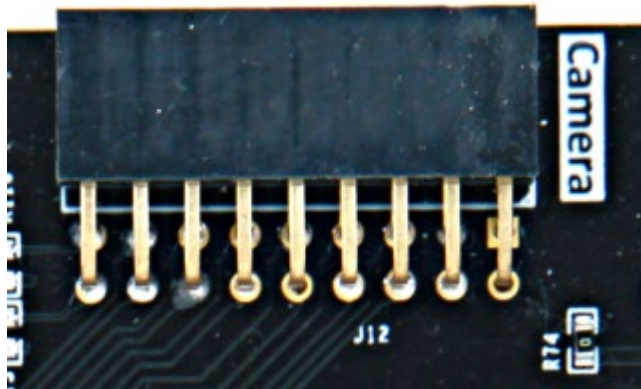


图 3-11-2 CMOS 摄像头接口实物图

下表为连接 500 万 CMOS 摄像头(AN5640 模组)的 FPGA 引脚分配:

引脚名称	FPGA 引脚
CMOS_D0	U20
CMOS_D1	Y21
CMOS_D2	C20
CMOS_D3	C22
CMOS_D4	U22
CMOS_D5	Y22
CMOS_D6	V21
CMOS_D7	V22
CMOS_HREF	R20
CMOS_PCLK	K21
CMOS_SCL	G22

CMOS_SDA	G20
CMOS_VSYNC	K22
CMOS_XCLK	R22
CMOS_RESET	-
CMOS_PWDN	-

(十二) 按键

扩展板上含有 4 个用户按键 KEY1~KEY4，其中 KEY1/RST 按键为后续程序中会用到的复位按键，与其他三个按键无本质区别，四个按键都连接到 FPGA 的普通的 IO 上，按键低电平有效，当按键按下，FPGA 的 IO 输入电压为低，当没有按键按下时，FPGA 的 IO 输入电压为高。按键部分电路如下图 3-12-1 所示

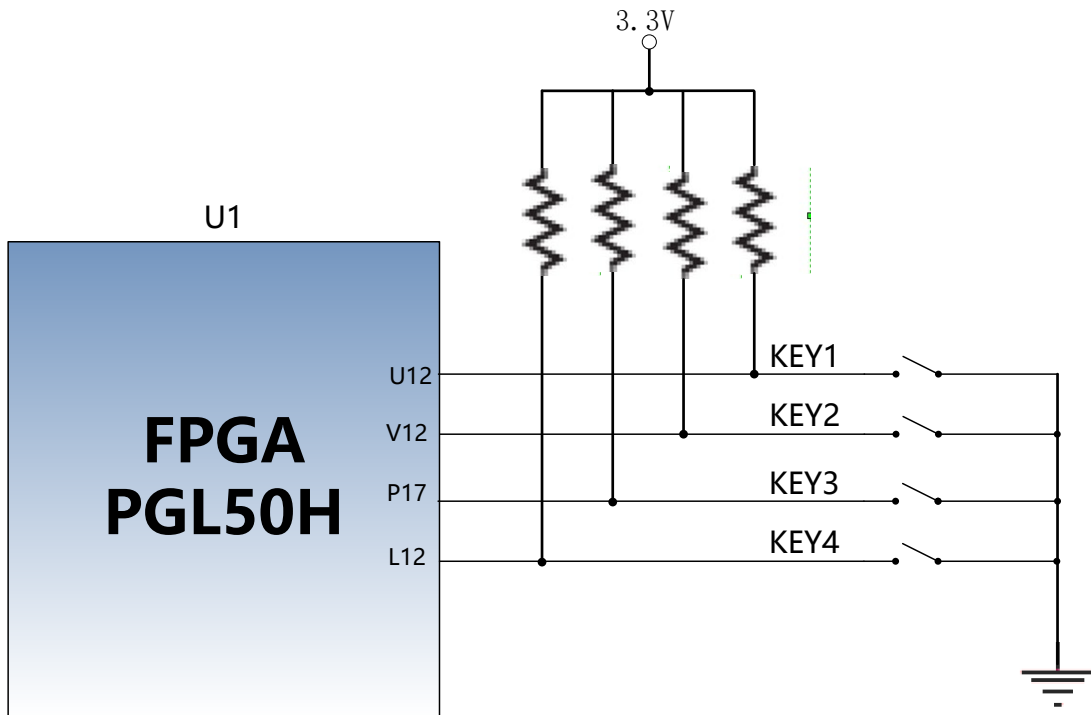


图 3-12-1 按键硬件设计示意图

图 3-12-2 为扩展板上 4 个用户按键实物图



图 3-12-2 按键实物图

按键 FPGA 引脚分配:

引脚名称	FPGA 引脚
KEY1	T12
KEY2	U12
KEY3	Y11
KEY4	AB12

(十三) LED 灯

扩展板上有 7 个红色 LED 灯，其中 1 个是电源指示灯(PWR)，2 个是 USB Uart 的数据接收和发送指示灯，4 个是用户 LED 灯 (LED1~LED4)。当开发板供电后，电源指示灯会亮起。用户 LED1~LED4 连接到 FPGA 的普通 IO，当连接用户 LED 灯的 IO 电压配置为低电平时，用户 LED 灯点亮，当连接 IO 电压为配置为高电平时，用户 LED 会被熄灭。

LED 灯硬件连接的示意图如图 3-13-1 所示

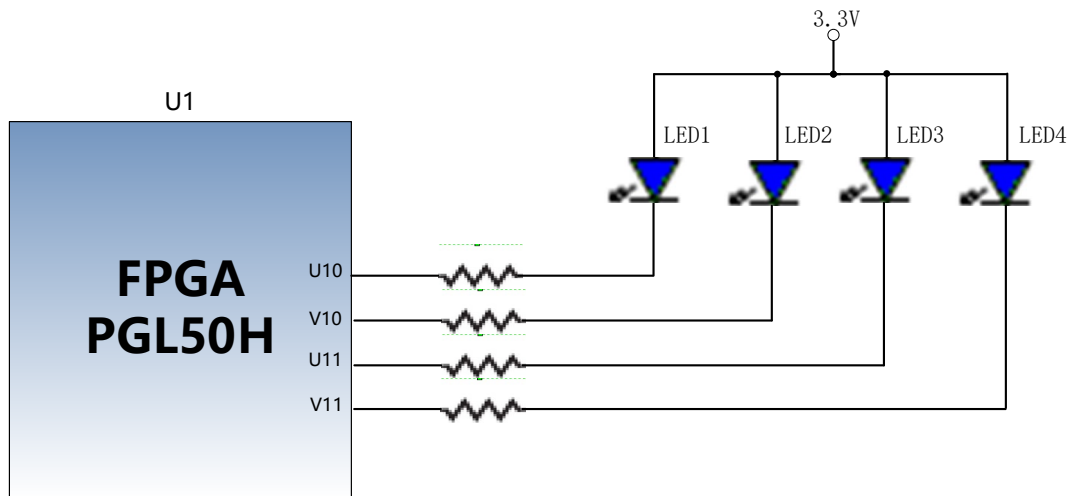


图 3-13-1 LED 灯硬件设计示意图

图 3-14-2 为扩展板上 4 个用户 LED 灯实物图



图 3-13-2 用户 LED 灯实物图

LED 灯 FPGA 引脚分配:

引脚名称	FPGA 引脚
LED1	W14
LED2	Y14
LED3	V17
LED4	W18

(十四) 供电电源

开发板的电源输入电压为+5V，请使用开发板自带的电源,不要用其他规格电源，以免损坏开发板。扩展板上通过 1 路 DC/DC 电源芯片 MP1482 把+5V 电压转化成 +3.3V 电源。另外扩展板上的+5V 电源通过板间连接器给核心板供电，扩展上的+3.3V 电源设计如下图 3-14-1 所示:

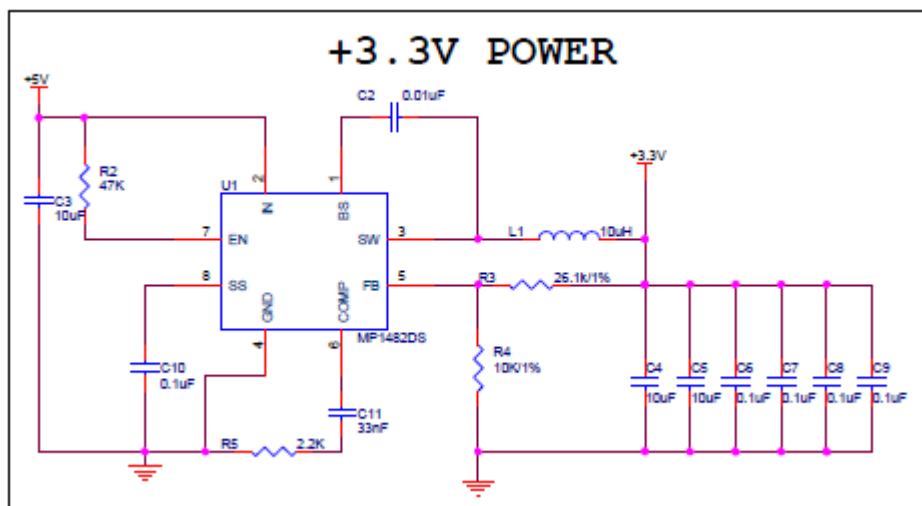


图 3-14-1 扩展板电源原理图

图 3-14-2 为扩展板上电源电路的实物图

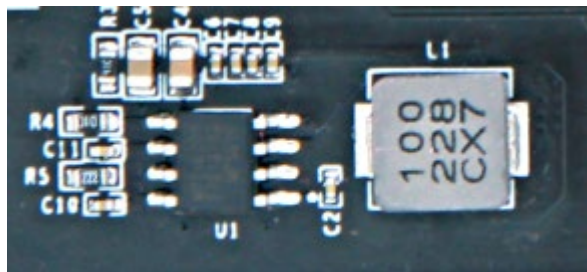


图 3-14-2 扩展板电源电路实物图

(十五) 结构图

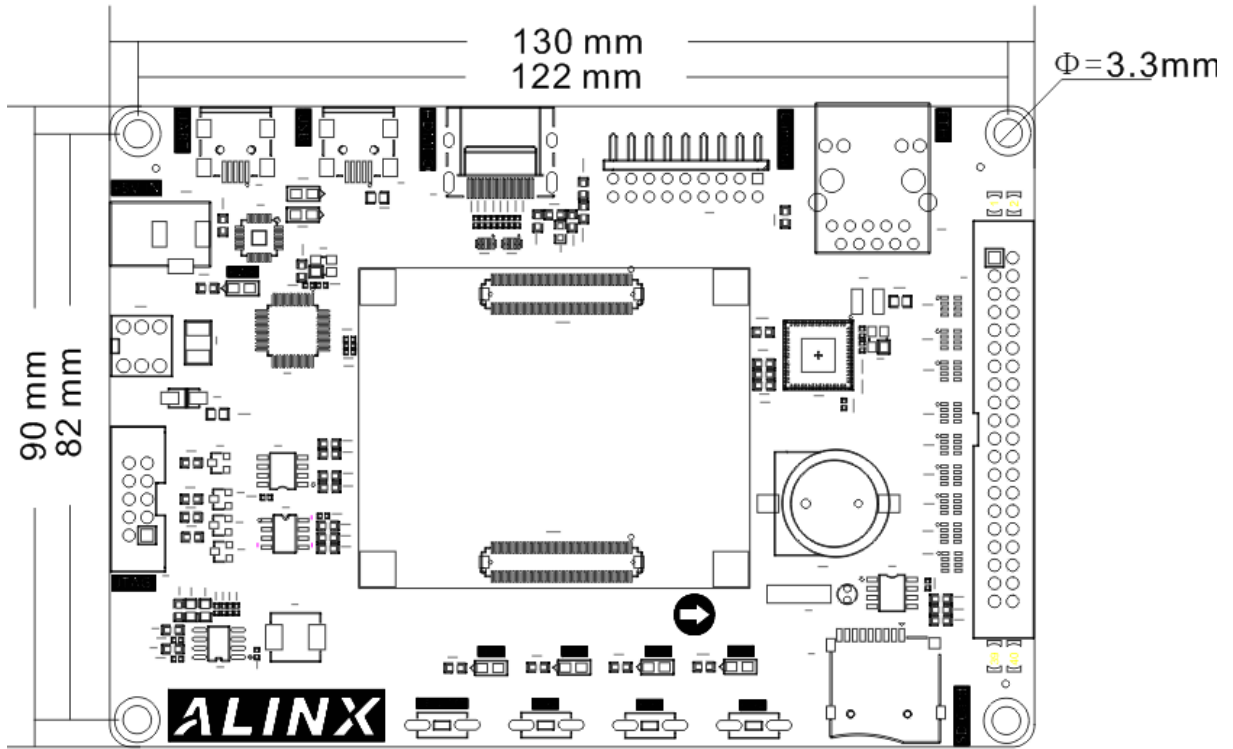


图 3-15-1 底板结构正面图 (Top View)