

Titan2 FPGA 开发平台 用户手册

AXP392 开发板



文档版本控制

文档版本	修改内容记录
REV1.0	创建文档

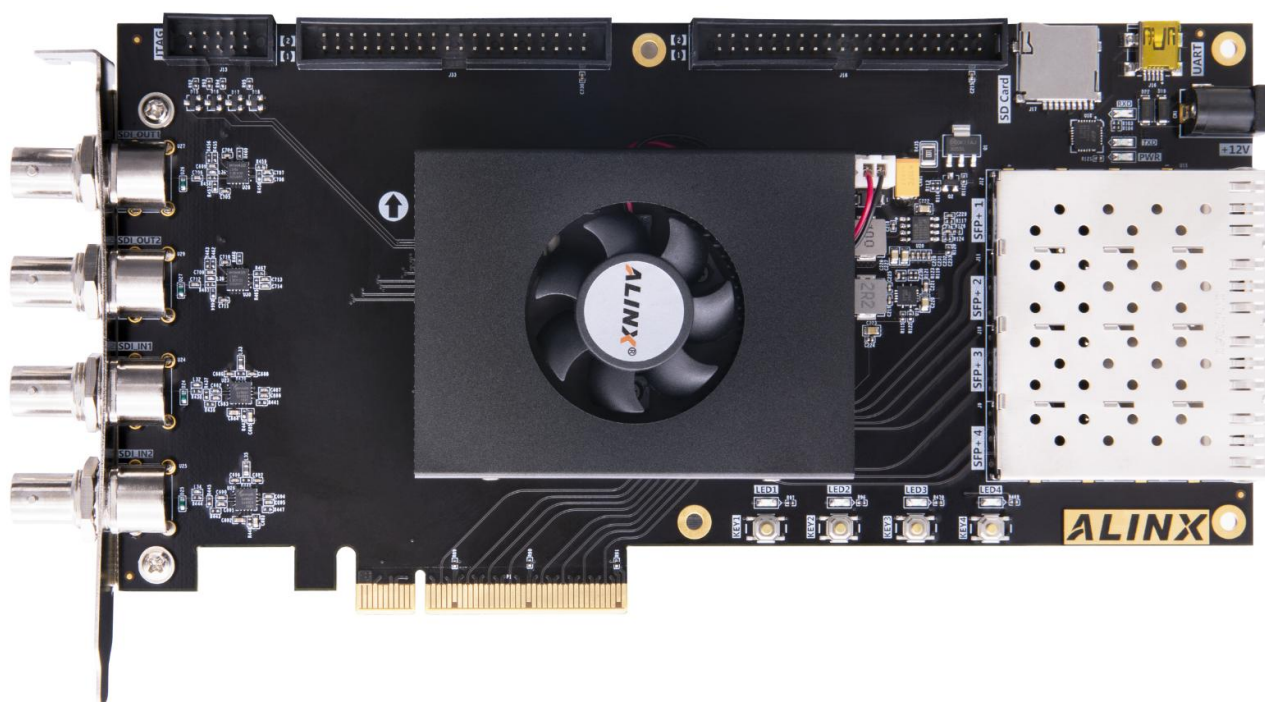
目 录

文档版本控制.....	2
目 录.....	3
一、 开发板简介.....	5
二、 P390 核心板.....	7
(一) 简介.....	7
(二) FPGA 芯片.....	8
(三) DDR4.....	9
(四) QSPI Flash.....	14
(五) 时钟配置.....	15
(六) LED 灯.....	17
(七) 电源.....	18
(八) 结构图.....	19
(九) 连接器管脚定义.....	19
三、 扩展板.....	28
(一) 简介.....	28
(一) 光纤接口.....	28
(二) PCIe 插槽.....	30
(三) SDI 输出接口.....	32
(四) SDI 输入接口.....	33
(五) USB 转串口.....	33
(六) SD 卡槽.....	34
(七) 40 针扩展口.....	35
(八) 按键和 LED 灯.....	37
(九) JTAG 调试口.....	38
(十) 电源.....	38
(十一) 结构尺寸图.....	39

芯驿电子科技（上海）有限公司 基于紫光同创 FPGA Titan2 开发平台的开发板（型号：AXP392）正式发布了，为了让您对此开发平台可以快速了解，我们编写了此用户手册。

这款 Titan2 FPGA 开发平台采用核心板加扩展板的模式，方便用户对核心板的二次开发利用。核心板使用紫光同创的 TITAN2 芯片 PG2T390HFFBG900 的解决方案，挂载了 4 片 2GB 的高速 DDR4 SDRAM 芯片和 1 片 128Mb 的 QSPI FLASH 芯片。

在底板设计上我们为用户扩展了丰富的外围接口，比如 1 个 PCIe x8 接口、4 路光纤接口、2 路 SDI 输出接口、2 路 SDI 输入接口、1 路 UART 串口接口、1 路 SD 卡接口、2 个 40 针扩展接口等等。满足用户各种高速数据交换，数据存储，视频传输处理以及工业控制的要求，是一款“专业级”的 FPGA 开发平台。为高速数据传输和交换，数据处理的前期验证和后期应用提供了可能。相信这样的一款产品非常适合从事 FPGA 开发的学生、工程师等群体。



一、 开发板简介

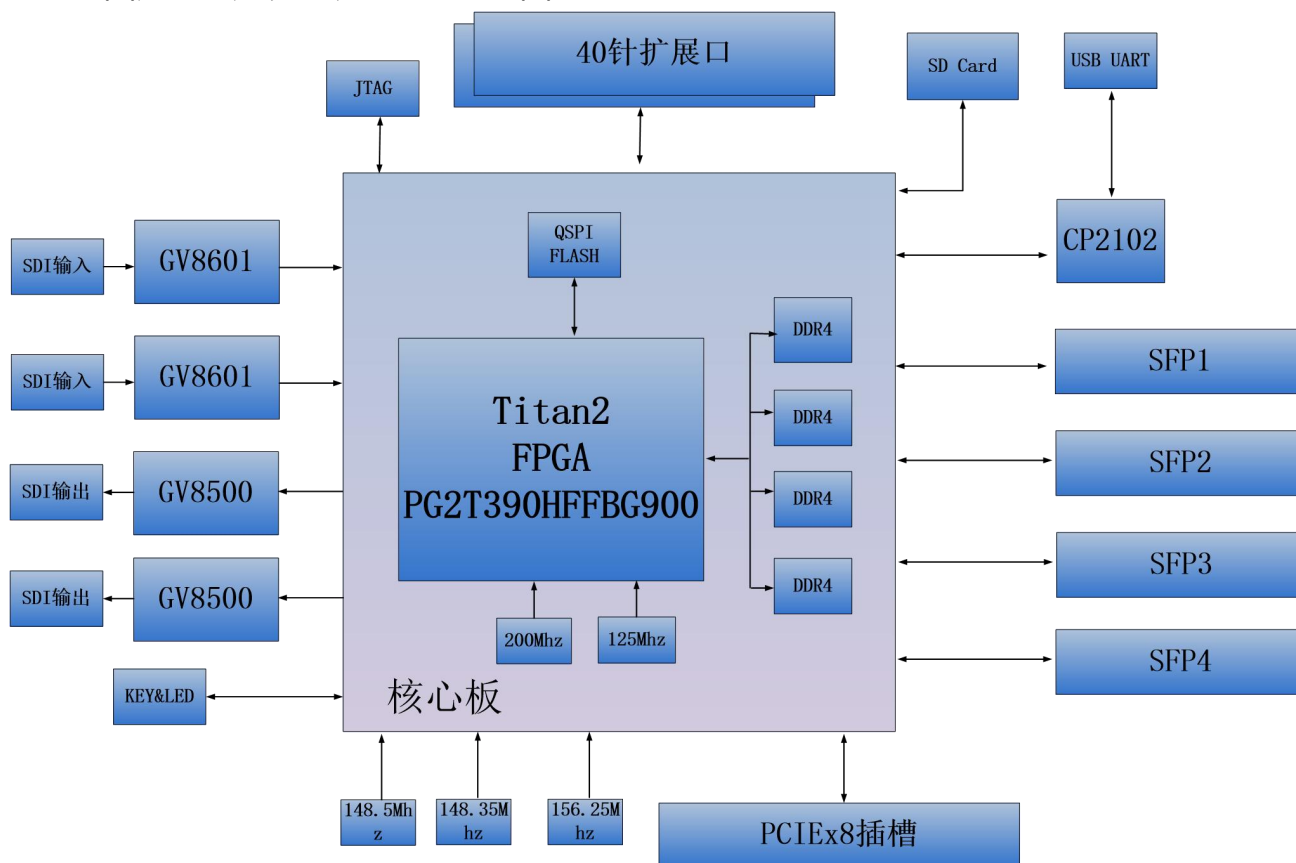
在这里，对这款 TITAN2 AXP392 开发平台进行简单的功能介绍。

开发板的整个结构，继承了我们一贯的核心板+扩展板的模式来设计的。核心板和扩展板之间使用高速板间连接器连接。

核心板主要由 PG2T390HFFBG900 + 4 个 DDR4 + QSPI FLASH 的最小系统构成。采用紫光同创的 TITAN2 系列的芯片，型号为 PG2T390HFFBG900。在 FPGA 芯片的 HP 端口上连接了 4 片 DDR4 存储芯片，每片 DDR4 容量高达 2GB 字节，组成 64 位的数据带宽。1 个 128Mb 的 QSPI FLASH 用来静态存储 FPGA 芯片的配置文件或者其它用户数据。

底板为核心板扩展了丰富的外围接口，其中包含 1 个 PCIe8 接口、4 路光纤接口、2 路 SDI 输出接口、2 路 SDI 输出接口、1 路 UART 串口接口、1 路 SD 卡接口、2 个 40 针扩展接口和一些按键 LED。

下图为整个开发系统的结构示意图：



通过这个示意图，我们可以看到，我们这个开发平台所能含有的接口和功能。

- FPGA 核心板

由 PG2T390HFFBG900 + 4 个 DDR4 + QSPI FLASH 的最小系统组成，另外有两个晶振

提供时钟，一个单端 200MHz 晶振提供给 FPGA 逻辑的 DDR 控制参考时钟，另外一个差分 125MHz 晶振提供给 HSST 收发器参考时钟。

- PCIe x8 接口

支持 PCI Express 2.0 标准，提供标准的 PCIe x8 高速数据传输接口，单通道通信速率可高达 5GBaud。

- 4 路 SFP 光纤接口

PG2T390HFFBG900 的 HSST 收发器的 4 路高速收发器连接到 4 个光模块的发送和接收，实现 4 路高速的光纤通信接口。每路的光纤数据通信接收和发送的速度高达 10Gb/s。

- SDI 视频输出

2 路 SDI 视频输出接口，我们选用了 SEMTECH 公司的 GV8500 SDI 驱动器芯片，支持不同格式的数据输出 HDcctv 1.0, HD-SDI(ST 292), 3G_SDI(ST-424)和 SD_SDI (ST259)。

- SDI 视频输入

2 路 SDI 视频输入接口，我们选用了 SEMTECH 公司的 GV8601 SDI 均衡器芯片，支持不同格式的数据输入 HDcctv 1.0, HD-SDI(ST 292), 3G_SDI(ST-424)和 SD_SDI (ST259)。输入接口自适应三种速率的视频接收。

- USB Uart 接口

1 路 Uart 转 USB 接口，用于和电脑通信，方便用户调试。串口芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片，USB 接口采用 MINI USB 接口。

- Micro SD 卡座

1 路 Micro SD 卡座，用于存储操作系统镜像和文件系统。

- 40 针扩展口

2 个 40 针 2.54mm 间距的扩展口，可以外接黑金的各种模块 (双目摄像头, TFT LCD 屏, 高速 AD 模块等等)。扩展口包含 5V 电源 1 路, 3.3V 电源 2 路, 地 3 路, IO 口 34 路。

- JTAG 调试口

1 个 10 针 2.54mm 标准的 JTAG 口,用于 FPGA 程序的下载和调试,用户可以通过 XILINX 下载器对 FPGA 系统进行调试和下载。

- LED 灯

7 个发光二极管 LED, 核心板上 2 个,底板上 7 个。核心板上 1 个电源指示灯; 1 个 DONE 配置指示灯。底板上有 1 个电源指示灯, 4 个用户指示灯和 2 个串口指示灯。

- 按键

底板上 4 个用户按键。

二、 P390 核心板

(一) 简介

P390(核心板型号, 下同)核心板, FPGA 芯片是基于紫光同创 FPGA Titan2 的主芯片 PG2T390HFFBG900 设计。核心板在 FPGA 的 HP 端口上连接了 4 片 DDR4 存储芯片组成 64 位的数据带宽, 每片 DDR4 容量高达 2GB。HP 端的内存带宽高达 100Gb/s (1600M*64bit)。另外核心板上也集成了 1 片 128MBit 大小的 QSPI FLASH, 用于启动存储配置和系统文件。

这款核心板的 4 个板对板连接器扩展出了 276 个 IO, 其中 BANK L1 和 BANK L2 的 92 个 IO 的电平可以通过更换核心板上的 LDO 芯片来修改, 满足用户不用电平接口的要求; 另外核心板也扩展出了 16 对高速收发器接口。对于需要大量 IO 的用户, 此核心板将是不错的选择。而且 IO 连接部分, FPGA 芯片到接口之间走线做了等长和差分处理, 并且核心板尺寸仅为 80*60 (mm), 对于二次开发来说, 非常适合。



图 2-1-1 P390 核心板正面图

(二) FPGA 芯片

前面已经介绍过了，我们所使用的 FPGA 型号为 **PG2T390HFFBG900**，属于紫光同创公司 Titan2 系列的产品，速度等级为 6，温度等级为工业级。此型号为 FFBG900 封装，900 个引脚。紫光同创 Titan2 FPGA 的芯片命名规则如下：

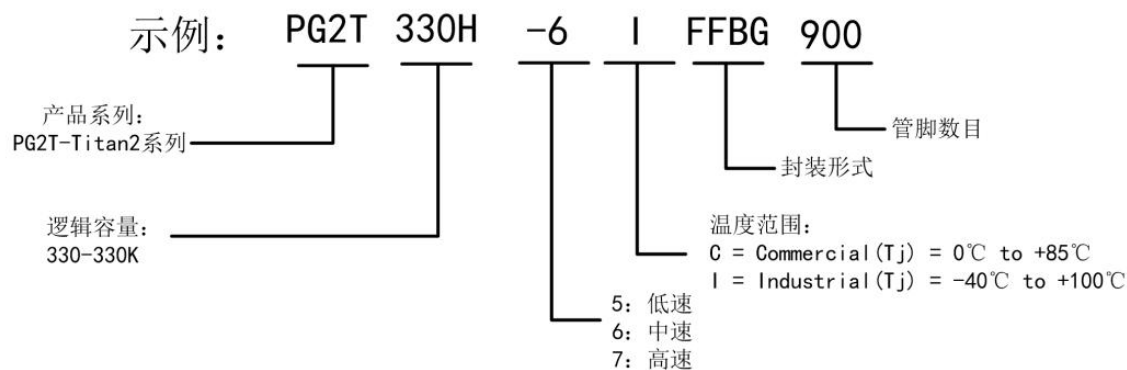


图 2-2-1 为开发板所用的 FPGA 芯片实物图。



图 2-2-1 FPGA 芯片实物

其中 FPGA 芯片 PG2T390H 的主要参数如下所示：

名称	具体参数
触发器(FF)	487200
查找表 LUT6(LUT6=1.5LUT4)	243600
DRM (36Kbits) 个数	480
APM 单元 (乘法器)	840
GPLL 个数	10
PPLL 个数	10
ADC 通道	专用模拟通道 1 路；复用模拟通道 11 路
PCIe Gen3 x8	1
HSSTHP	16 路, 13.125Gb/s max
速度等级	-6

温度等级

工业级

PGA 供电系统

Titan2 FPGA 电源有 V_{CC} , V_{CCA} , V_{CC_DRM} , V_{CCB} , V_{CCIO} , V_{VCC_HP} , $V_{HSSTAVCC}$, $V_{HSSTAVCCPLL}$, $V_{HSSTVCCA}$ 。 V_{CC} 为 FPGA 内核供电引脚, 需接 1.0V; V_{CCA} 为 FPGA 辅助供电引脚, 接 1.8V; V_{CC_DRM} 为 FPGA 的 DRM 供电电压, 为 1.0V; V_{CCB} 为密钥存储器备用电池电源电压需接 1.8V; V_{CCIO} 为 FPGA 的各个 BANK 的电压, 包含 L1、L2、L3、L4、L5、L6、L7、R5、R6、R7。L1、L2 的 V_{CCIO} 出厂设置为 2.5V, 用户可根据需要更改 BANK 的电平; L3、L4、L5、L6、L7 供电电压为 +3.3V; R5、R6、R7 因为需要连接 DDR4, BANK 的电压连接的是 1.2V; V_{VCC_HP} 为 FPGA 的 HP IO 的逻辑电源供电电压, 需接 1.0V; $V_{HSSTAVCC}$ 为 FPGA 内部高速串行收发器 HSST 模拟电源电压, 接 1.0V; $V_{HSSTAVCCPLL}$ 为 HSST PLL 模拟电源电压, 接 1.2V; $V_{HSSTVCCA}$ 为 HSST 的 H PLL 辅助模拟电源电压, 接 1.8V。

Titan2 FPGA 系统要求上电顺序分别为先 V_{CC} 供电, 再是 V_{CC_DRM} , 然后是 V_{CCA} , 最后为 V_{CCIO} 。断电的顺序则相反。

(三) DDR4

P390 开发板上配有 4 片 Micron(美光) 的 2GB 的 DDR4 芯片, 型号为 MT40A1G16KD-062E, 连接在 FPGA 的 HP 端, 组成 64 位数据总线带宽和 8GB 的容量。DDR4 SDRAM 的在 FPGA 端的最高运行数据速率 1866Mbps, 4 片 DDR4 存储系统直接连接到了 BANK R5、R6、R7 的存储器接口上。DDR4 SDRAM 的具体配置如下表 2-3-1 所示。

表 2-3-1 DDR4 SDRAM 配置

位号	芯片型号	容量	厂家
U15,U16,U17,U18	MT40A1G16KD-062E	1G x 16bit	Micron

DDR4 的硬件设计需要严格考虑信号完整性, 我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻, 走线阻抗控制, 走线等长控制, 保证 DDR4 的高速稳定的工作。

FPGA 端的 DDR4 的硬件连接方式如图 2-3-1 所示:

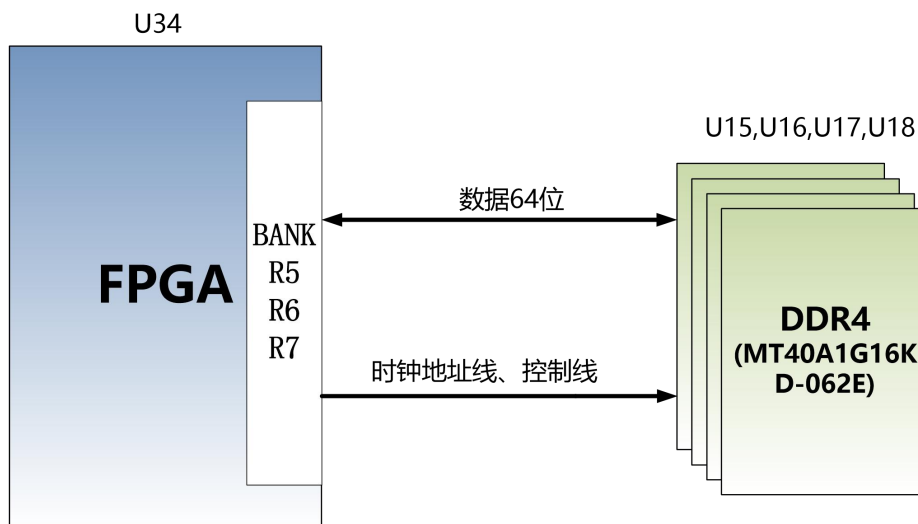


图2-3-1 DDR4 DRAM原理图部分

图 2-3-2 为开发板的 4 片 DDR4 DRAM 实物图



图 2-3-2 4 片 DDR4 DRAM 实物图

DDR4 SDRAM 引脚分配:

信号名称	引脚号
DDR4_D0	AK1
DDR4_D1	AJ4
DDR4_D2	AJ2

DDR4_D3	AJ3
DDR4_D4	AJ1
DDR4_D5	AH6
DDR4_D6	AH2
DDR4_D7	AH5
DDR4_D8	AF2
DDR4_D9	AF6
DDR4_D10	AF1
DDR4_D11	AE5
DDR4_D12	AE1
DDR4_D13	AF5
DDR4_D14	AE4
DDR4_D15	AF3
DDR4_D16	AD3
DDR4_D17	AD6
DDR4_D18	AC2
DDR4_D19	AC4
DDR4_D20	AC1
DDR4_D21	AC7
DDR4_D22	AD4
DDR4_D23	AE6
DDR4_D24	AJ8
DDR4_D25	AF7
DDR4_D26	AJ6
DDR4_D27	AG7
DDR4_D28	AK6
DDR4_D29	AF8
DDR4_D30	AK5
DDR4_D31	AK8
DDR4_D32	AE15
DDR4_D33	AA16
DDR4_D34	AB15
DDR4_D35	Y15
DDR4_D36	AD14
DDR4_D37	Y16

DDR4_D38	AC14
DDR4_D39	AA15
DDR4_D40	AG18
DDR4_D41	AH19
DDR4_D42	AE19
DDR4_D43	AK19
DDR4_D44	AF18
DDR4_D45	AG19
DDR4_D46	AF17
DDR4_D47	AJ19
DDR4_D48	AD16
DDR4_D49	AD18
DDR4_D50	AD17
DDR4_D51	AE18
DDR4_D52	AB17
DDR4_D53	AB19
DDR4_D54	AA18
DDR4_D55	AC19
DDR4_D56	AF15
DDR4_D57	AH17
DDR4_D58	AG15
DDR4_D59	AK16
DDR4_D60	AK15
DDR4_D61	AJ17
DDR4_D62	AH15
DDR4_D63	AE16
DDR4_DM0	AH4
DDR4_DM1	AE3
DDR4_DM2	AC5
DDR4_DM3	AK4
DDR4_DM4	AA17
DDR4_DM5	AD19
DDR4_DM6	AB18
DDR4_DM7	AG14
DDR4_DQS0_N	AH1

DDR4_DQS0_P	AG2
DDR4_DQS1_N	AG3
DDR4_DQS1_P	AG4
DDR4_DQS2_N	AD1
DDR4_DQS2_P	AD2
DDR4_DQS3_N	AJ7
DDR4_DQS3_P	AH7
DDR4_DQS4_N	AC15
DDR4_DQS4_P	AC16
DDR4_DQS5_N	AK18
DDR4_DQS5_P	AJ18
DDR4_DQS6_N	Y18
DDR4_DQS6_P	Y19
DDR4_DQS7_N	AJ16
DDR4_DQS7_P	AH16
DDR4_A0	AB10
DDR4_A1	AA12
DDR4_A2	AB9
DDR4_A3	AJ9
DDR4_A4	AD8
DDR4_A5	AA10
DDR4_A6	AE8
DDR4_A7	AB8
DDR4_A8	Y11
DDR4_A9	AC9
DDR4_A10	AC10
DDR4_A11	AA13
DDR4_A12	AE9
DDR4_A13	AA8
DDR4_ACT_B	AC12
DDR4_BA0	AD9
DDR4_BA1	AG9
DDR4_BG0	AC11
DDR4_CAS_B	AK9
DDR4_CKE	AF10

DDR4_CLK_N	AF11
DDR4_CLK_P	AE11
DDR4_CS_B	AK11
DDR4_OTD	AH9
DDR4_PAR	Y10
DDR4_RAS_B	AB12
DDR4_RST	AA11
DDR4_WE_B	AE10

(四) QSPI Flash

核心板配有一片 128MBit 大小的 Quad-SPI FLASH 芯片，型号为 GD25Q128，它使用 3.3V CMOS 电压标准。由于 QSPI FLASH 的非易失特性，在使用中，它可以存储 FPGA 的配置 Bin 文件以及其它的用户数据文件。QSPI FLASH 的具体型号和相关参数见表 2-4-1。

位号	芯片类型	容量	厂家
U11	GD25Q128	128Mbit	Numonyx

表2-4-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 FPGA 芯片的的专用管脚上，其中时钟管脚连接到专用 BANK 的 CFG_CCLK0 上，其它数据和片选信号分别连接到 BANKL5 的 D00~D03 和 FCS 管脚上。图 2-4-1 为 QSPI Flash 和 FPGA 芯片的连接示意图。

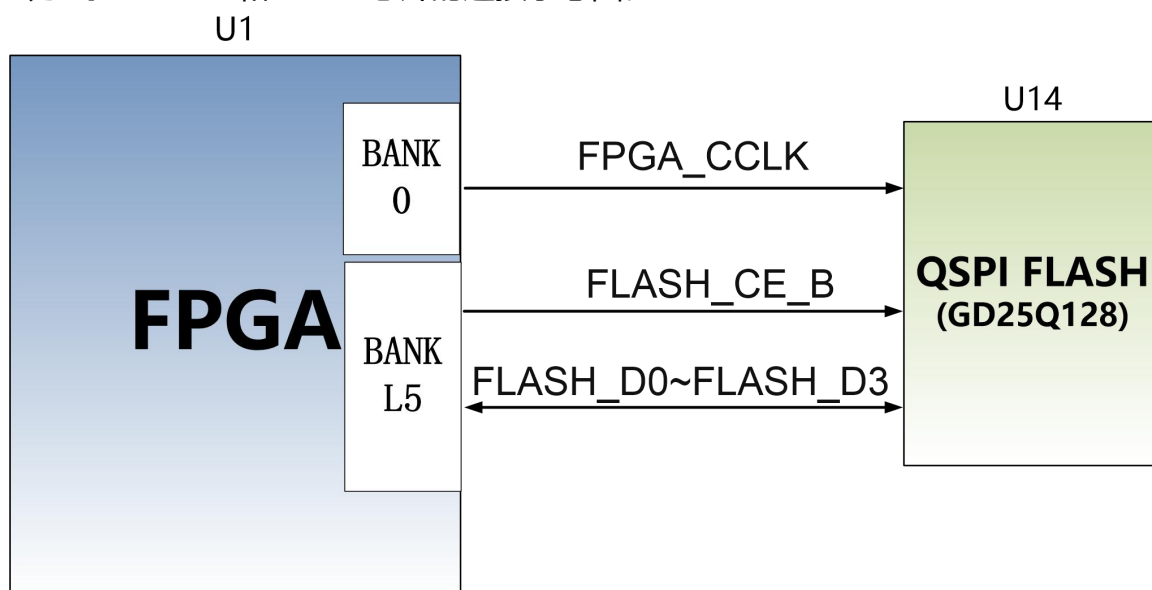


图 4-1 QSPI Flash 连接示意图

配置芯片引脚分配:

信号名称	FPGA 引脚名	FPGA 引脚号
FPGA_CCLK	CCLK_0	B10
FLASH_CE_B	IO_L6P_T0_FCS_B_14	U19
FLASH_D0	IO_L1P_T0_D00_MOSI_14	P24
FLASH_D1	IO_L1N_T0_D01_DIN_14	R25
FLASH_D2	IO_L2P_T0_D02_14	R20
FLASH_D3	IO_L2N_T0_D03_14	R21

(五) 时钟配置

核心板上为 FPGA 系统提供了 200MHz、100MHz 和 125MHz 的 3 路差分有源时钟。分别为 FPGA 逻辑部分和高速收发器 HSST 部分提供差分时钟源。时钟电路设计的示意图如下图 2-5-1 所示:

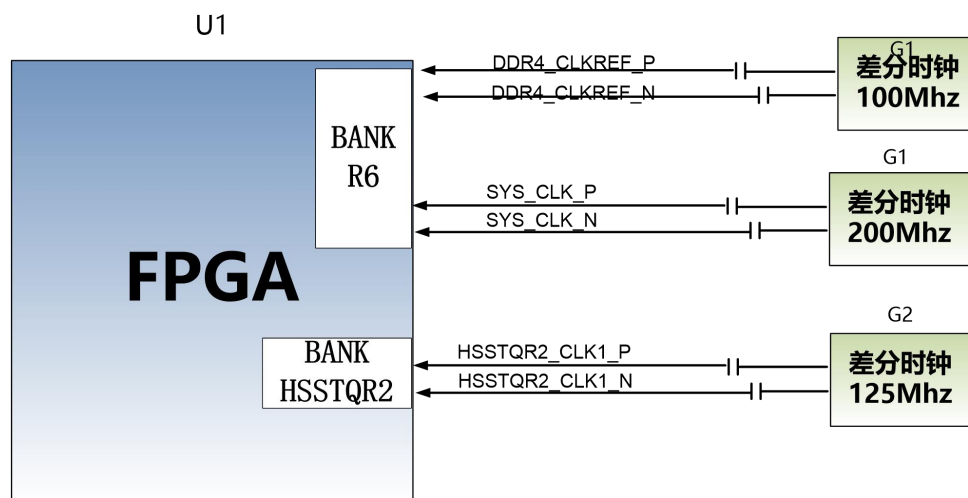


图 2-5-1 核心板时钟源

FPGA 系统时钟源

板上提供了 2 个差分晶振，分别为 100MHz、200MHz，可为 DDR4 控制器及 FPGA 逻辑提供参考时钟。晶振输出连接到 FPGA BANKR6 的全局时钟上，这个全局时钟可以用来驱动 FPGA 内的 DDR4 控制器和用户逻辑电路。该时钟源的原理图如图 2-5-2 所示

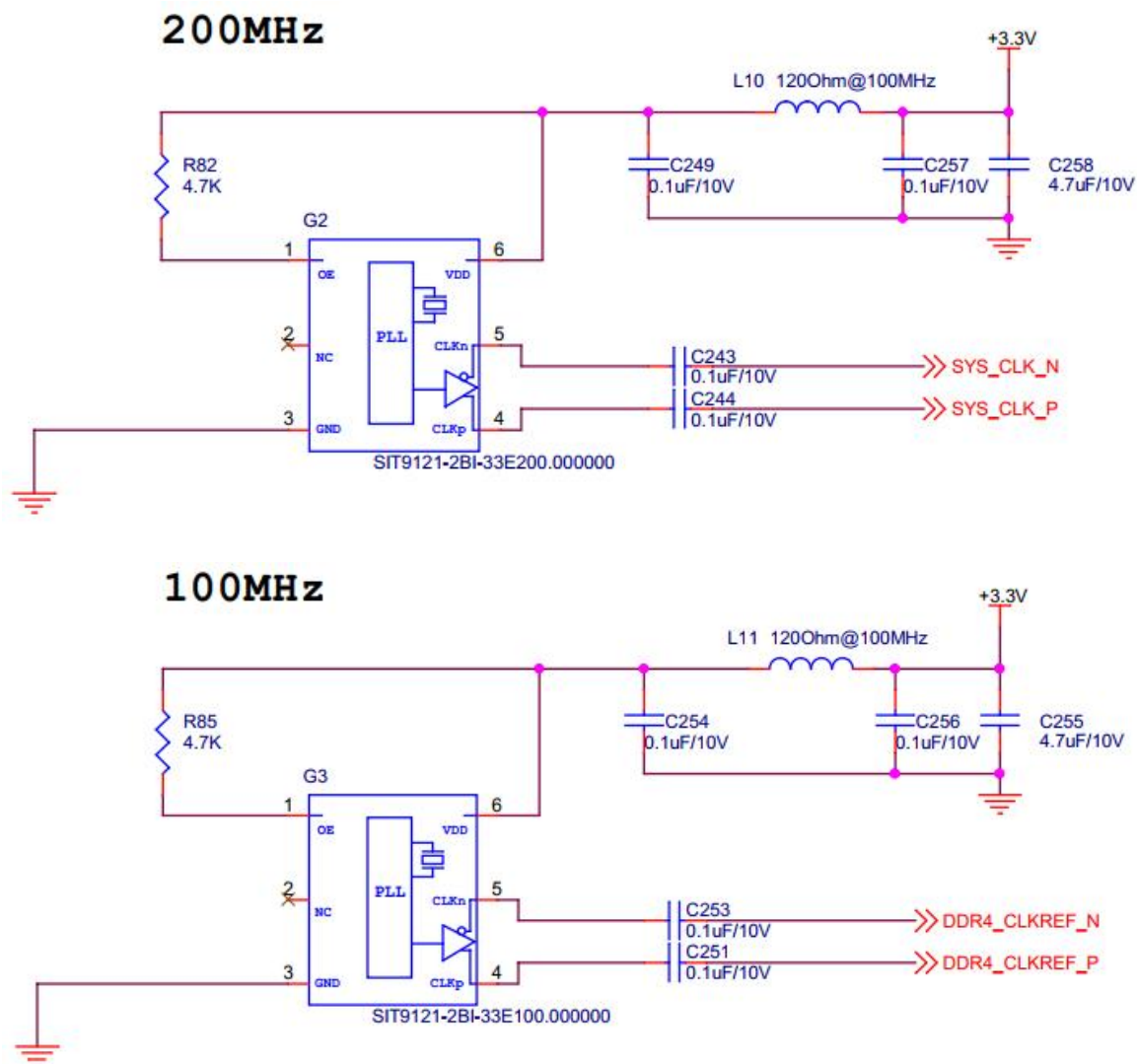


图 2-5-2 系统时钟源

时钟引脚分配:

信号名称	FPGA 引脚
SYS_CLK_P	AD12
SYS_CLK_N	AD11
DDR4_CLKREF_P	AG10
DDR4_CLKREF_N	AH10

HSST 参考时钟

核心板上为 HSST 收发器提供了 125Mhz 的参考时钟。参考时钟连接到 BANK HSSTQR2 的参考时钟输入 REFCLK1P/REFCLK1N。该时钟源的原理图如图 2-5-3 所示

125MHz

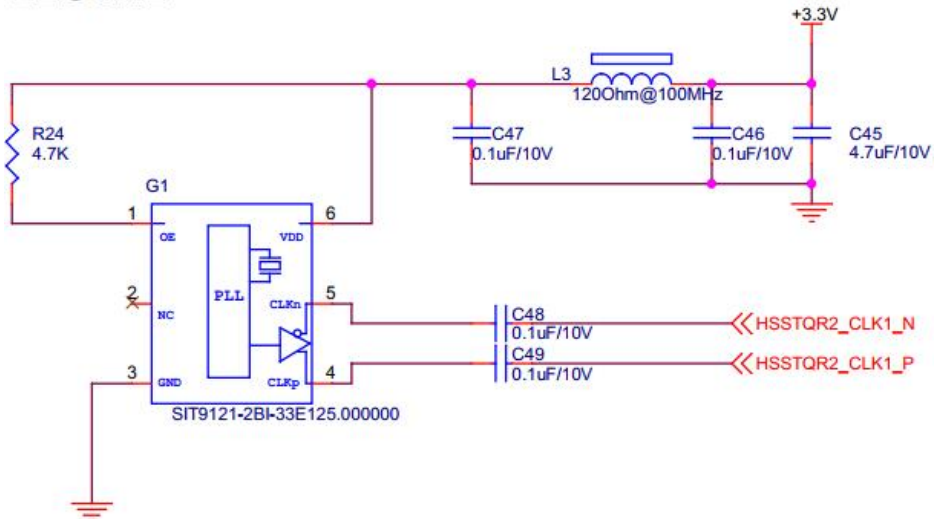


图 2-5-3 HSST 时钟源

HSST 时钟源 FPGA 引脚分配:

信号名称	FPGA 引脚
HSSTQR2_CLK1_P	J8
HSSTQR2_CLK1_N	J7

(六) LED 灯

P390 核心板上有 2 个红色 LED 灯，其中 1 个是电源指示灯(PWR)，1 个是配置 LED 灯(DONE)。电源指示灯会亮起；当 FPGA 配置程序后，配置 LED 灯会亮起。LED 灯硬件连接的示意图如图 2-6-1 所示：

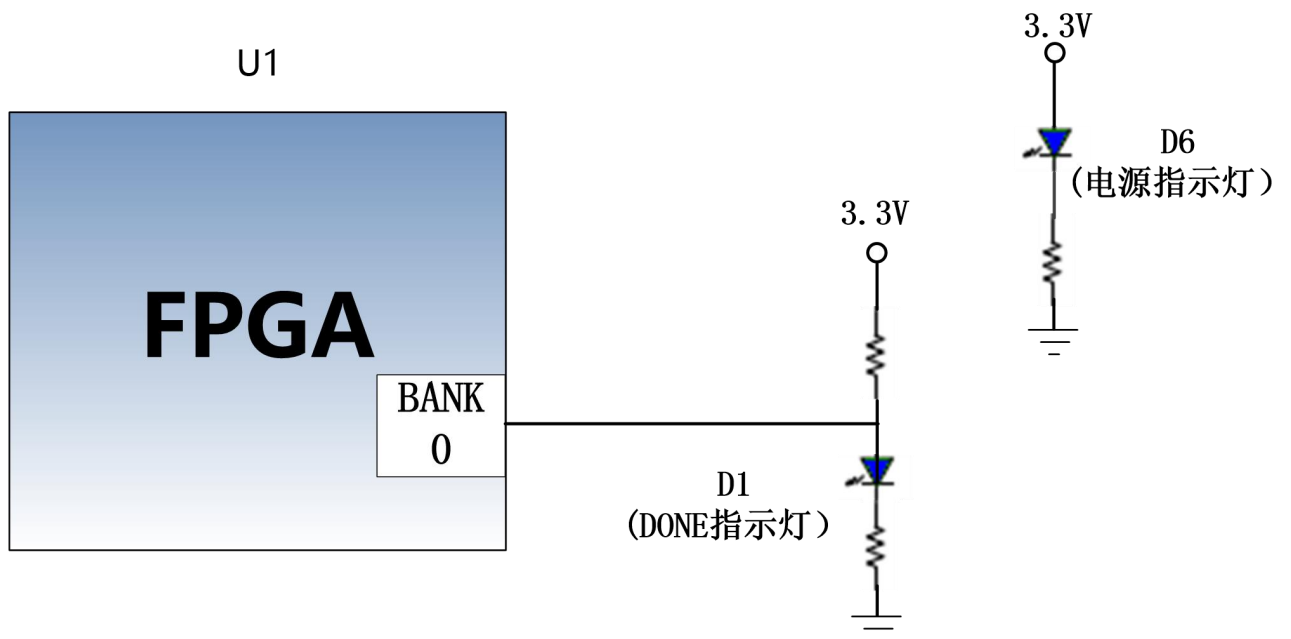


图 2-6-1 核心板 LED 灯硬件连接示意图

(七) 电源

P390 核心板供电电压为 DC5V, 通过连接底板供电。板上的电源设计示意图如下图 2-7-1 所示:

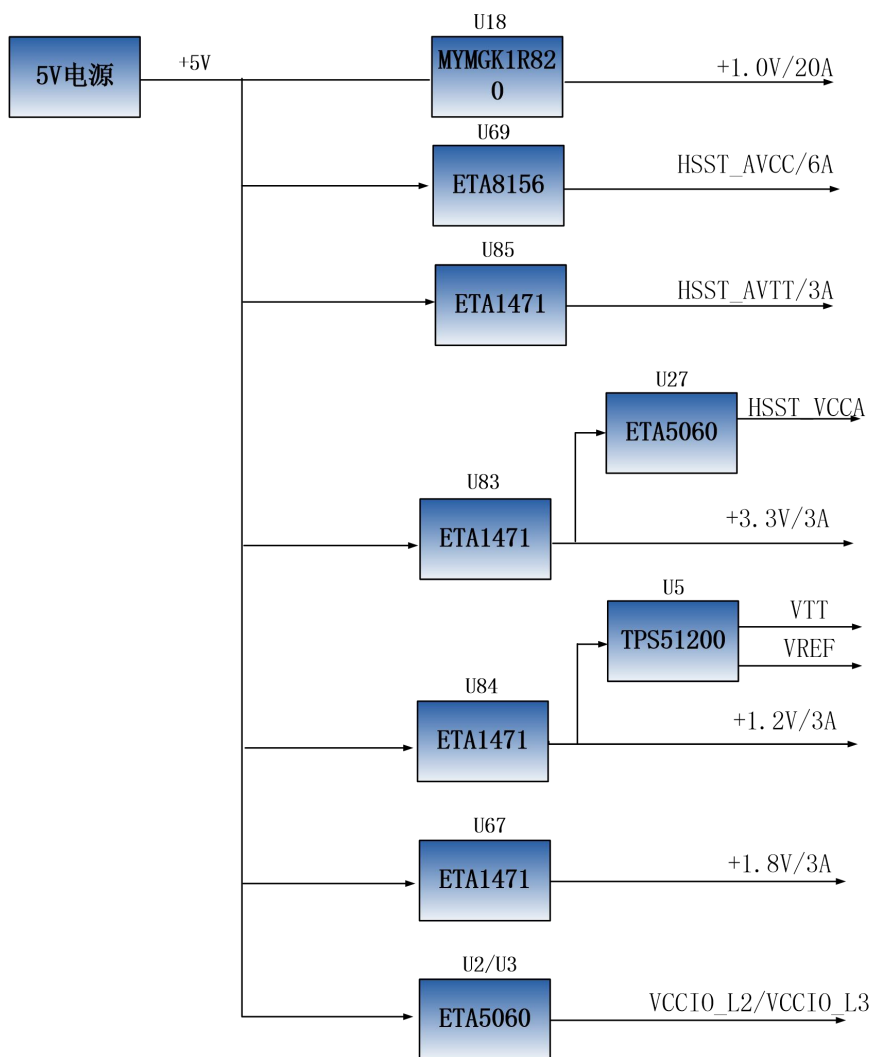


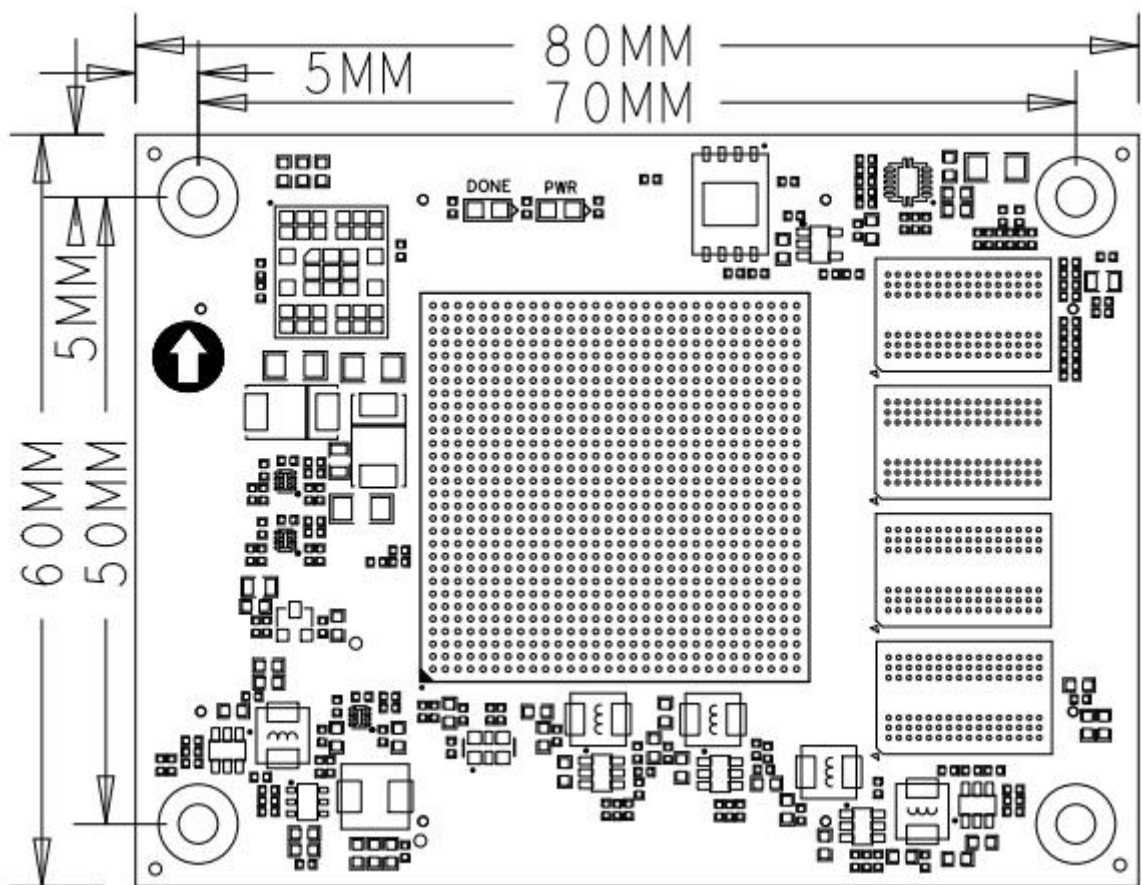
图 2-7-1 原理图中电源接口部分

+5V 通过 DCDC 电源芯片 MYMGK1R820FRSR 产生+1.0V 的 FPGA 核心电源, 输出电流高达 20A, 远远满足核心电压的电流需求。+5V 电源再通过 DCDC 芯片 ETA1471 来产生 +1.2V, +3.3V, +1.8V, HSST_AVTT 等电源。HSST 收发器使用的+1.0V 由 DCDC 芯片 ETA8156 产生, 另外通过一个 LDO 芯片 ETA5060 产生 HSST 的辅助电源+1.8V。DDR4 的 VTT 和 VREF 电压由 TPS51200 来产生。另外通过 2 路 ETA5060 产生 BANKL2 和 BANKL3

的 IO 电源, 用户可以通过更换 LDO 芯片, 使得这两个 BANK 的 IO 输入输出为其它的电压标准。

因为 FPGA 的电源有上电顺序的要求, 在电路设计中, 我们已经按照芯片的电源要求设计, 上电依次为+1.0V->+1.8V-> (+1.2 V、+3.3V、VCCIO12, VCCIO13) 的电路设计, 保证芯片的正常工作。

(八) 结构图



正面图 (Top View)

(九) 连接器管脚定义

核心板一共扩展出 4 个高速扩展口, 使用 4 个 120Pin 的板间连接器 (J29~J32) 和底板连接, 连接器使用松下的 AXK5A2137YG, 对应底板的连接器型号为 AXK6A2337YG。其中 J29 连接 HSST 的收发器信号, J30 连接 JTAG 和 BANKL1, BANKL2 的 IO, J31 连接 BANKL3, BANKL4 的 IO, J32 连接 BANKL6 和 BANKL7 的 IO 和+5V 电源。

J29 连接器的引脚分配

J29 管脚	信号名称	FPGA 引脚号	J29 管脚	信号名称	FPGA 引脚号
1	HSSTQR4_TX0_N	Y1	2	HSSTQR4_RX0_N	AA3
3	HSSTQR4_TX0_P	Y2	4	HSSTQR4_RX0_P	AA4
5	GND	-	6	GND	-
7	HSSTQR4_TX1_N	V1	8	HSSTQR4_RX1_N	Y5
9	HSSTQR4_TX1_P	V2	10	HSSTQR4_RX1_P	Y6
11	GND	-	12	GND	-
13	HSSTQR4_TX2_N	U3	14	HSSTQR4_RX2_N	W3
15	HSSTQR4_TX2_P	U4	16	HSSTQR4_RX2_P	W4
17	GND	-	18	GND	-
19	HSSTQR4_TX3_N	T1	20	HSSTQR4_RX3_N	V5
21	HSSTQR4_TX3_P	T2	22	HSSTQR4_RX3_P	V6
23	GND	-	24	GND	-
25	HSSTQR3_CLK0_N	L7	26	HSSTQR4_CLK1_N	U7
27	HSSTQR3_CLK0_P	L8	28	HSSTQR4_CLK1_P	U8
29	GND	-	30	GND	-
31	HSSTQR3_TX0_N	P1	32	HSSTQR3_RX0_N	T5
33	HSSTQR3_TX0_P	P2	34	HSSTQR3_RX0_P	T6
35	GND	-	36	GND	-
37	HSSTQR3_TX1_N	N3	38	HSSTQR3_RX1_N	R3
39	HSSTQR3_TX1_P	N4	40	HSSTQR3_RX1_P	R4
41	GND	-	42	GND	-
43	HSSTQR3_TX2_N	M1	44	HSSTQR3_RX2_N	P5
45	HSSTQR3_TX2_P	M2	46	HSSTQR3_RX2_P	P6
47	GND	-	48	GND	-
49	HSSTQR3_TX3_N	L3	50	HSSTQR3_RX3_N	M5
51	HSSTQR3_TX3_P	L4	52	HSSTQR3_RX3_P	M6
53	GND	-	54	GND	-
55	HSSTQR4_CLK0_N	R7	56	HSSTQR3_CLK1_N	N7
57	HSSTQR4_CLK0_P	R8	58	HSSTQR3_CLK1_P	N8
59	GND	-	60	GND	-

61	HSSTQR2_TX0_N	K1	62	HSSTQR1_TX0_N	D1
63	HSSTQR2_TX0_P	K2	64	HSSTQR1_TX0_P	D2
65	GND	-	66	GND	-
67	HSSTQR2_RX0_N	K5	68	HSSTQR1_RX0_N	E3
69	HSSTQR2_RX0_P	K6	70	HSSTQR1_RX0_P	E4
71	GND	-	72	GND	-
73	HSSTQR2_TX1_N	J3	74	HSSTQR1_TX1_N	C3
75	HSSTQR2_TX1_P	J4	76	HSSTQR1_TX1_P	C4
77	GND	-	78	GND	-
79	HSSTQR2_RX1_N	H5	80	HSSTQR1_RX1_N	D5
81	HSSTQR2_RX1_P	H6	82	HSSTQR1_RX1_P	D6
83	GND	-	84	GND	-
85	HSSTQR2_TX2_N	H1	86	HSSTQR1_TX2_N	B1
87	HSSTQR2_TX2_P	H2	88	HSSTQR1_TX2_P	B2
89	GND	-	90	GND	-
91	HSSTQR2_RX2_N	G3	92	HSSTQR1_RX2_N	B5
93	HSSTQR2_RX2_P	G4	94	HSSTQR1_RX2_P	B6
95	GND	-	96	GND	-
97	HSSTQR2_TX3_N	F1	98	HSSTQR1_TX3_N	A3
99	HSSTQR2_TX3_P	F2	100	HSSTQR1_TX3_P	A4
101	GND	-	102	GND	-
103	HSSTQR2_RX3_N	F5	104	HSSTQR1_RX3_N	A7
105	HSSTQR2_RX3_P	F6	106	HSSTQR1_RX3_P	A8
107	GND	-	108	GND	-
109	HSSTQR2_CLK0_N	G7	110	HSSTQR1_CLK0_N	C7
111	HSSTQR2_CLK0_P	G8	112	HSSTQR1_CLK0_P	C8
113	GND	-	114	GND	-
115	XADC_VN	T14	116	HSSTQR1_CLK1_N	E7
117	XADC_VP	R15	118	HSSTQR1_CLK1_P	E8
119	GND	-	120	GND	-

J30 连接器的引脚分配

J30 管脚	信号名称	FPGA 引脚号	J30 管脚	信号名称	FPGA 引脚号
1	BL1_L5_P	K14	2	BL1_L3_P	L12
3	BL1_L5_N	J14	4	BL1_L3_N	L13
5	BL1_L6_P	L11	6	BL1_L2_P	L15
7	BL1_L6_N	K11	8	BL1_L2_N	K15
9	GND	-	10	GND	-
11	BL1_L7_P	H15	12	BL1_L1_P	L16
13	BL1_L7_N	G15	14	BL1_L1_N	K16
15	BL1_L8_P	J11	16	BL1_L4_P	K13
17	BL1_L8_N	J12	18	BL1_L4_N	J13
19	GND	-	20	GND	-
21	BL1_L9_P	J16	22	BL1_L12_P	G13
23	BL1_L9_N	H16	24	BL1_L12_N	F13
25	BL1_L16_P	F11	26	BL1_L10_P	H11
27	BL1_L16_N	E11	28	BL1_L10_N	H12
29	GND	-	30	GND	-
31	BL1_L18_P	D11	32	BL1_L20_P	E14
33	BL1_L18_N	C11	34	BL1_L20_N	E15
35	BL1_L15_P	C12	36	BL1_L11_P	H14
37	BL1_L15_N	B12	38	BL1_L11_N	G14
39	GND	-	40	GND	-
41	BL1_L23_P	C15	42	BL1_L21_P	D14
43	BL1_L23_N	B15	44	BL1_L21_N	C14
45	BL1_L17_P	A11	46	BL1_L22_P	B13
47	BL1_L17_N	A12	48	BL1_L22_N	A13
49	GND	-	50	GND	-
51	BL1_L24_P	B14	52	BL2_L5_N	L18
53	BL1_L24_N	A15	54	BL2_L5_P	L17
55	BL1_L19_P	F15	56	BL2_L15_P	D16
57	BL1_L19_N	E16	58	BL2_L15_N	C16
59	GND	-	60	GND	-

61	BL2_L17_P	C17	62	BL2_L14_P	E19
63	BL2_L17_N	B17	64	BL2_L14_N	D19
65	BL2_L1_P	K18	66	BL2_L20_P	A16
67	BL2_L1_N	J18	68	BL2_L20_N	A17
69	GND	-	70	GND	-
71	BL2_L22_N	A18	72	BL2_L21_P	A20
73	BL2_L22_P	B18	74	BL2_L21_N	A21
75	BL2_L8_P	D21	76	BL2_L13_P	D17
77	BL2_L8_N	C21	78	BL2_L13_N	D18
79	GND	-	80	GND	-
81	BL2_L24_P	C19	82	BL2_L23_N	A22
83	BL2_L24_N	B19	84	BL2_L23_P	B22
85	BL2_L18_N	F17	86	BL2_L12_P	F20
87	BL2_L18_P	G17	88	BL2_L12_N	E20
89	GND	-	90	GND	-
91	BL2_L19_N	B20	92	BL2_L11_N	E21
93	BL2_L19_P	C20	94	BL2_L11_P	F21
95	BL2_L10_N	C22	96	BL2_L9_N	F22
97	BL2_L10_P	D22	98	BL2_L9_P	G22
99	GND	-	100	GND	-
101	BL2_L16_N	F18	102	BL2_L7_P	H21
103	BL2_L16_P	G18	104	BL2_L7_N	H22
105	BL2_L2_N	G20	106	BL2_L3_N	H17
107	BL2_L2_P	H20	108	BL2_L3_P	J17
109	GND	-	110	GND	-
111	BL2_L4_N	H19	112	FPGA_TCK	E10
113	BL2_L4_P	J19	114	FPGA_TMS	F10
115	BL2_L6_P	K19	116	FPGA_TDO	G10
117	BL2_L6_N	K20	118	FPGA_TDI	H10
119	GND	-	120	GND	-

J31 连接器的引脚分配

J31 管脚	信号名称	FPGA 引脚号	J31 管脚	信号名称	FPGA 引脚号
1	BL3_L12_N	B25	2	BL3_L8_P	C24
3	BL3_L12_P	C25	4	BL3_L8_N	B24
5	BL3_L10_N	A26	6	BL3_L16_N	C30
7	BL3_L10_P	A25	8	BL3_L16_P	D29
9	GND	-	10	GND	-
11	BL3_L11_N	C26	12	BL3_L7_N	A27
13	BL3_L11_P	D26	14	BL3_L7_P	B27
15	BL3_L13_N	C27	16	BL3_L18_N	E30
17	BL3_L13_P	D27	18	BL3_L18_P	E29
19	GND	-	20	GND	-
21	BL3_L21_P	G27	22	BL3_L14_N	D28
23	BL3_L21_N	F27	24	BL3_L14_P	E28
25	BL3_L20_N	F28	26	BL3_L22_N	F30
27	BL3_L20_P	G28	28	BL3_L22_P	G29
29	GND	-	30	GND	-
31	BL3_L9_P	B28	32	BL3_L5_P	F26
33	BL3_L9_N	A28	34	BL3_L5_N	E26
35	BL3_L15_P	C29	36	BL3_L24_N	G30
37	BL3_L15_N	B29	38	BL3_L24_P	H30
39	GND	-	40	GND	-
41	BL3_L19_N	H25	42	BL3_L23_N	H27
43	BL3_L19_P	H24	44	BL3_L23_P	H26
45	BL3_L1_N	A23	46	BL3_L17_P	B30
47	BL3_L1_P	B23	48	BL3_L17_N	A30
49	GND	-	50	GND	-
51	BL3_L2_P	E23	52	BL3_L3_N	E25
53	BL3_L2_N	D23	54	BL3_L3_P	F25
55	BL3_L6_N	G24	56	BL3_L4_P	E24
57	BL3_L6_P	G23	58	BL3_L4_N	D24
59	GND	-	60	GND	-

61	BL4_L14_N	L28	62	BL4_L7_N	H29
63	BL4_L14_P	M28	64	BL4_L7_P	J29
65	BL4_L10_N	J26	66	BL4_L8_N	J28
67	BL4_L10_P	K26	68	BL4_L8_P	J27
69	GND	-	70	GND	-
71	BL4_L1_N	J24	72	BL4_L24_N	M23
73	BL4_L1_P	J23	74	BL4_L24_P	M22
75	BL4_L18_N	N26	76	BL4_L3_N	K24
77	BL4_L18_P	N25	78	BL4_L3_P	K23
79	GND	-	80	GND	-
81	BL4_L2_N	L23	82	BL4_L21_N	N24
83	BL4_L2_P	L22	84	BL4_L21_P	P23
85	BL4_L13_P	K28	86	BL4_L12_N	K25
87	BL4_L13_N	K29	88	BL4_L12_P	L25
89	GND	-	90	GND	-
91	BL4_L22_N	P22	92	BL4_L20_N	N22
93	BL4_L22_P	P21	94	BL4_L20_P	N21
95	BL4_L15_N	M30	96	BL4_L9_N	K30
97	BL4_L15_P	M29	98	BL4_L9_P	L30
99	GND	-	100	GND	-
101	BL4_L19_N	N20	102	BL4_L5_N	J22
103	BL4_L19_P	N19	104	BL4_L5_P	J21
105	BL4_L17_N	N30	106	BL4_L6_N	L20
107	BL4_L17_P	N29	108	BL4_L6_P	M20
109	GND	-	110	GND	-
111	BL4_L11_N	L27	112	BL4_L16_N	M27
113	BL4_L11_P	L26	114	BL4_L16_P	N27
115	BL4_L23_N	M25	116	BL4_L4_P	L21
117	BL4_L23_P	M24	118	BL4_L4_N	K21
119	GND	-	120	GND	-

J32 连接器的引脚分配

J32 管脚	信号名称	FPGA 引脚号	J32 管脚	信号名称	FPGA 引脚号
1	BL6_L16_P	AE30	2	BL6_L10_N	AB30
3	BL6_L16_N	AF30	4	BL6_L10_P	AB29
5	BL6_L23_N	AF27	6	BL6_L9_P	AD29
7	BL6_L23_P	AF26	8	BL6_L9_N	AE29
9	GND	U14	10	GND	U14
11	BL6_L14_P	AE28	12	BL6_L6_P	AA25
13	BL6_L14_N	AF28	14	BL6_L6_N	AB25
15	BL6_L13_P	AG29	16	BL6_L5_N	AB28
17	BL6_L13_N	AH29	18	BL6_L5_P	AA27
19	GND	U14	20	GND	U14
21	BL6_L18_P	AG30	22	BL6_L2_N	W28
23	BL6_L18_N	AH30	24	BL6_L2_P	W27
25	BL6_L21_N	AG28	26	BL6_L8_P	Y30
27	BL6_L21_P	AG27	28	BL6_L8_N	AA30
29	GND	U14	30	GND	U14
31	BL6_L15_N	AK30	32	BL6_L11_N	AD28
33	BL6_L15_P	AK29	34	BL6_L11_P	AD27
35	BL6_L17_N	AJ29	36	BL6_L7_N	AC30
37	BL6_L17_P	AJ28	38	BL6_L7_P	AC29
39	GND	U14	40	GND	U14
41	BL6_L20_N	AK28	42	BL6_L12_N	AC27
43	BL6_L20_P	AJ27	44	BL6_L12_P	AB27
45	BL6_L22_N	AH27	46	BL6_L1_P	Y26
47	BL6_L22_P	AH26	48	BL6_L1_N	AA26
49	GND	U14	50	GND	U14
51	BL6_L24_N	AK26	52	BL6_L4_N	Y29
53	BL6_L24_P	AJ26	54	BL6_L4_P	W29
55	BL6_L19_N	AD26	56	BL6_L3_N	AA28
57	BL6_L19_P	AC26	58	BL6_L3_P	Y28
59	GND	U14	60	GND	U14

61	BL7_L12_P	AD23	62	BL7_L9_N	AD24
63	BL7_L12_N	AE24	64	BL7_L9_P	AC24
65	BL7_L16_P	AE25	66	BL7_L8_N	AD22
67	BL7_L16_N	AF25	68	BL7_L8_P	AC22
69	GND	U14	70	GND	U14
71	BL7_L13_P	AF22	72	BL7_L7_N	AC25
73	BL7_L13_N	AG23	74	BL7_L7_P	AB24
75	BL7_L18_P	AG25	76	BL7_L4_N	AA23
77	BL7_L18_N	AH25	78	BL7_L4_P	AA22
79	GND	U14	80	GND	U14
81	BL7_L15_N	AK25	82	BL7_L1_P	Y23
83	BL7_L15_P	AJ24	84	BL7_L1_N	Y24
85	BL7_L17_N	AK24	86	BL7_L2_P	Y21
87	BL7_L17_P	AK23	88	BL7_L2_N	AA21
89	GND	U14	90	GND	U14
91	BL7_L14_N	AH24	92	BL7_L6_P	AA20
93	BL7_L14_P	AG24	94	BL7_L6_N	AB20
95	BL7_L20_N	AH22	96	BL7_L10_N	AE21
97	BL7_L20_P	AG22	98	BL7_L10_P	AD21
99	GND	U14	100	GND	U14
101	BL7_L19_N	AF21	102	BL7_L3_P	AB22
103	BL7_L19_P	AF20	104	BL7_L3_N	AB23
105	BL7_L11_N	AF23	106	BL7_L5_P	AC20
107	BL7_L11_P	AE23	108	BL7_L5_N	AC21
109	GND	-	110	GND	-
111	+5V	-	112	+5V	-
113	+5V	-	114	+5V	-
115	+5V	-	116	+5V	-
117	+5V	-	118	+5V	-
119	+5V	-	120	+5V	-

三、 扩展板

(一)简介

通过前面的功能简介，我们可以了解到扩展板部分的功能

- 4 路光纤接口
- 1 路 PCIe8 接口
- 2 路支持 3G 的 SDI 视频输出接口
- 2 路支持 3G 的 SDI 视频输入接口
- 1 路 USB Uart 通信接口
- 1 路 SD 卡接口
- 2 路 40 针扩展口
- JTAG 调试接口
- 4 个独立按键
- 4 个用户 LED 灯

(一)光纤接口

AXP392 扩展板上有 4 路光纤接口，用户可以购买 SFP 光模块(市场上 1.25G, 2.5G, 10G

光模块)插入到这 4 个光纤接口中进行光纤数据通信。4 路光纤接口分别跟 FPGA 的 HSSTQR2 的 HSST 收发器的 4 路 RX/TX 相连接，每路 TX 发送和 RX 接收数据速率高达 10Gb/s。HSSTQR2 的 HSST 收发器的参考时钟由核心板的 125M 差分时钟提供。

FPGA 和光纤设计示意图如下图 3-1-1 所示:

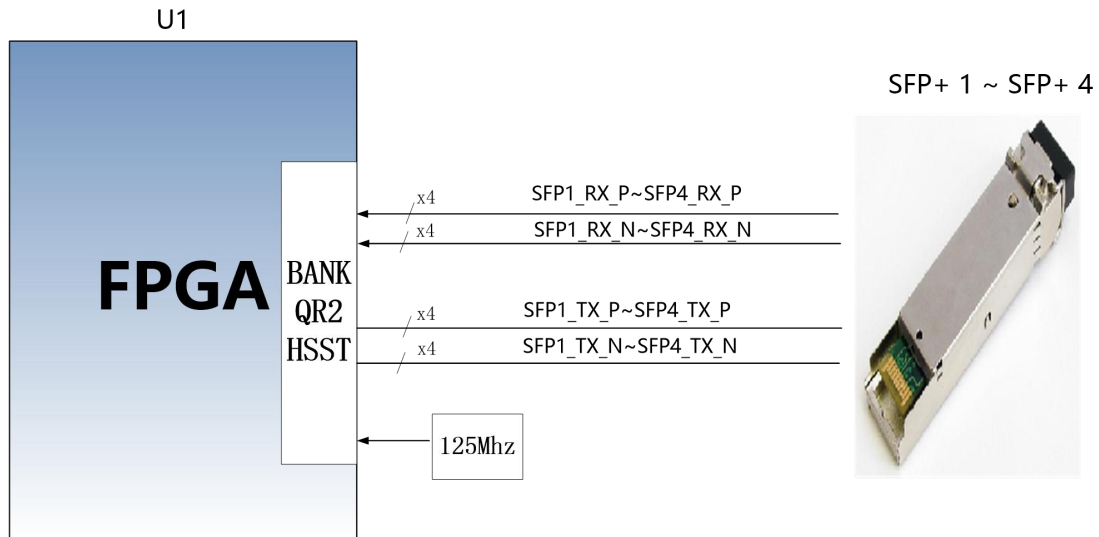


图 3-1-1 光纤设计示意图

4 路光纤接口 FPGA 引脚分配如下:

信号名称	FPGA 引脚名	引脚号	备注
SFP1_TX_P	HSSTQR2_TX0_P	K2	光模块 1 数据发送正
SFP1_TX_N	HSSTQR2_TX0_N	K1	光模块 1 数据发送负
SFP1_RX_P	HSSTQR2_RX0_P	K6	光模块 1 数据接收正
SFP1_RX_N	HSSTQR2_RX0_N	K5	光模块 1 数据接收负
SFP2_TX_P	HSSTQR2_TX1_P	J4	光模块 2 数据发送正
SFP2_TX_N	HSSTQR2_TX1_N	J3	光模块 2 数据发送负
SFP2_RX_P	HSSTQR2_RX1_P	H6	光模块 2 数据接收正
SFP2_RX_N	HSSTQR2_RX1_N	H5	光模块 2 数据接收负
SFP3_TX_P	HSSTQR2_TX2_P	H2	光模块 3 数据发送正
SFP3_TX_N	HSSTQR2_TX2_N	H1	光模块 3 数据发送负
SFP3_RX_P	HSSTQR2_RX2_P	G4	光模块 3 数据接收正
SFP3_RX_N	HSSTQR2_RX2_N	G3	光模块 3 数据接收负
SFP4_TX_P	HSSTQR2_TX3_P	F2	光模块 4 数据发送正
SFP4_TX_N	HSSTQR2_TX3_N	F1	光模块 4 数据发送负
SFP4_RX_P	HSSTQR2_RX3_P	F6	光模块 4 数据接收正

SFP4_RX_N	HSSTQR2_RX3_N	F5	光模块 4 数据接收负
HSSTQR2_CLK1_P	HSSTQR2_CLK1_P	J8	收发器参考时钟正
HSSTQR2_CLK1_N	HSSTQR2_CLK1_N	J7	收发器参考时钟负

(二) PCIe 插槽

AXP392 扩展板上有一个 PCIe x8 的接口，8 对收发器连接到 PCIe x8 的金手指上，能实现 PCIe x8, PCIe x4, PCIe x2, PCIe x1 的数据通信。

PCIe 接口的收发信号直接跟 FPGA HSSTQR4, HSSTQR3 的 HSST 收发器相连接，8 路 TX 信号和 RX 信号都是以差分信号方式连接到 FPGA 的收发器上，单通道通信速率可高达 5G bit 带宽。

开发板的 PCIe 接口的设计示意图如下图 3-2-1 所示，其中 TX 发送信号用 AC 耦合模式连接。

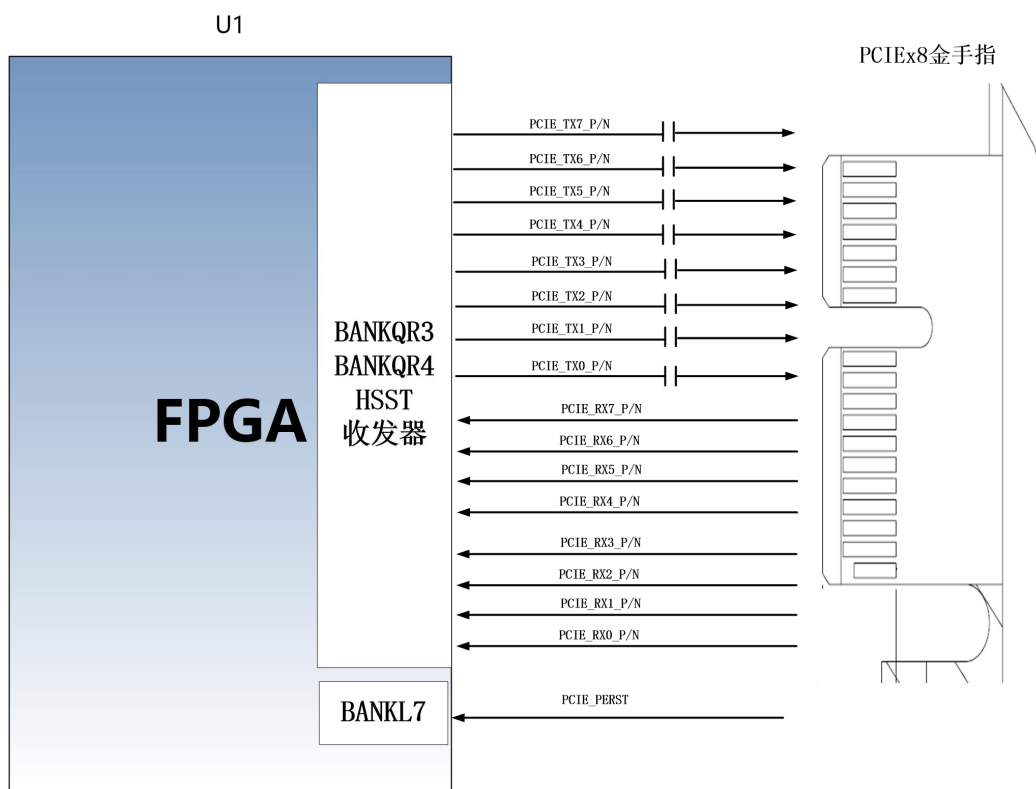


图 3-2-1 PCIe 插槽设计示意图

PCIe x8 接口 FPGA 引脚分配如下：

信号名称	FPGA 引脚名	引脚号	备注
PCIE_RX0_P	HSSTQR3_RX3_P	M6	PCIe 通道 0 数据接收正
PCIE_RX0_N	HSSTQR3_RX3_N	M5	PCIe 通道 0 数据接收负

PCIE_RX1_P	HSSTQR3_RX2_P	P6	PCIE 通道 1 数据接收正
PCIE_RX1_N	HSSTQR3_RX2_N	P5	PCIE 通道 1 数据接收负
PCIE_RX2_P	HSSTQR3_RX1_P	R4	PCIE 通道 2 数据接收正
PCIE_RX2_N	HSSTQR3_RX1_N	R3	PCIE 通道 2 数据接收负
PCIE_RX3_P	HSSTQR3_RX0_P	T6	PCIE 通道 3 数据接收正
PCIE_RX3_N	HSSTQR3_RX0_N	T5	PCIE 通道 3 数据接收负
PCIE_RX4_P	HSSTQR4_RX3_P	V6	PCIE 通道 4 数据接收正
PCIE_RX4_N	HSSTQR4_RX3_N	V5	PCIE 通道 4 数据接收负
PCIE_RX5_P	HSSTQR4_RX2_P	W4	PCIE 通道 5 数据接收正
PCIE_RX5_N	HSSTQR4_RX2_N	W3	PCIE 通道 5 数据接收负
PCIE_RX6_P	HSSTQR4_RX1_P	Y6	PCIE 通道 6 数据接收正
PCIE_RX6_N	HSSTQR4_RX1_N	Y5	PCIE 通道 6 数据接收负
PCIE_RX7_P	HSSTQR4_RX0_P	AA4	PCIE 通道 7 数据接收正
PCIE_RX7_N	HSSTQR4_RX0_N	AA3	PCIE 通道 7 数据接收负
PCIE_TX0_P	HSSTQR3_TX3_P	L4	PCIE 通道 0 数据发送正
PCIE_TX0_N	HSSTQR3_TX3_N	L3	PCIE 通道 0 数据发送负
PCIE_TX1_P	HSSTQR3_TX2_P	M2	PCIE 通道 1 数据发送正
PCIE_TX1_N	HSSTQR3_TX2_N	M1	PCIE 通道 1 数据发送负
PCIE_TX2_P	HSSTQR3_TX1_P	N4	PCIE 通道 2 数据发送正
PCIE_TX2_N	HSSTQR3_TX1_N	N3	PCIE 通道 2 数据发送负
PCIE_TX3_P	HSSTQR3_TX0_P	P2	PCIE 通道 3 数据发送正
PCIE_TX3_N	HSSTQR3_TX0_N	P1	PCIE 通道 3 数据发送负
PCIE_TX4_P	HSSTQR4_TX3_P	T2	PCIE 通道 4 数据发送正
PCIE_TX4_N	HSSTQR4_TX3_N	T1	PCIE 通道 4 数据发送负
PCIE_TX5_P	HSSTQR4_TX2_P	U4	PCIE 通道 5 数据发送正
PCIE_TX5_N	HSSTQR4_TX2_N	U3	PCIE 通道 5 数据发送负
PCIE_TX6_P	HSSTQR4_TX1_P	V2	PCIE 通道 6 数据发送正
PCIE_TX6_N	HSSTQR4_TX1_N	V1	PCIE 通道 6 数据发送负
PCIE_TX7_P	HSSTQR4_TX0_P	Y2	PCIE 通道 7 数据发送正
PCIE_TX7_N	HSSTQR4_TX0_N	Y1	PCIE 通道 7 数据发送负
PCIE_CLK_P	HSSTQR3_CLK0_P	L8	PCIE 通道参考时钟正
PCIE_CLK_N	HSSTQR3_CLK0_N	L7	PCIE 通道参考时钟负

PCIE_PERST	BL7_L16_N	AF25	PCIE 板卡的复位信号
------------	-----------	------	--------------

(三) SDI 输出接口

底板上 有 2 路 SDI 输出接口，SDI 芯片是选用 SEMTECH 公司的 GV8500 SDI 驱动器芯片，支持不同格式的数据输出 HDcctv 1.0, HD-SDI(ST 292), 3G_SDI(ST-424)和 SD_SDI (ST259)。

其中 GV8500 芯片的 SDI 输入信号是直接跟 FPGA HSSTQR1 的 HSST 收发器 TX 相连接，来实现高速的 SDI 视频输出。GV8500 芯片和 FPGA 的硬件连接示意图如下图 3-3-1 所示：

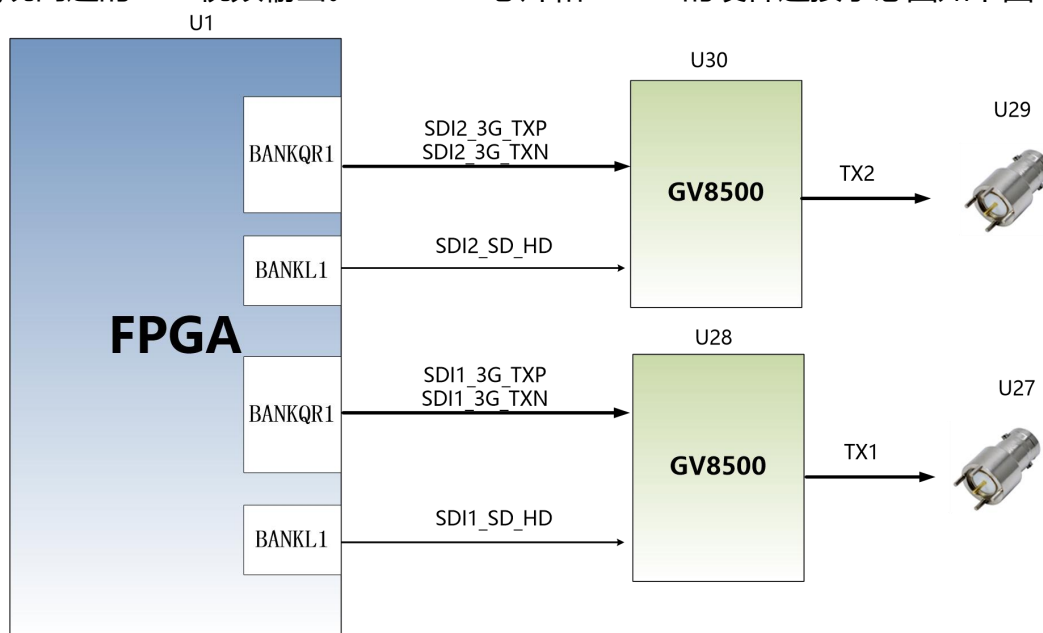


图 3-3-1 SDI 输出接口设计原理图

第一路 SDI 输出的引脚分配：

信号名称	FPGA 引脚名	引脚号	备注
SDI1_3G_TXN	HSSTQR1_TX0_N	D1	SDI 输出差分信号负
SDI1_3G_TXP	HSSTQR1_TX0_P	D2	SDI 输出差分信号正
SDI1_SD_HD	BL1_L3_N	L13	SDI 转换速率控制

第二路 SDI 输出的引脚分配：

信号名称	FPGA 引脚名	引脚号	备注
SDI2_3G_TXN	HSSTQR1_TX1_N	C3	SDI 输出差分信号负
SDI2_3G_TXP	HSSTQR1_TX1_P	C4	SDI 输出差分信号正

SDI2_SD_HD

BL1_L3_P

L12

SDI 转换速率控制

(四) SDI 输入接口

底板上有 2 路 SDI 输入接口, 我们选用了 SEMTECH 公司的 GV8601 SDI 均衡器芯片, 支持不同格式的数据输入 HDcctv 1.0, HD-SDI(ST 292), 3G_SDI(ST-424) 和 SD_SDI (ST259)。输入接口自适应三种速率的视频接收。

其中 GV8601 芯片的 SDI 输出信号是直接跟 FPGA HSSTQR1 的 HSST 收发器 RX 相连接, 来实现高速的 SDI 视频输入。GV8601 芯片和 FPGA 的硬件连接示意图如下图 3-4-1 所示。

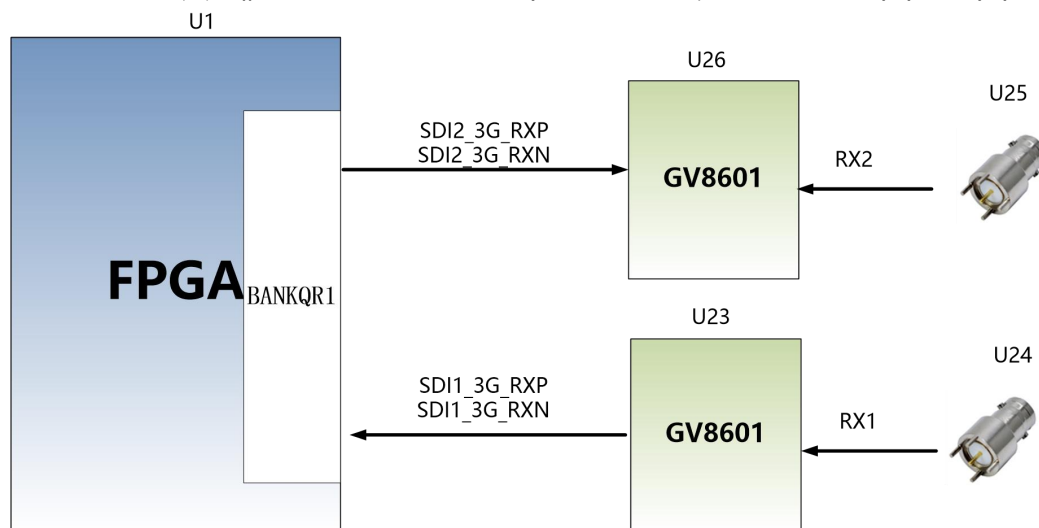


图 3-4-1 SDI 输入原理图

第一路 SDI 输入的引脚分配:

信号名称	FPGA 引脚名	引脚号	备注
SDI1_3G_RXN	HSSTQR1_RX0_N	E3	SDI 输入差分信号负
SDI1_3G_RXP	HSSTQR1_RX0_P	E4	SDI 输入差分信号正

第二路 SDI 输入的引脚分配:

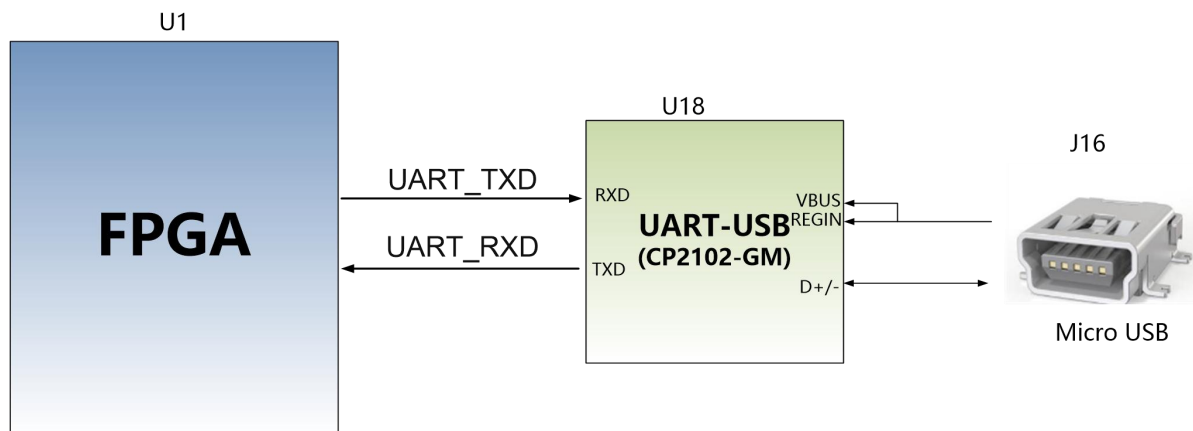
信号名称	FPGA 引脚名	引脚号	备注
SDI2_3G_RXN	HSSTQR1_RX1_N	D5	SDI 输入差分信号负
SDI2_3G_RXP	HSSTQR1_RX1_P	D6	SDI 输入差分信号正

(五) USB 转串口

AXP392 扩展板上配备了一个 Uart 转 USB 接口, 用于系统调试。转换芯片采用 Silicon

Labs CP2102GM 的 USB-UAR 芯片, USB 接口采用 MINI USB 接口, 可以用一根 USB 线将它连接到上 PC 的 USB 口进行核心板的单独供电和串口数据通信。

USB Uart 电路设计的示意图如下图所示:



3-6-1 USB 转串口示意图

USB 转串口的 FPGA 引脚分配:

信号名称	FPGA 引脚名	引脚号	备注
UART_RXD	BL6_L5_P	AA27	Uart数据输入
UART_TXD	BL6_L2_N	W28	Uart数据输出

(六) SD 卡槽

AXP392 底板包含了一个 Micro 型的 SD 卡接口, 以提供用户访问 SD 卡存储器, 用于用户数据文件。SDIO 信号与 FPGA 的 IO 信号相连, 支持 SPI 模式和 SD 模式, 使用的 SD 卡为 MicroSD 卡。FPGA 和 SD 卡连接器的原理图如下图 3-7-1 所示。

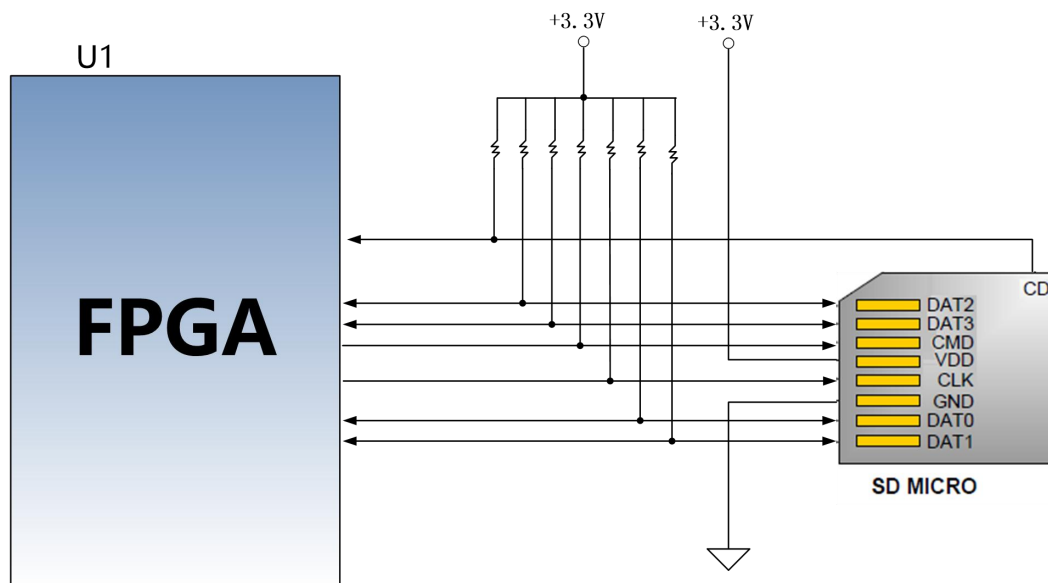


图 3-7-1 SD 卡槽原理图

SD 卡槽引脚分配

信号名称	FPGA 引脚名	引脚号	备注
SD_CLK	BL6_L6_P	AA25	SD 时钟信号
SD_CMD	BL6_L5_N	AB28	SD 命令信号
SD_D0	BL6_L10_P	AB29	SD 数据 Data0
SD_D1	BL6_L9_P	AD29	SD 数据 Data1
SD_D2	BL6_L9_N	AE29	SD 数据 Data2
SD_D3	BL6_L6_N	AB25	SD 数据 Data3

(七) 40 针扩展口

底板预留了 2 个 2.54mm 标准间距的 40 针的扩展口 J18, J33, 用于连接黑金的各个模块或者用户自己设计的外面电路, 扩展口有 40 个信号, 其中, 5V 电源 1 路, 3.3V 电源 2 路, 地 3 路, IO 口 34 路。扩展口的 IO 连接的 FPGA 的 IO 上, 默认为 3.3V。

J18 扩展口 FPGA 的引脚分配如下:

J18 管脚	信号名称	引脚号	J18 管脚	信号名称	引脚号
1	GND	-	2	+5V	-
3	IO1_1N	M23	4	IO1_1P	M22
5	IO1_2N	K24	6	IO1_2P	K23
7	IO1_3N	N24	8	IO1_3P	P23
9	IO1_4N	K25	10	IO1_4P	L25
11	IO1_5N	N22	12	IO1_5P	N21
13	IO1_6N	K30	14	IO1_6P	L30
15	IO1_7N	J22	16	IO1_7P	J21
17	IO1_8N	L20	18	IO1_8P	M20
19	IO1_9N	M27	20	IO1_9P	N27
21	IO1_10N	K21	22	IO1_10P	L21
23	IO1_11N	K29	24	IO1_11P	K28
25	IO1_12N	P22	26	IO1_12P	P21

27	IO1_13N	M30	28	IO1_13P	M29
29	IO1_14N	N20	30	IO1_14P	N19
31	IO1_15N	N30	32	IO1_15P	N29
33	IO1_16N	L27	34	IO1_16P	L26
35	IO1_17N	M25	36	IO1_17P	M24
37	GND	-	38	GND	-
39	+3.3V	-	40	+3.3V	-

J33 扩展口 FPGA 的引脚分配如下:

J33 管脚	信号名称	引脚号	J33 管脚	信号名称	引脚号
1	GND	-	2	+5V	-
3	IO2_1N	A21	4	IO2_1P	A20
5	IO2_2N	D18	6	IO2_2P	D17
7	IO2_3N	A22	8	IO2_3P	B22
9	IO2_4N	E20	10	IO2_4P	F20
11	IO2_5N	E21	12	IO2_5P	F21
13	IO2_6N	F22	14	IO2_6P	G22
15	IO2_7N	H22	16	IO2_7P	H21
17	IO2_8N	H17	18	IO2_8P	J17
19	IO2_9N	K20	20	IO2_9P	K19
21	IO2_10N	H19	22	IO2_10P	J19
23	IO2_11N	G20	24	IO2_11P	H20
25	IO2_12N	F18	26	IO2_12P	G18
27	IO2_13N	C22	28	IO2_13P	D22
29	IO2_14N	B20	30	IO2_14P	C20
31	IO2_15N	F17	32	IO2_15P	G17
33	IO2_16N	B19	34	IO2_16P	C19
35	IO2_17N	C21	36	IO2_17P	D21
37	GND	-	38	GND	-
39	+3.3V	-	40	+3.3V	-

(八) 按键和 LED 灯

AXP392 底板上有 7 个发光二极管 LED, 1 个电源指示灯; 2 个串口通信指示灯, 4 个用户 LED 灯。当开发板上电后电源指示灯会亮起; 4 个 LED 灯连接到 FPGA 的 IO 上, 用户可以通过程序来控制亮和灭, 当连接用户 LED 灯的 IO 电压为低时, 用户 LED 灯点亮, 当连接 IO 电压为高时, 用户 LED 灯会被熄灭。另外板上还有 4 个用户按键, 默认按键信号为高, 当按键按下时, 按键电平为低。用户 LED 灯和按键的硬件连接示意图如图 3-9-1 所示:

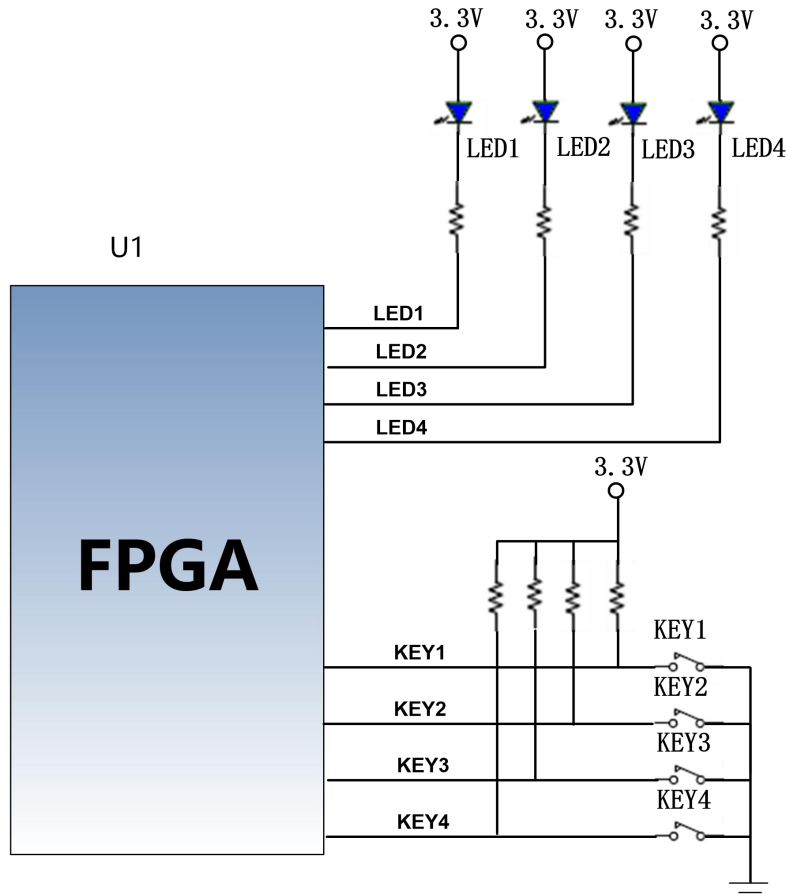


图 3-9-1 用户 LED 灯和按键硬件连接示意图

用户 LED 灯和按键的引脚分配

信号名称	FPGA 引脚名	管脚号	备注
LED1	BL7_L19_P	AF20	用户LED1灯
LED2	BL7_L11_P	AE23	用户LED2灯
LED3	BL7_L3_N	AB23	用户LED3灯
LED4	BL7_L5_N	AC21	用户LED4灯
KEY1	BL7_L19_N	AF21	用户按键1
KEY2	BL7_L11_N	AF23	用户按键2

KEY3	BL7_L3_P	AB22	用户按键3
KEY4	BL7_L5_P	AC20	用户按键4

(九) JTAG 调试口

在 AXP392 底板上预留了一个 10PIN 的 JTAG 接口，用于下载 FPGA 程序或者固化程序到 FLASH。为了带电插拔造成对 FPGA 芯片的损坏，我们在 JTAG 信号上添加了保护二极管来保证信号的电压在 FPGA 接受的范围，避免芯片的损坏。

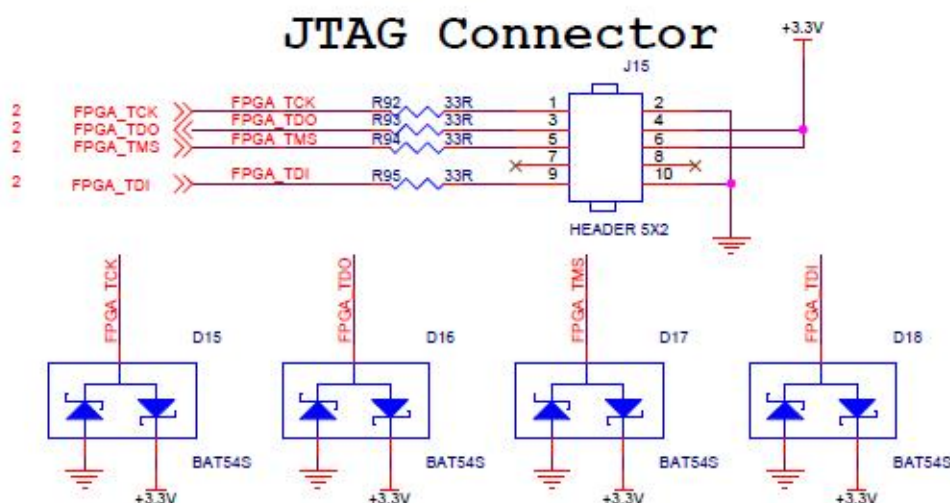


图3-10-1 原理图中JTAG接口部分

(十) 电源

开发板的电源输入电压为 DC12V，可以通过 PCIE 插槽或者外接+12V 电源给板子供电。外接电源供电时请使用开发板自带的电源,不要用其他规格电源，以免损坏开发板。底板上通过 1 路 DC/DC 电源芯片 TPS54620 和 1 路 DC/DC 电源芯片 MP1482 转换成+5V 和+3.3V 两路电源。因为+5V 电源通过板间连接器给核心板供电，所以 DCDC 电源的电流输出为 6A，其它 3.3V 电源电流输出为 2A。

板上的电源设计示意图如下图 3-11-1 所示:

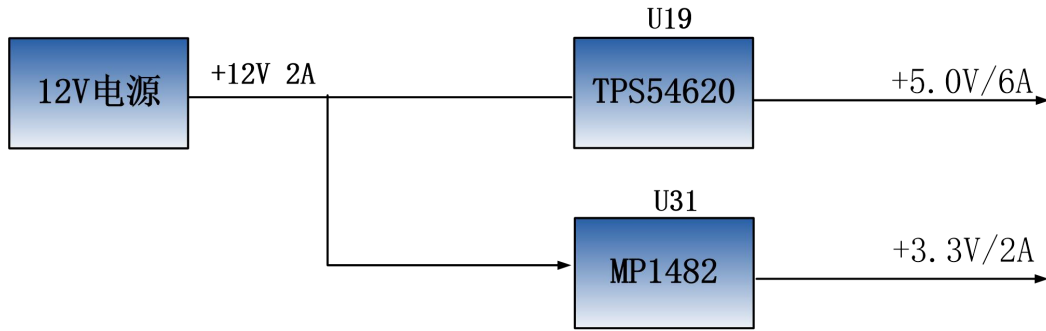


图 3-11-1 原理图中电源接口部分

各个电源分配的功能如下表所示：

电源	功能
+5.0V	核心板供电电源
+3.3V	SDI, SD, 光纤, PCIE

(十一) 结构尺寸图

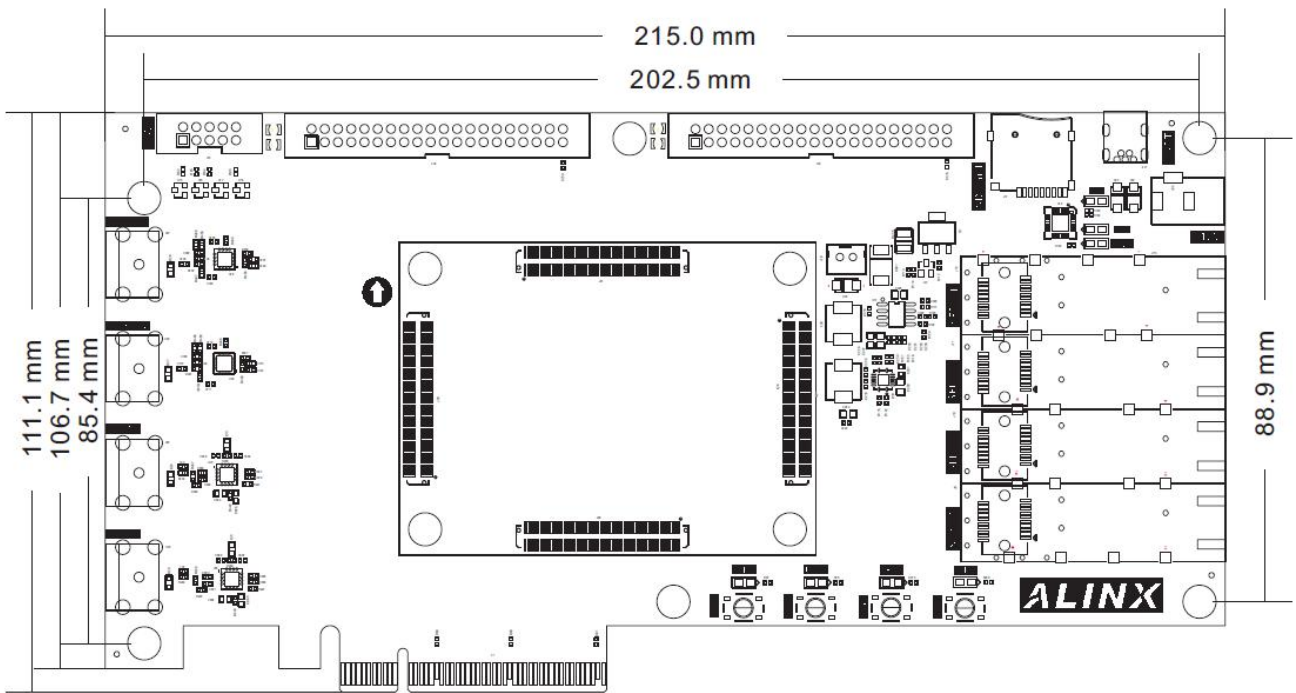


图 3-12-1 正面图 (Top View)