

Logos-2FPGA 开发平台 用户手册

AXP100B 开发板



文档版本控制

文档版本	修改内容记录
REV1.0	创建文档
REV1.1	修改描述错误

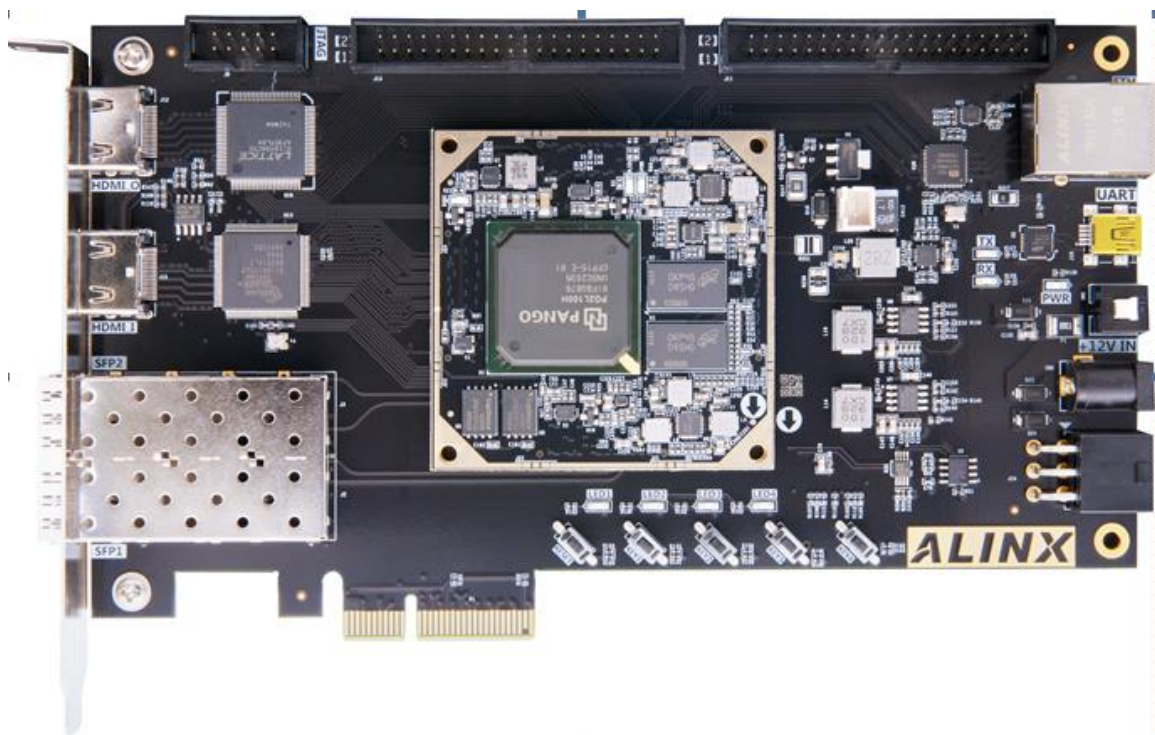
目 录

文档版本控制.....	2
一、 开发板简介.....	6
二、 FPGA 核心板.....	8
(一) 简介.....	8
(二) FPGA.....	9
(三) 有源晶振.....	10
(四) DDR3.....	13
(五) QSPI Flash.....	17
(六) LED 灯.....	18
(七) 扩展接口.....	20
(八) 电源.....	26
(九) 结构图.....	29
三、 扩展板.....	30
(一) 简介.....	30
(二) 千兆以太网接口.....	30
(三) 光纤接口.....	32
(四) PCIe x4 接口.....	34
(五) HDMI 输出接口.....	35
(六) HDMI 输入接口.....	37
(七) SD 卡槽.....	39
(八) USB 转串口.....	40
(九) EEPROM 24LC04.....	41
(十) 温度传感器.....	42
(十一) 扩展口.....	43
(十二) JTAG 接口.....	46
(十三) 按键.....	47
(十四) LED 灯.....	48
(十五) 供电电源.....	49
(十六) 风扇接口.....	50

(十七) 结构尺寸图 51

基于紫光同创 Logos-2 系列的高端 FPGA 开发平台 (型号: AXP100B) 正式发布了, 为了让您对此开发平台可以快速了解, 我们编写了此用户手册。

这款 Logos2 FPGA 开发平台采用核心板加扩展板的模式, 方便用户对核心板的二次开发利用。在底板设计上我们设计了丰富的外围接口, 比如一路 PCIe2 接口, 两路光纤模块接口, 一路 HDMI 输出接口, 一路 HDMI 输入接口, 一路千兆以太网接口, Uart 接口, SD 卡接口等等。满足用户各种 PCIe 高速数据传输, 视频图像处理 and 工业控制的要求, 是一款“全能级”的 FPGA 开发平台。为高速视频传输, 网络、光纤和 PCIe 通信及数据处理的前期验证和后期应用提供了可能。相信这样的一款产品非常适合从事 FPGA 开发的学生、工程师等群体。



一、 开发板简介

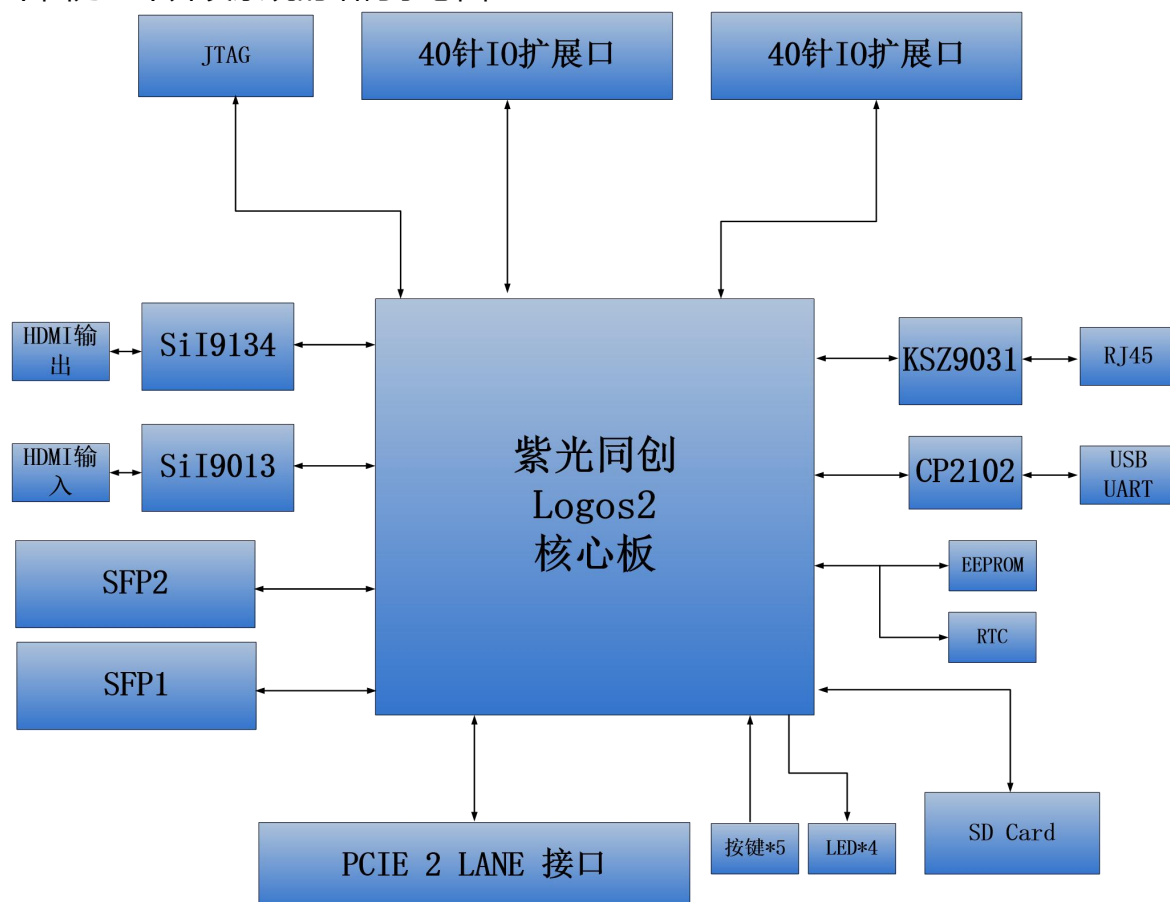
在这里，对这款 AXP100B FPGA 开发平台进行简单的功能介绍。

开发板的整个结构，继承了我们一贯的核心板+扩展板的模式来设计的。核心板和扩展板之间使用高速板间连接器连接。

核心板主要由 FPGA + 2 个 DDR3 + QSPI FLASH 构成，承担 FPGA 高速数据处理和存储的功能，加上 FPGA 和两片 DDR3 之间的高速数据读写，数据位宽为 32 位，整个系统的带宽高达 25Gb/s (800M*32bit); 另外两片 DDR3 容量高达 8Gbit，满足数据处理过程中对高缓冲区的需求。我们选用的 FPGA 为紫光同创 公司 Logos2 系列的 PG2L100H 芯片。我们选用的 FPGA 是 FBG 676 封装。PG2L100H 和 DDR3 之间通信的时钟频率达到 400Mhz, 数据速率为 800Mhz, 充分满足了高速多路数据处理的需求。另外 PG2L100H FPGA 带有 8 路 HSSTLP 高速收发器，每路速度高达 6.6Gb/s，非常适合用于光纤通信和 PCIe 数据通信。

底板为核心板扩展了丰富的外围接口，其中包含一个 PClex2 接口、两路光纤模块接口，一路 HDMI 输出接口，一路 HDMI 输入接口，一路千兆以太网接口，一路 Uart 接口，一路 SD 卡接口、2 路 40 针的扩展口和一些按键，LED 和 EEPROM 电路。

下图为整个开发系统的结构示意图：



通过这个示意图，我们可以看到，我们这个开发平台所能实现的功能。

- Logos2 FPGA 核心板

由 PG2L100H+8Gb DDR3+256Mb QSPI FLASH 组成，另外有 3 个高精度 Sitime 公司的 LVDS 差分晶振，一个是 200MHz，另 2 个是 125MHz，此外还有一个 50MHz 的有源晶振，为 FPGA 系统和高速串行收发器 HSSTLP 模块提供稳定的时钟输入。

- 一路 PCIe x4 接口

支持 PCI Express 2.0 标准，提供 PCIe x2 模式高速数据传输，单通道通信速率可高达 5GBaud。

- 两路 SFP 高速光纤接口

Logos2 FPGA 的 HSSTLP 收发器的 2 路高速收发器连接到 2 个光模块的发送和接收，实现 2 路高速的光纤通信接口。每路的光纤数据通信接收和发送的速度高达 6.6Gb/s。

- 一路 10/100M/1000M 以太网 RJ-45 接口

千兆以太网接口芯片采用 KSZ9031RX 以太网 PHY 芯片为用户提供网络通信服务。KSZ9031RX 芯片支持 10/100/1000 Mbps 网络传输速率；全双工和自适应。

- 一路 HDMI 输出

我们选用了 Sillion Image 公司的 SIL9134 HDMI 编码芯片，最高支持 1080P@60Hz 输出，支持 3D 输出。

- 一路 HDMI 输入

我们选用了 Sillion Image 公司的 SIL9011/SIL9013 HDMI 解码芯片，最高支持 1080P@60Hz 输入，支持不同格式的数据输出。

- 一路 USB Uart 接口

一路 Uart 转 USB 接口，用于和电脑通信，方便用户调试。串口芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片，USB 接口采用 MINI USB 接口。

- Micro SD 卡座

一路 Micro SD 卡座，支持 SD 模式和 SPI 模式。

- EEPROM

板载一片 IIC 接口的 EEPROM 24LC04;

- 二路 40 针扩展口

预留 2 个 40 针 2.54mm 间距的扩展口，可以外接黑金的各种模块(双目摄像头, TFT LCD 屏, 高速 AD 模块等等)。扩展口包含 5V 电源 1 路, 3.3V 电源 2 路, 地 3 路, IO 口 34 路。

- JTAG 口

10 针 2.54mm 标准的 JTAG 口，用于 FPGA 程序的下载和调试;

- 按键

4 个用户按键，1 个复位按键；

- LED 灯

5 个用户发光二极管 LED (1 个在核心板，4 个在扩展板)；

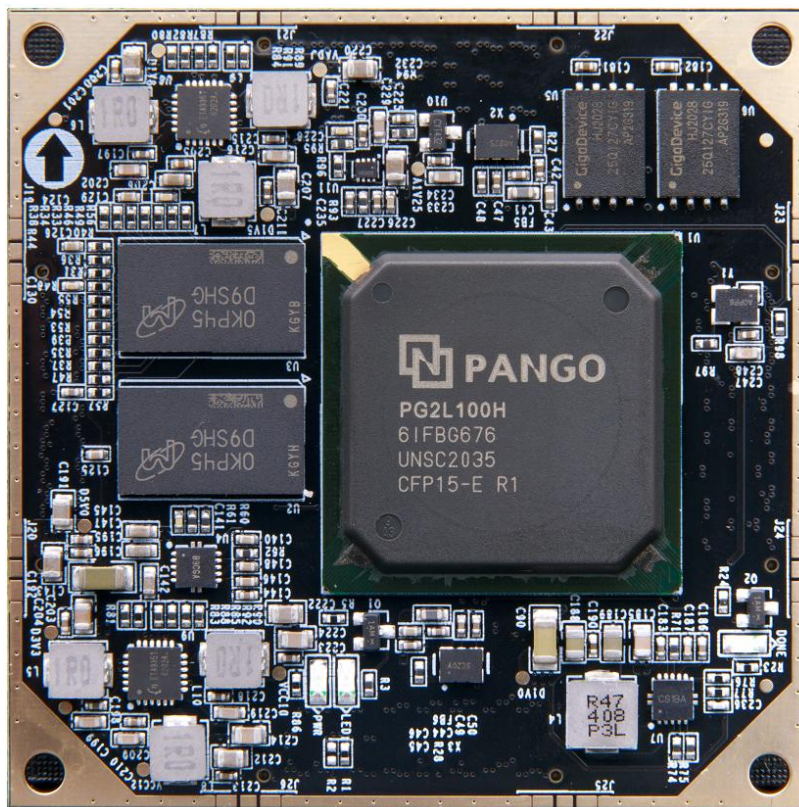
二、FPGA 核心板

(一) 简介

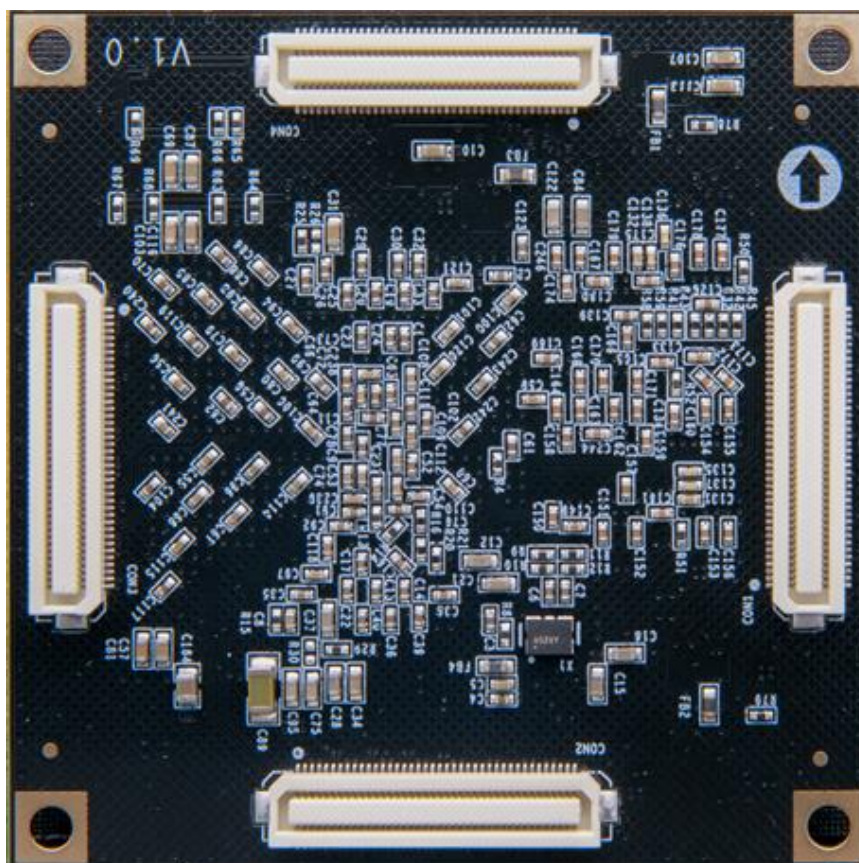
P100(核心板型号, 下同)核心板, 是基于紫光同创公司的 Logos2 系列 100H 的 PG2L100H-6IFBG676 这款芯片开发的高性能核心板, 具有高速, 高带宽, 高容量等特点, 适合高速数据通信, 视频图像处理, 高速数据采集等方面使用。

这款核心板使用了 2 片 MICRON 公司的 MT41J256M16HA-125 这款 DDR3 芯片, 每片 DDR 的容量为 4Gbit; 2 片 DDR 芯片组合成 32bit 的数据总线宽度, FPGA 和 DDR3 之间的读写数据带宽高达 25Gb; 这样的配置可以满足高带宽的数据处理需求。

这款核心板扩展出 190 个默认电平标准为 3.3V 普通 IO 口, 其中有 100 个 IO 电压标准可调, 6 个 1.5V 电平标准的普通 IO 口, 还有 8 对 HSSTLP 高速 RX/TX 差分信号。对于需要大量 IO 的用户, 此核心板将是不错的选择。而且, FPGA 芯片到接口之间走线做了等长和差分处理, 同时引出了 FPGA 内部 ADC 模块, 并且核心板尺寸仅为 60*60 (mm), 对于二次开发来说非常适合。



P100 核心板正面图



P100 核心板背面图

(二) FPGA

前面已经介绍过了，我们所使用的 FPGA 型号为 **PG2L100H-6IFBG676**，属于紫光同创公司 Logos2 系列的产品，速度等级为 6，温度等级为工业级。此型号为 FBG676 封装，676 个引脚。紫光同创 Logos2 FPGA 的芯片命名规则如下：

Logos2系列FPGA产品型号的编号内容及意义如图1所示。

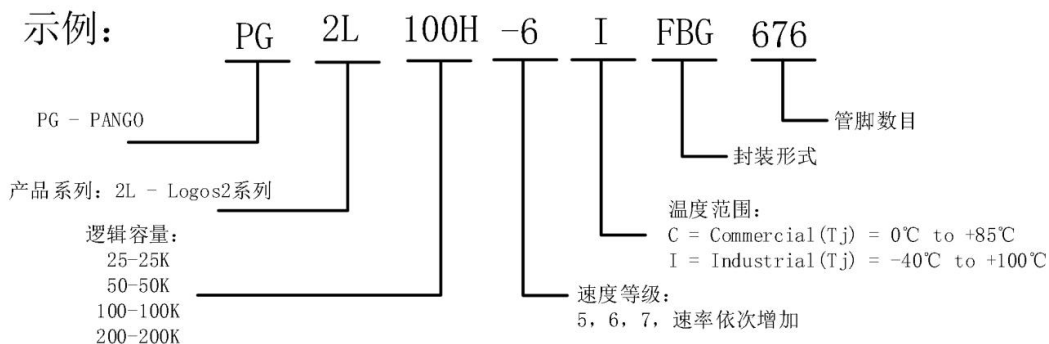


图 2-2-1 为开发板所用的 FPGA 芯片实物图。



图 2-2-1 FPGA 芯片实物

其中 FPGA 芯片 PG2L100H 的主要参数如下所示：

名称	具体参数
触发器(FF)	133200
查找表 LUT6(LUT6=1.5LUT4)	66600
DRM (36Kbits) 个数	155
APM 单元 (乘法器)	240
PCIe Gen2	1
模数转换/ADC	1 个 12bit, 1Mbps AD
HSSTLP	8 路, 6.6Gb/s max
速度等级	-6
温度等级	工业级

FPGA 供电系统

Logos2 FPGA 电源有 V_{CC} , V_{CCDRM} , V_{CCA} , V_{CCIO} , $V_{HSSTAVCC}$ 和 $V_{HSSTAVCCPLL}$ 。 V_{CC} 为 FPGA 内核供电引脚，需接 1.0V； V_{CCDRM} 为 FPGA DRM 的供电引脚；接 1.0V； V_{CCA} 为 FPGA 辅助供电引脚，接 1.8V； V_{CCIO} 为 FPGA 的各个 BANK 的电压，包含 L3~L6, R4、R5,在 P100 核心板上，R4 与 R5 因为需要连接 DDR3，BANK 的电压连接的是 1.5V，其它 BANK 的电压默认都是 3.3V，其中 L3 和 L6 的 V_{CCO} 是可以修改更换电源电阻阻值更改 BANK 的电平。 $V_{HSSTAVCC}$ 为 FPGA 内部 HSSTLP 收发器的供电电压，接 1.0V， $V_{HSSTAVCCPLL}$ 为 HSSTLP 收发器的端接电压，接 1.2V。

(三) 有源晶振

P100 核心板上配有 3 个 Sitime 公司的有源差分晶振，一个是 200MHz，型号为

SiT9121-200.00MHz，用于 FPGA 的系统主时钟和用于产生 DDR3 控制时钟；另两个为 125MHz，型号为 SiT9121-125MHz，用于 HSSTLP 收发器的参考时钟输入。

1). 200Mhz 差分时钟

图 3.1 中的 X1 即为我们上述提到的给开发板提供的系统时钟源 200M 有源差分晶振电路。晶振输出连接到 FPGA 的 R5 全局时钟管脚 GMCLK(R3 和 P3)，这个 200Mhz 的差分时钟可以用来驱动 FPGA 内的用户逻辑电路，用户可以通过配置 FPGA 内部的 PLL 来产生不同频率的时钟。

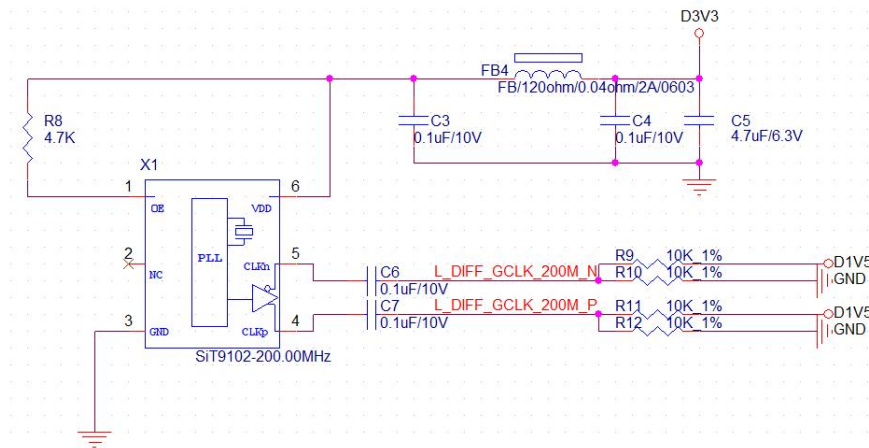


图 2-3-1 200M 有源差分晶振

图 2-3-2 为 200Mhz 差分有源晶振实物图



图 2-3-2 200M 有源差分晶振实物图

时钟引脚分配:

引脚名称	FPGA 引脚
L_DIFF_GCLK_200M_P	R3
L_DIFF_GCLK_200M_N	P3

2). 125Mhz 差分时钟

图 2-3-3 中的 X2 与 X3 即为 125M 有源差分晶振电路,此时钟是给 FPGA 内部的 HSSTLP 模块提供的参考输入时钟。晶振输出连接到 FPGA HSSTLP 的 BANK Q3 与 Q6 的时钟管脚上。

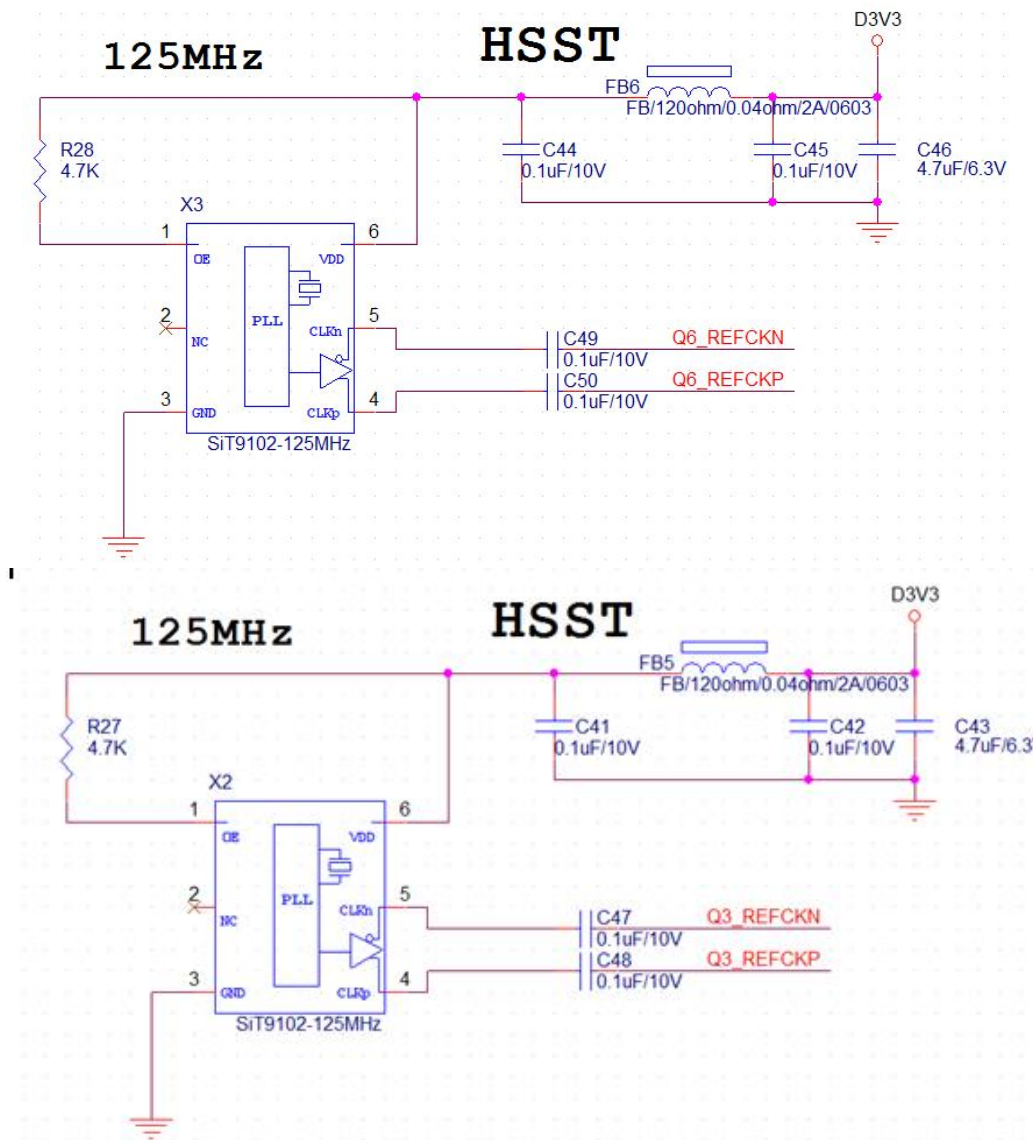


图 2-3-3 125Mhz 有源差分晶振

图 2-3-4 为 125M 差分有源晶振实物图

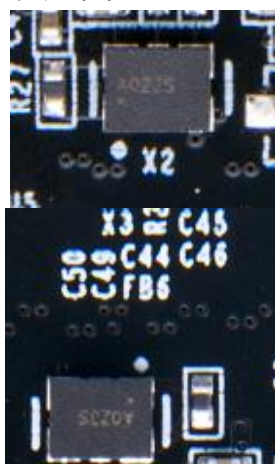


图 2-3-4 125M 有源晶振实物图

时钟引脚分配:

引脚名称	FPGA 引脚
Q3_REFCKP	F11
Q3_REFCKN	E11
Q6_REFCKP	AA11
Q6_REFCKN	AB11

3). 50Mhz 有源晶振

图 2-3-5 中的 Y1 即为 50M 有源晶振电路, 此时钟接到给 FPGA 内部的全局时钟管脚上, 可为 FPGA 提供的参考输入时钟, 采用 Sitime 的 SiT8008-50。

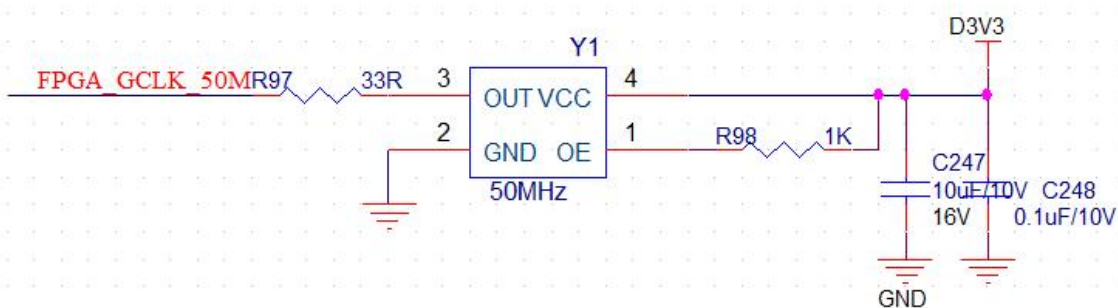


图 2-3-5 50Mhz 有源晶振

图 2-3-6 为 125M 差分有源晶振实物图

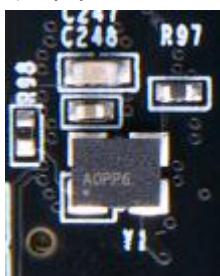


图 2-3-6 50M 有源晶振实物图

时钟引脚分配:

引脚名称	FPGA 引脚
QFPGA_GCLK_50M	K21

(四) DDR3

P100 核心板上配有两个 Micron(美光) 的 4Gbit (512MB) 的 DDR3 芯片(共计 8Gbit),

型号为 MT41J256M16HA-125（兼容 MT41K256M16HA-125）。DDR 的总线宽度共为 32bit。DDR3 SDRAM 的最高运行时钟速度可达 400MHz(数据速率 800Mbps)。该 DDR3 存储系统直接连接到了 FPGA 的 BANK R4 和 BANKR5 的存储器接口上。DDR3 SDRAM 的具体配置如下表 2-4-1 所示。

表 2-4-1 DDR3 SDRAM 配置

位号	芯片类型	容量	厂家
U2,U3	MT41J256M16HA-125	256M x 16bit	micron

DDR3 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制,走线等长控制，保证 DDR3 的高速稳定的工作。

DDR3 DRAM 的硬件连接示意图如图 2-4-1 所示:

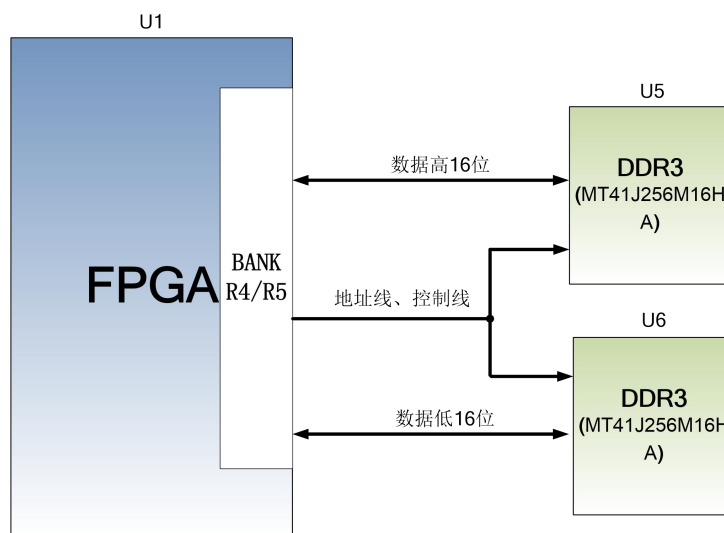


图2-4-1 DDR3 DRAM原理图示意图

图 2-4-2 为 DDR3 DRAM 实物图

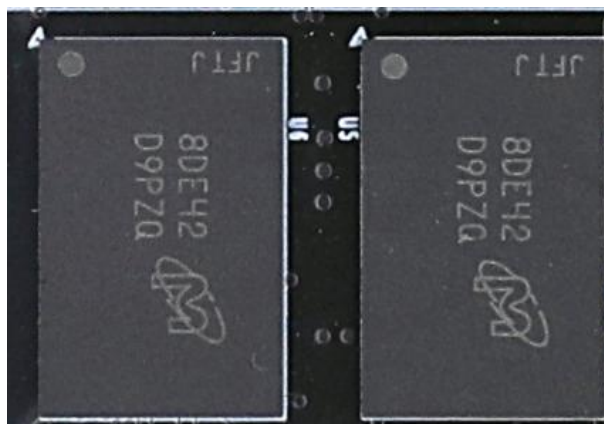


图2-4-2 DDR3 DRAM实物图

DDR3 DRAM 引脚分配:

信号名称	FPGA 引脚名
DDR3_DQS3_P	C1
DDR3_DQS3_N	B1
DDR3_DQS2_P	B5
DDR3_DQS2_N	A5
DDR3_DQS1_P	H7
DDR3_DQS1_N	G7
DDR3_DQS0_P	J4
DDR3_DQS0_N	H4
DDR3_DM3	E2
DDR3_DM2	F3
DDR3_DM1	D6
DDR3_DM0	K6
DDR3_D31	C2
DDR3_D30	G2
DDR3_D29	A2
DDR3_D28	F2
DDR3_D27	A3
DDR3_D26	G1
DDR3_D25	D1
DDR3_D24	E1
DDR3_D23	D3
DDR3_D22	B4
DDR3_D21	D4
DDR3_D20	A4
DDR3_D19	E5
DDR3_D18	C4
DDR3_D17	E3
DDR3_D16	C3
DDR3_D15	F8
DDR3_D14	H9
DDR3_D13	G6

DDR3_D12	G8
DDR3_D11	F7
DDR3_D10	H8
DDR3_D9	E6
DDR3_D8	H6
DDR3_D7	J5
DDR3_D6	F4
DDR3_D5	J6
DDR3_D4	F5
DDR3_D3	L8
DDR3_D2	G4
DDR3_D1	K7
DDR3_D0	G5
DDR3_A14	U6
DDR3_A13	T3
DDR3_A12	R2
DDR3_A11	U5
DDR3_A10	R1
DDR3_A9	K2
DDR3_A8	T5
DDR3_A7	K1
DDR3_A6	T4
DDR3_A5	L2
DDR3_A4	P6
DDR3_A3	L3
DDR3_A2	U2
DDR3_A1	R5
DDR3_A0	T2
DDR3_BA2	N4
DDR3_BA1	P4
DDR3_BA0	M1
DDR3_WE	P1

DDR3_S0	M2
DDR3_RESET	J1
DDR3_RAS	N2
DDR3_ODT	N1
DDR3_CLK0_P	R7
DDR3_CLK0_N	R6
DDR3_CKE0	U1
DDR3_CAS	N3

(五) QSPI Flash

核心板上使用了 2 片 128Mbit 大小的 QSPI FLASH 芯片，型号为 GD25Q127CYIG，它使用 3.3V CMOS 电压标准。由于它的非易失特性，在使用中，QSPI FLASH 可以作为 FPGA 系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、软核的应用程序代码以及其它的用户数据文件。

SPI FLASH的具体型号和相关参数见下表

位号	芯片类型	容量	厂家
U5、U6	GD25Q127CYIG	128M Bit	兆易

表2-5-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 FPGA 芯片的 BANK 的 L4 和 L5 的专用管脚上，其中时钟管脚连接到专用的配置 BANK 的 CFG_CLK 上。图 2-5-1 为 QSPI Flash 在硬件连接示意图。

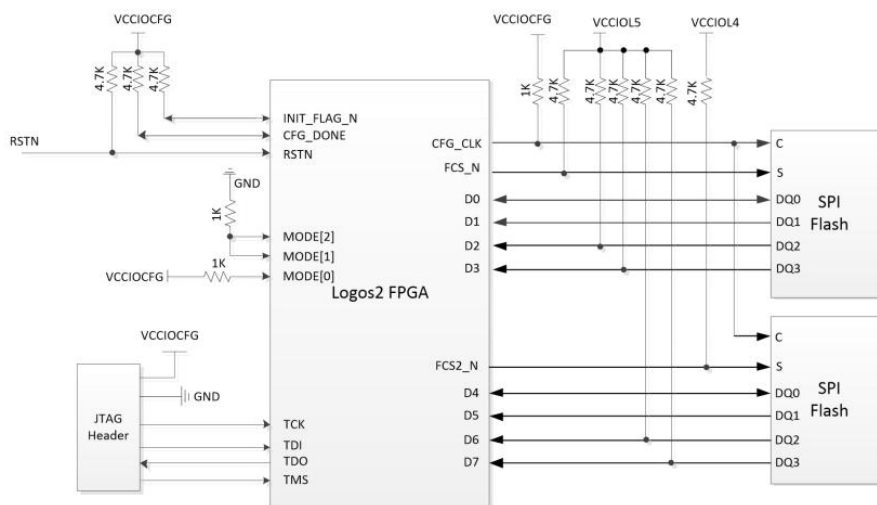


图2-5-1 QSPI Flash连接示意图

配置芯片引脚分配:

信号名称	FPGA 引脚号
QSPI1_DQ3	R17
QSPI1_DQ2	R16
QSPI1_DQ1	N17
QSPI1_DQ0	N16
QSPI1_CS	F25
QSPI0_DQ3	N14
QSPI0_DQ2	P14
QSPI0_DQ1	R15
QSPI0_DQ0	R14
QSPI0_CS	P18
QSPI_CLK	H13

图 2-5-2 为开发板上 QSPI Flash 的实物图



图 2-5-2 QSPI FLASH 部分实物图

(六) LED 灯

P100 核心板上有 3 个红色 LED 灯，其中 1 个是电源指示灯(PWR)，1 个是配置 LED 灯 (DONE)，另外一个为用户 LED 灯 (LED1)。当核心板供电后，电源指示灯会亮起；当 FPGA 配置程序后，配置 LED 灯会亮起。用户 LED 灯用户连接到 BANK R5 的 IO 上，可以通过程序来控制亮和灭，当连接用户 LED 灯的 IO 电压为高时，用户 LED 灯点亮，当连接 IO 电压为低时，用户 LED 会被熄灭。LED 灯硬件连接的示意图如图 2-6-1 所示：

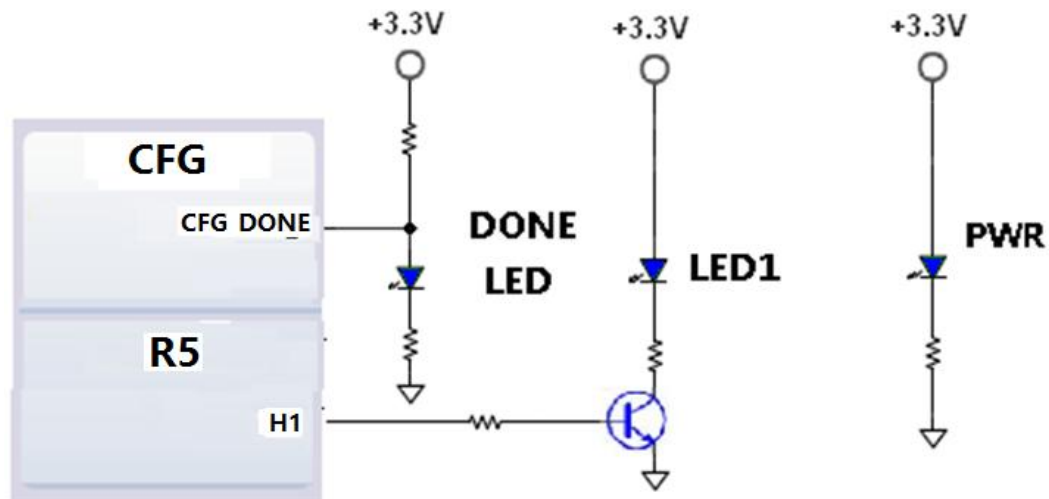


图 2-6-1 核心板 LED 灯硬件连接示意图

图 2-6-2 为核心板上的 LED 灯实物图

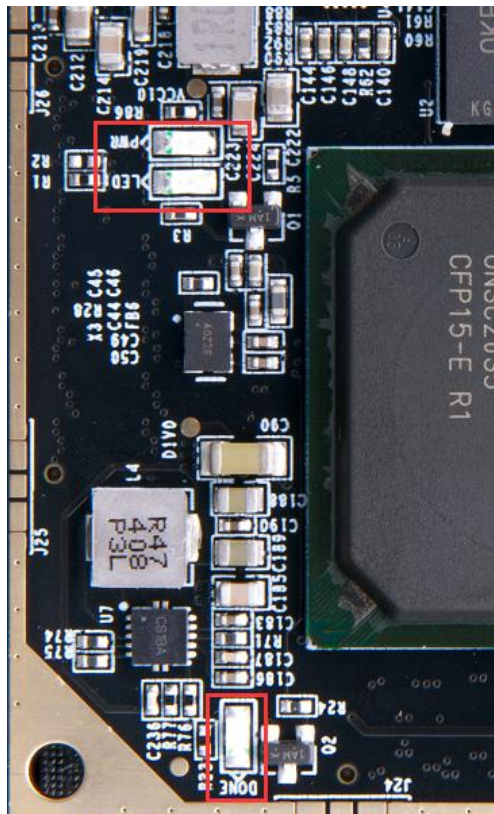


图 2-6-2 核心板的 LED 灯实物图

用户 LED 灯的引脚分配

信号名称	FPGA 管脚号	备注
LED1	H1	用户LED灯

(七) 扩展接口

核心板的背面一共扩展出 4 个高速扩展口，使用 4 个 80Pin 的板间连接器和底板连接，连接器使用松下的 AXK580137YG，对应底板的连接器型号为 AXK680337YG。FPGA 的 IO 口通过差分走线方式连接到这 4 个扩展口上。连接器的 PIN 脚间距为 0.5mm，和底板的母座连接器配置实现高速数据通信。

注意：BANK L3、L4、L5、L6 的 IO 口默认连接电平为 3.3V。其中 L3、L6 两个 BANK 的 IO 电压可通过调整电源的电阻阻值进行改变。

扩展口 CON1

80Pin 的连接器 CON1 用来连接底板的 VCCIN 电源(+5V),地和 FPGA 的普通 IO，这里需要注意，CON1 的有 6 个管脚是连接到 R5 BANK 上的 IO 口，由于 R5 连接是连接到 DDR3 的，所以这个 BANK 的所有 IO 的电压标准都是 1.5V 的。同时引出了 L6 的部分 IO 和 HSSTLP 管脚，L6 的 IO 口的电压标准可以通过修改电源电阻的阻值调整，默认安装的是 3.3V 的，如果用户想输出其它标准的电平，可以通过修改电源进行。CON1 扩展口的管脚分配如表 2-7-1 所示：

2-7-1 表：扩展口 CON1 引脚分配

CON1 管脚	信号 名称	FPGA 管脚号	电平 标准	CON1 管脚	信号 名称	FPGA 管脚号	电平标 准
PIN1	VCCIN	-	+5V	PIN2	VCCIN	-	+5V
PIN3	VCCIN	-	+5V	PIN4	VCCIN	-	+5V
PIN5	VCCIN	-	+5V	PIN6	VCCIN	-	+5V
PIN7	VCCIN	-	+5V	PIN8	VCCIN	-	+5V
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	NC	-	空脚	PIN12	L6_L19_P	V18	3.3V
PIN13	L6_L15_N	U20	3.3V	PIN14	L6_L19_N	W18	3.3V
PIN15	L6_L17_P	T19	3.3V	PIN16	L6_L18_P	V19	3.3V
PIN17	L6_L17_N	U19	3.3V	PIN18	L6_L18_N	W19	3.3V
PIN19	GND	-	地	PIN20	GND	-	地
PIN21	L6_L23_P	U14	3.3V	PIN22	L6_L22_P	U15	3.3V
PIN23	L6_L23_N	V14	3.3V	PIN24	L6_L22_N	U16	3.3V
PIN25	L6_L20_P	T14	3.3V	PIN26	L6_L12_P	U22	3.3V
PIN27	L6_L20_N	T15	3.3V	PIN28	L6_L12_N	V22	3.3V
PIN29	GND	-	地	PIN30	GND	-	地
PIN31	L6_L24_P	V16	3.3V	PIN32	L6_L16_P	W24	3.3V

PIN33	L6_L24_N	V17	3.3V	PIN34	L6_L16_N	V24	3.3V
PIN35	L6_L21_P	T17	1.5V	PIN36	L6_L13_P	U21	1.5V
PIN37	L6_L21_N	T18	1.5V	PIN38	L6_L13_N	V21	1.5V
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	QR6_MGT_RX2_N	AF13	差分	PIN42	NC	-	空脚
PIN43	QR6_MGT_RX2_P	AE13	差分	PIN44	GND	-	地
PIN45	GND	-	地	PIN46	QR6_MGT_RX0_N	AF11	差分
PIN47	R5_L25	P5	1.5V	PIN48	QR6_MGT_RX0_P	AE11	差分
PIN49	GND	-	地	PIN50	GND	-	地
PIN51	XADC_VN	P11	模拟	PIN52	NC	-	空脚
PIN53	XADC_VP	N12	模拟	PIN54	GND	-	地
PIN55	R5_L21_N	L7	1.5V	PIN56	QR6_MGT_TX2_N	AF9	差分
PIN57	R5_L21_P	M7	1.5V	PIN58	QR6_MGT_TX2_P	AE9	差分
PIN59	GND	-	地	PIN60	GND	-	地
PIN61	L3_L8_N	D16	3.3V	PIN62	NC	-	空脚
PIN63	L3_L8_P	E16	3.3V	PIN64	GND	-	地
PIN65	L3_L4_N	F15	3.3V	PIN66	QR6_MGT_TX0_N	AF7	差分
PIN67	L3_L4_P	G15	3.3V	PIN68	QR6_MGT_TX0_P	AE7	差分
PIN69	GND	-	地	PIN70	GND	-	地
PIN71	L3_L6_N	G16	3.3V	PIN72	QR6_MGT_TX1_N	AD8	差分
PIN73	L3_L6_P	H16	3.3V	PIN74	QR6_MGT_TX1_P	AC8	差分
PIN75	L3_L1_P	H14	3.3V	PIN76	GND	-	地
PIN77	L3_L1_N	H15	3.3V	PIN78	QR6_MGT_TX3_N	AD10	差分
PIN79	NC	-	空脚	PIN80	QR6_MGT_TX3_P	AC10	差分

图 2-7-1 为 CON1 扩展口连接器的实物图，连接器的 Pin1 已经在板上用圆点标示出。



图 2-7-1 CON1 扩展口连接器的实物图

扩展口 CON2

80Pin 的连接器 CON2 用来扩展 FPGA 的 L3 和 L6 的普通 IO，L3、L6 的电压标准都是可

以通过修改电源电阻的阻值调整，默认是 3.3V 的，如果用户想输出其它标准的电平，可以通过修改阻值的方式来实现。CON2 扩展口的管脚分配如表 2-7-2 所示：

2-7-2 表：扩展口 CON2 引脚分配

CON2 管脚	信号 名称	FPGA 管脚号	电平 标准	CON2 管脚	信号 名称	FPGA 管脚号	电平标准
PIN1	L6_L1_P	U25	3.3V	PIN2	L5_L20_P	R20	3.3V
PIN3	L6_L1_N	U26	3.3V	PIN4	L5_L20_N	M26	3.3V
PIN5	L6_L2_P	V26	3.3V	PIN6	L6_L4_P	W25	3.3V
PIN7	L6_L2_N	W26	3.3V	PIN8	L6_L4_N	Y26	3.3V
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	L6_L3_P	AB26	3.3V	PIN12	L5_L22_P	R26	3.3V
PIN13	L6_L3_N	AC26	3.3V	PIN14	L5_L22_N	P26	3.3V
PIN15	L6_L5_P	Y25	3.3V	PIN16	L5_L7_N	K26	3.3V
PIN17	L6_L5_N	AA25	3.3V	PIN18	L5_L7_P	K25	3.3V
PIN19	GND	-	地	PIN20	GND	-	地
PIN21	L6_L9_P	AB24	3.3V	PIN22	L5_L9_N	L25	3.3V
PIN23	L6_L9_N	AC24	3.3V	PIN24	L5_L9_P	L24	3.3V
PIN25	L6_L8_P	AA22	3.3V	PIN26	L5_L15_P	N23	3.3V
PIN27	L6_L8_N	AA23	3.3V	PIN28	L5_L15_N	N24	3.3V
PIN29	GND	-	地	PIN30	GND	-	地
PIN31	L6_L10_N	W23	3.3V	PIN32	L5_L6_N	N18	3.3V
PIN33	L6_L10_P	V23	3.3V	PIN34	L6_IO0	U24	3.3V
PIN35	L6_L14_N	W21	3.3V	PIN36	L5_L11_N	L23	3.3V
PIN37	L6_L14_P	Y21	3.3V	PIN38	L5_L11_P	L22	3.3V
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	L5_L12_N	M22	3.3V	PIN42	L5_L8_P	M20	3.3V
PIN43	L5_L12_P	M21	3.3V	PIN44	L5_L8_N	L20	3.3V
PIN45	L5_L14_N	P21	3.3V	PIN46	L5_L16_P	P19	3.3V
PIN47	L5_L14_P	P20	3.3V	PIN48	L5_L16_N	N19	3.3V
PIN49	GND	-	地	PIN50	GND	-	地
PIN51	L5_L19_N	P25	3.3V	PIN52	L5_L10_N	M25	3.3V
PIN53	L5_L19_P	R25	3.3V	PIN54	L5_L10_P	M24	3.3V
PIN55	L5_L17_N	P24	3.3V	PIN56	L5_L13_N	N22	3.3V
PIN57	L5_L17_P	P23	3.3V	PIN58	L5_L13_P	P15	3.3V
PIN59	GND	-	地	PIN60	GND	-	地
PIN61	L6_L6_P	V24	3.3V	PIN62	L5_L3_N	P16	3.3V

PIN63	L6_L6_N	W24	3.3V	PIN64	L5_L3_P	P15	3.3V
PIN65	L5_L21_N	T25	3.3V	PIN66	L6_L7_N	AB25	3.3V
PIN67	L5_L21_P	T24	3.3V	PIN68	L6_L7_P	AA24	3.3V
PIN69	GND	-	地	PIN70	GND	-	地
PIN71	L5_L24_P	T23	3.3V	PIN72	L6_L11_N	Y23	3.3V
PIN73	L5_L24_N	R23	3.3V	PIN74	L6_L11_P	Y22	3.3V
PIN75	L5_L23_N	R22	3.3V	PIN76	L5_L18_P	R28	3.3V
PIN77	L5_L23_P	T22	3.3V	PIN78	L5_L18_N	R21	3.3V
PIN79	L5_IO0	M19	3.3V	PIN80	L5_IO25	R18	3.3V

图 2-7-2 为 CON2 扩展口连接器的实物图，连接器的 Pin1 已经在板上用圆点标示出。



图 2-7-2 CON2 扩展口连接器的实物图

扩展口 CON3

80Pin 的连接器 CON3 用来扩展 FPGA 的 L3 和 L4 的普通 IO，另外还有 4 个 JTAG 的信号也通过 CON3 连接器连接到底板上。L3 的电压标准都是可以通过修改电源电阻的阻值调整，默认是 3.3V 的，如果用户想输出其它标准的电平，可以通过修改阻值的方式来实现。L4 的电平标准为固定的 3.3V，CON3 扩展口的管脚分配如表 2-7-3 所示：

2-7-3 表：扩展口 CON3 引脚分配

CON3 管脚	信号名称	FPGA 管脚号	电平标准	CON3 管脚	信号名称	FPGA 管脚号	电平标准
PIN1	L4_IO0	K18	3.3V	PIN2	L4_L23_P	G25	3.3V
PIN3	L3_IO25	E22	3.3V	PIN4	L6_L15_P	T20	3.3V
PIN5	L4_L2_P	J14	3.3V	PIN6	L3_L9_N	A18	3.3V
PIN7	L4_L2_N	J15	3.3V	PIN8	L3_L9_P	A17	3.3V
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	L4_L10_P	J18	3.3V	PIN12	L3_L23_P	C24	3.3V
PIN13	L4_L10_N	H18	3.3V	PIN14	L3_L23_N	B24	3.3V
PIN15	L4_L7_N	H19	3.3V	PIN16	L3_L22_P	C26	3.3V
PIN17	L4_L7_P	J19	3.3V	PIN18	L3_L22_N	B26	3.3V

PIN19	GND	-	地	PIN20	GND	-	地
PIN21	L4_L1_P	K15	3.3V	PIN22	L3_L24_P	D23	3.3V
PIN23	L4_L1_N	J16	3.3V	PIN24	L3_L24_N	D24	3.3V
PIN25	L4_L12_N	J21	3.3V	PIN26	L4_L20_N	D25	3.3V
PIN27	L4_L11_N	G21	3.3V	PIN28	L4_L20_P	E25	3.3V
PIN29	GND	-	地	PIN30	GND	-	地
PIN31	L4_L18_P	K22	3.3V	PIN32	L4_L21_N	D26	3.3V
PIN33	L4_L18_N	K23	3.3V	PIN34	L4_L21_P	E26	3.3V
PIN35	L4_L8_N	L18	3.3V	PIN36	L4_L3_P	K16	3.3V
PIN37	L4_L8_P	L17	3.3V	PIN38	L4_L3_N	K17	3.3V
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	L4_L5_P	M15	3.3V	PIN42	L4_L6_N	M17	3.3V
PIN43	L4_L5_N	L15	3.3V	PIN44	L4_L6_P	M16	3.3V
PIN45	L4_L16_P	J24	3.3V	PIN46	L4_L17_N	E23	3.3V
PIN47	L4_L16_N	H24	3.3V	PIN48	L4_L17_P	F23	3.3V
PIN49	GND	-	地	PIN50	GND	-	地
PIN51	L4_L11_P	G20	3.3V	PIN52	L4_L15_N	F22	3.3V
PIN53	L3_IO0	H17	3.3V	PIN54	L4_L15_P	G22	3.3V
PIN55	L4_L4_P	M14	3.3V	PIN56	L4_L14_P	J23	3.3V
PIN57	L4_L4_N	L14	3.3V	PIN58	L4_L14_N	H23	3.3V
PIN59	GND	-	地	PIN60	GND	-	地
PIN61	L4_IO25	L19	3.3V	PIN62	L4_L19_P	G24	3.3V
PIN63	L6_IO25	U17	3.3V	PIN64	L4_L19_N	F24	3.3V
PIN65	L4_L9_P	K20	3.3V	PIN66	L4_L13_N	K17	3.3V
PIN67	L4_L9_N	J20	3.3V	PIN68	L4_L13_P	K16	3.3V
PIN69	GND	-	地	PIN70	GND	-	地
PIN71	L4_L24_P	J25	3.3V	PIN72	L4_L22_P	H26	3.3V
PIN73	L4_L24_N	J26	3.3V	PIN74	L4_L22_N	G26	3.3V
PIN75	NC	-		PIN76	NC	-	
PIN77	FPGA_TCK	V12	3.3V	PIN78	FPGA_TDI	R13	3.3V
PIN79	FPGA_TDO	U13	3.3V	PIN80	FPGA_TMS	T13	3.3V

图 2-7-3 为 CON3 扩展口连接器的实物图，连接器的 Pin1 已经在板上用圆点标示出。

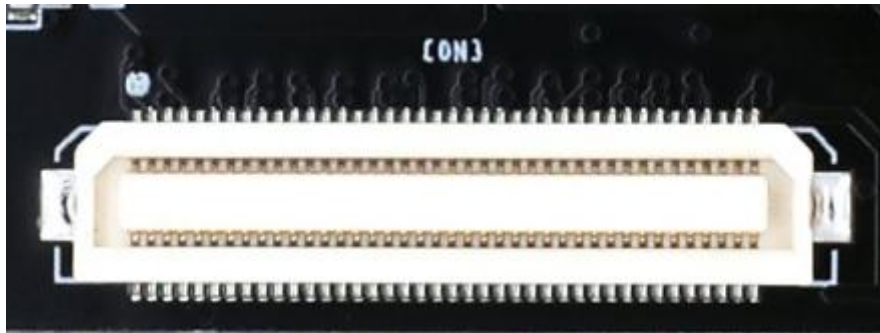


图 2-7-3 CON3 扩展口连接器的实物图

扩展口 CON4

80Pin 的连接器 CON4 用来扩展 FPGA 的 BANK L3 及 R5 的普通 IO 和 HSSTLP 的高速数据和时钟信号。L3 的 IO 口的电压标准可以通过修改电源电阻的阻值调整, 默认安装的是 3.3V 的, 如果用户想输出其它标准的电平, 可以通过修改电源进行。HSSTLP 的高速数据和时钟信号在核心板上严格差分走线, 数据线等长及保持一定的间隔, 防止信号干扰。CON4 扩展口的管脚分配如表 2-7-4 所示:

2-7-4 表: 扩展口 CON4 引脚分配

CON4 管脚	信号 名称	FPGA 管脚号	电平 标准	CON4 管脚	信号 名称	FPGA 管脚号	电平 标准
PIN1	R5_L24_P	L5	1.5V	PIN2	R5_L24_N	K5	1.5V
PIN3	GND	-	地	PIN4	GND	-	地
PIN5	QR6_MGT_RX3_N	AD12	差分	PIN6	QR6_MGT_RX1_N	AD14	差分
PIN7	QR6_MGT_RX3_P	AC12	差分	PIN8	QR6_MGT_RX1_P	AC14	差分
PIN9	GND	-	地	PIN10	GND	-	地
PIN11	QR6_MGT_CLK1_N	AB13	差分	PIN12	MGT_TX1_P	B9	差分
PIN13	QR6_MGT_CLK1_P	AA13	差分	PIN14	MGT_TX1_N	A9	差分
PIN15	GND	-	地	PIN16	GND	-	地
PIN17	MGT_TX0_P	D10	差分	PIN18	MGT_RX1_P	B13	差分
PIN19	MGT_TX0_N	C10	差分	PIN20	MGT_RX1_N	A13	差分
PIN21	GND	-	地	PIN22	GND	-	地
PIN23	MGT_RX0_P	D12	差分	PIN24	MGT_TX3_P	B7	差分
PIN25	MGT_RX0_N	C12	差分	PIN26	MGT_TX3_N	A7	差分
PIN27	GND	-	地	PIN28	GND	-	地
PIN29	MGT_TX2_P	D8	差分	PIN30	MGT_RX3_P	B11	差分
PIN31	MGT_TX2_N	C8	差分	PIN32	MGT_RX3_N	A11	差分
PIN33	GND	-	地	PIN34	GND	-	地

PIN35	MGT_RX2_P	D14	差分	PIN36	MGT_CLK1_P	F13	差分
PIN37	MGT_RX2_N	C14	差分	PIN38	MGT_CLK1_N	E13	差分
PIN39	GND	-	地	PIN40	GND	-	地
PIN41	L3_L7_P	C17	3.3V	PIN42	L3_L2_P	G17	3.3V
PIN43	L3_L7_N	B17	3.3V	PIN44	L3_L2_N	F17	3.3V
PIN45	L3_L12_P	D18	3.3V	PIN46	L3_L11_P	E17	3.3V
PIN47	L3_L12_N	C18	3.3V	PIN48	L3_L11_N	E18	3.3V
PIN49	GND	-	地	PIN50	GND	-	地
PIN51	L3_L10_P	B19	3.3V	PIN52	L3_L3_P	F18	3.3V
PIN53	L3_L10_N	A19	3.3V	PIN54	L3_L3_N	F19	3.3V
PIN55	L3_L15_P	B20	3.3V	PIN56	L3_L13_P	D19	3.3V
PIN57	L3_L15_N	A20	3.3V	PIN58	L3_L13_N	C19	3.3V
PIN59	GND	-	地	PIN60	GND	-	地
PIN61	L3_L16_P	C21	3.3V	PIN62	L3_L14_P	E20	3.3V
PIN63	L3_L16_N	B21	3.3V	PIN64	L3_L14_N	D20	3.3V
PIN65	L3_L17_P	B22	3.3V	PIN66	L3_L18_P	E21	3.3V
PIN67	L3_L17_N	A22	3.3V	PIN68	L3_L18_N	D21	3.3V
PIN69	GND	-	地	PIN70	GND	-	地
PIN71	L3_L19_P	C22	3.3V	PIN72	L3_L5_P	G19	3.3V
PIN73	L3_L19_N	C23	3.3V	PIN74	L3_L5_N	F20	3.3V
PIN75	L3_L21_P	A23	3.3V	PIN76	L3_L20_P	B25	3.3V
PIN77	L3_L21_N	A24	3.3V	PIN78	L3_L20_N	A25	3.3V
PIN79	NC	-		PIN80	NC	-	

图 2-7-4 为 CON4 扩展口连接器的实物图，连接器的 Pin1 已经在板上用圆点标示出。



图 2-10-4 CON4 扩展口连接器的实物图

(八) 电源

P100 核心板供电电压为 VCCIN，输入电压为 5V，需通过连接器 CON1 供电，连接底板

时通过底板供电。板上的电源设计示意图如下图 2-8-1 所示:

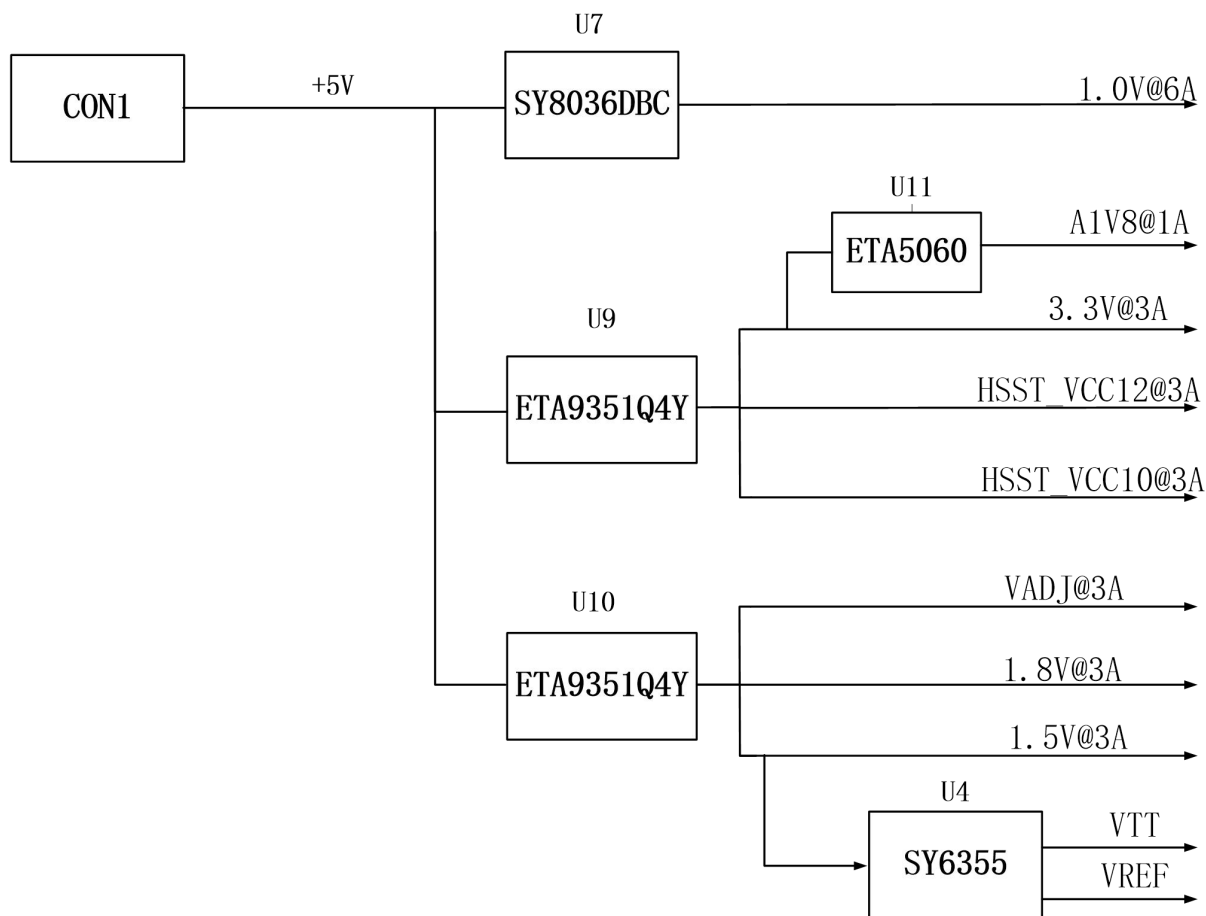


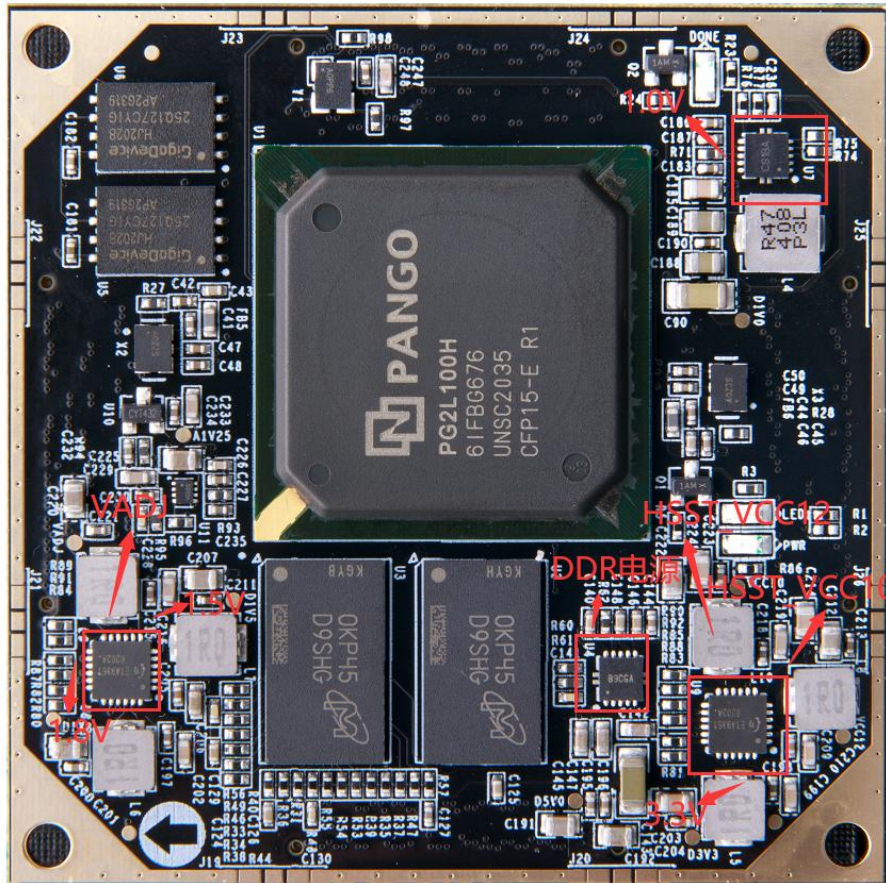
图 2-8-1 原理图中电源接口部分

核心板通过+5V 供电, 通过 3 路 DC/DC 电源芯片 ETA9351Q4Y 和 SY8036DBC 转化成 +3.3V, +1.5V, +1.8V, +1.0V, VADJ、HSST_VCC12、HSST_VCC10 7 路电源, 其中+1.0V 的电流可高达 6A, 其它 6 路输出电流可高达 3A。其中 VADJ 产生 VCCIO 电源, VCCIO 主要是对 FPGA 的 L3 和 L6 进行供电, 用户可以通过修改电源电阻的阻值调整电压, 使得 L3 与 L6 的 IO 适应不同的电压标准。HSST_VCC12 和 HSST_VCC10 是 HSSTLP 收发器的电源。1.5V 通过 TI 的 SY6355 生成 DDR3 需要的 VTT 和 VREF 电压。各个电源分配的功能如下表所示:

电源	功能
+3.3V	FPGA 的 L4 和 L5 的 VCCIO, QSIP FLASH, Clock 晶振
+1.8V	FPGA 辅助电压,

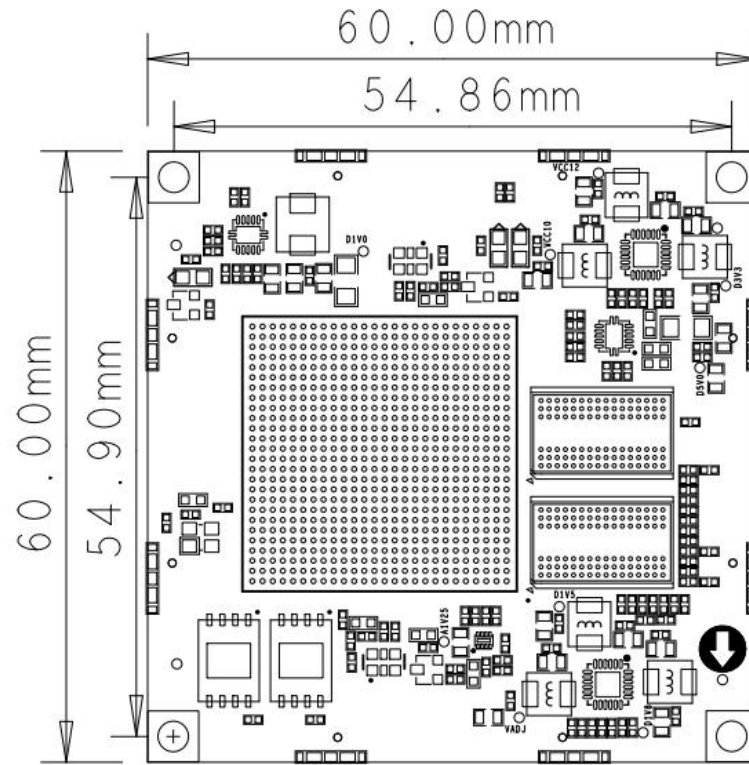
+1.0V	FPGA 的核心电压
+1.5V	DDR3, FPGA R4 和 R5
VREF, VTT (+0.75V)	DDR3
VCCIO(+3.3V)	FPGA L3, L6
HSST_VCC12(+1.2V)	FPGA HSSTLP 收发器 Q3、Q6
HSST_VCC10(+1.0V)	FPGA HSSTLP 收发器 Q3、Q6

P100 核心板的电源电路在板上的分别实物图所下图 2-8-2 所示。

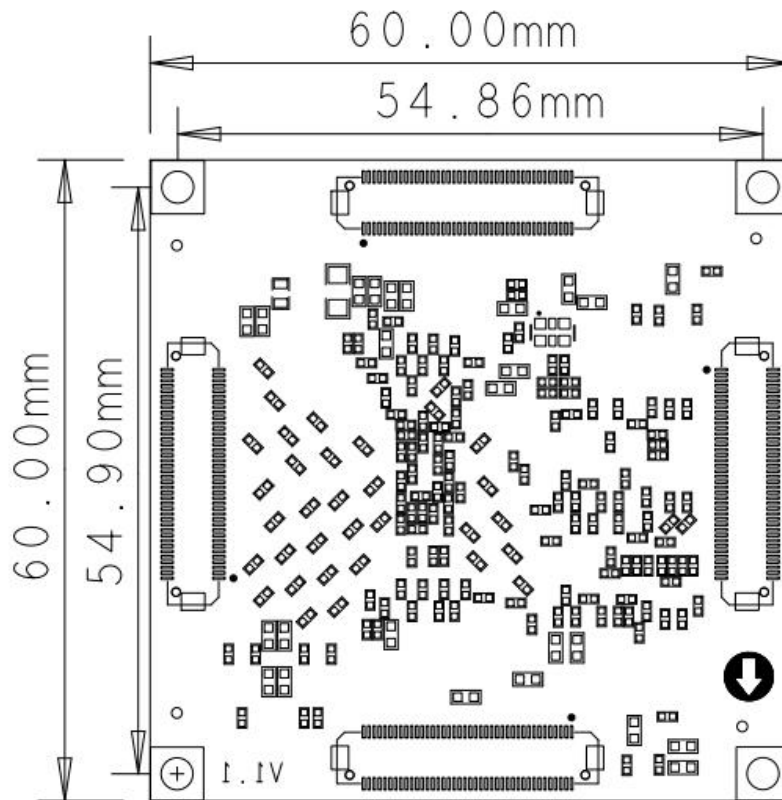


2-8-2 核心板电源部分实物图

(九) 结构图



正面图 (Top View)



背面图 (Bottom View)

三、 扩展板

(一) 简介

通过前面的功能简介，我们可以了解到扩展板部分的功能

- 一路 PCIe 2.0 高速数据传输接口
- 二路 SFP 高速光纤接口
- 一路 HDMI 视频输出接口
- 一路 HDMI 视频输入接口
- 一路 10/100M/1000M 以太网 RJ-45 接口
- 一路 USB Uart 通信接口
- 一路 SD 卡接口
- 二路 40 针扩展口
- EEPROM
- JTAG 调试接口
- 5 个独立按键
- 4 个用户 LED 灯

(二) 千兆以太网接口

AXP100B 开发板上通过一片 JL21221D 以太网 PHY 芯片为用户提供网络通信服务。以太网 PHY 芯片是连接到 Logos2 FPGA 的 IO 接口上。JL21221D 芯片支持 10/100/1000 Mbps 网络传输速率，通过 RGMII 接口跟 FPGA 进行数据通信。JL21221D 芯片支持 MDI/MDX 自适应，各种速度自适应，Master/Slave 自适应，支持 MDIO 总线进行 PHY 的寄存器管理。

JL21221D 上电会检测一些特定的 IO 的电平状态，从而确定自己的工作模式。表 3-2-1 描述了 GPHY 芯片上电之后的默认设定信息。

表 3-2-1 PHY 芯片默认配置值

配置 Pin 脚	说明	配置值
RXD3_ADR0 RXC_ADR1 RXCTL_ADR2	MDIO/MDC 模式的 PHY 地址	PHY Address 为 001
RXD1_TXDLY	TX 时钟 2ns 延时	延时
RXD0_RXDLY	RX 时钟 2ns 延时	延时

当网络连接到千兆以太网时，FPGA 和 PHY 芯片 JL2121 的数据传输时通过 RGMII 总线通信，传输时钟为 125Mhz，数据在时钟的上升沿和下降样采样。

当网络连接到百兆以太网时，FPGA 和 PHY 芯片 JL2121 的数据传输时通过 RMII 总线通信，传输时钟为 25Mhz。数据在时钟的上升沿和下降样采样。

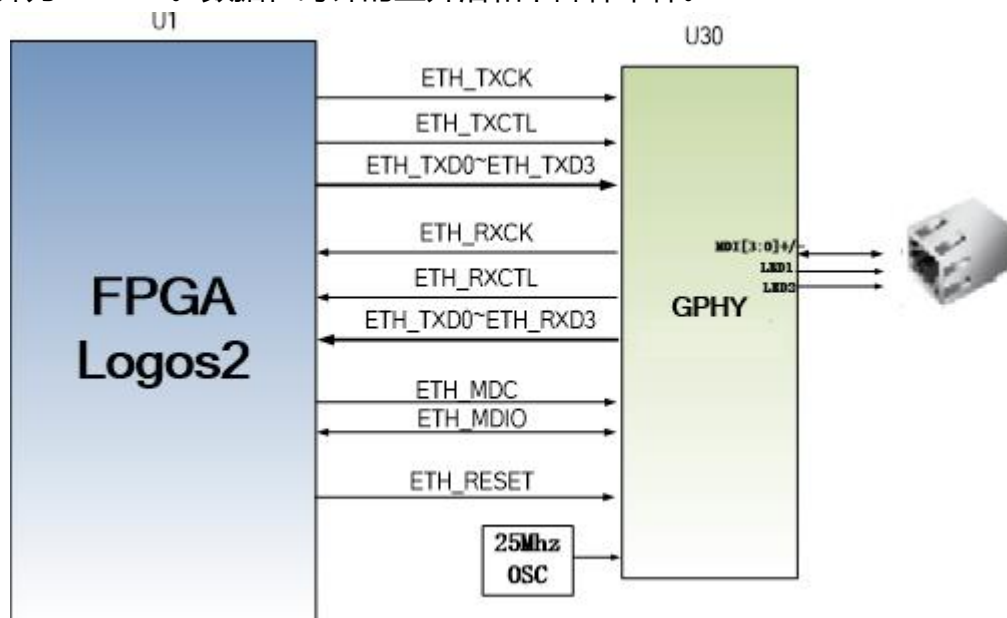


图 3-2-1 为 FPGA 与以太网 PHY 芯片连接示意图:

图 3-2-2 为以太网 PHY 芯片的实物图



图 3-2-2 以太网 PHY 芯片实物图

以太网 PHY 的 FPGA 引脚分配如下:

信号名称	FPGA 引脚号	备注
ETH_MDC	R20	MDIO 管理时钟
ETH_MDIO	Y22	MDIO 管理数据
ETH_RESET	Y23	PHY 芯片复位
ETH_RXCK	P20	RGMII 接收时钟
ETH_RXCTL	P25	接收数据有效信号

ETH_RXD0	R25	接收数据 Bit0
ETH_RXD1	P24	接收数据 Bit1
ETH_RXD2	P23	接收数据 Bit2
ETH_RXD3	T25	接收数据 Bit3
ETH_TXCK	T23	RGMII 发送时钟
ETH_TXCTL	T24	发送使能信号
ETH_TXD0	R21	发送数据 bit0
ETH_TXD1	T22	发送数据 bit1
ETH_TXD2	R22	发送数据 bit2
ETH_TXD3	R23	发送数据 bit3

(三) 光纤接口

AXP100B 扩展板上有 2 路光纤接口，用户可以购买光模块(市场上 1.25G, 2.5G 光模块) 插入到这 2 个光纤接口中进行光纤数据通信。2 路光纤接口分别跟 FPGA 的 HSSTLP 收发器的 2 路 RX/TX 相连接，TX 信号和 RX 信号都是以差分信号方式通过隔直电容连接 FPGA 和光模块，每路 TX 发送和 RX 接收数据速率高达 6.6Gb/s。HSSTLP 收发器的参考时钟由核心板上的 125M 差分晶振提供。

FPGA 和光纤设计示意图如下图 3-3-1 所示:

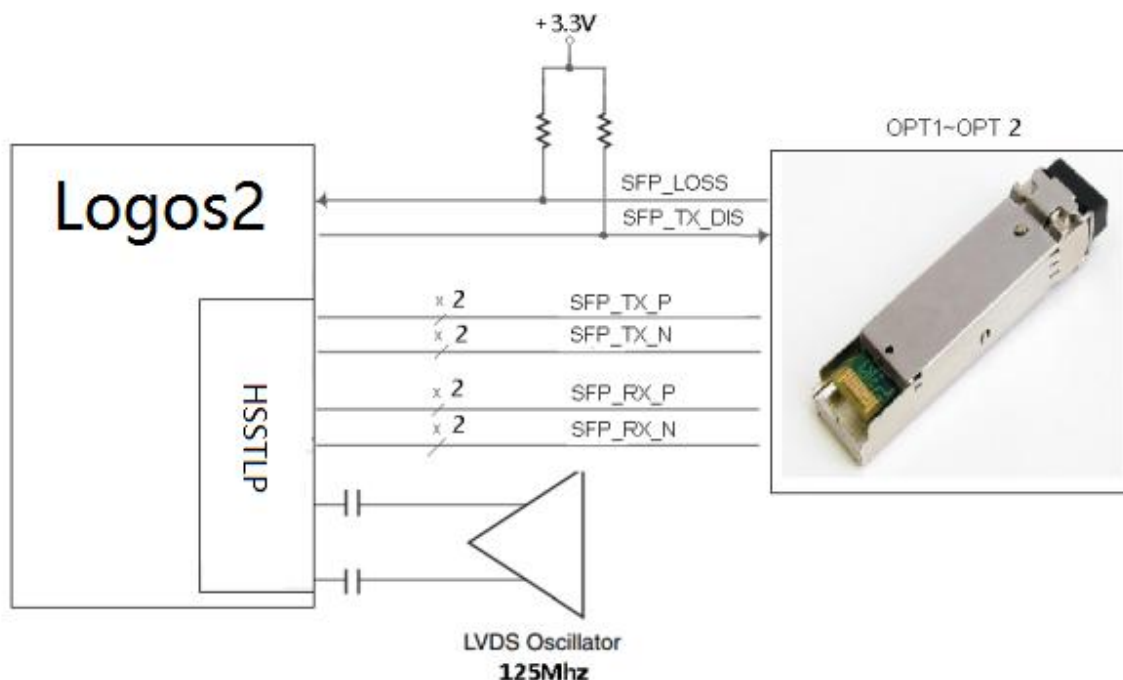


图 3-3-1 光纤设计示意图

两路光纤接口在扩展板的实物图如下图所示:

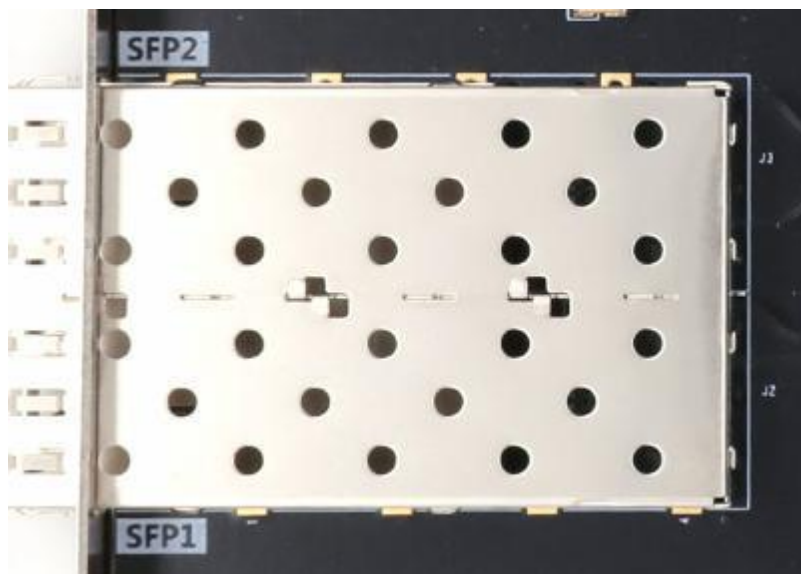


图 3-3-2 两路光纤通信接口实物图

第 1 路光纤接口 FPGA 引脚分配如下:

网络名称	FPGA 引脚	备注
SFP1_TX_P	B7	SFP 光模块数据发送 Positive
SFP1_TX_N	A7	SFP 光模块数据发送 Negative
SFP1_RX_P	B11	SFP 光模块数据接收 Positive
SFP1_RX_N	A11	SFP 光模块数据接收 Negative
SFP1_TX_DIS	K22	SFP 光模块光发射禁止, 高有效
SFP1_LOSS	K23	SFP 光接收 LOSS 信号, 高表示没有接收到光信号

第 2 路光纤接口 FPGA 引脚分配如下:

网络名称	FPGA 引脚	备注
SFP2_TX_P	D8	SFP 光模块数据发送 Positive
SFP2_TX_N	C8	SFP 光模块数据发送 Negative
SFP2_RX_P	D14	SFP 光模块数据接收 Positive
SFP2_RX_N	C14	SFP 光模块数据接收 Negative
SFP2_TX_DIS	L18	SFP 光模块光发射禁止, 高有效
SFP2_LOSS	L17	SFP 光接收 LOSS 信号, 高表示没有接收到光信号

(四) PCIe x4 接口

AXP100B 扩展板上提供一个工业级高速数据传输 PCIe x4 接口，PCIE 卡的外形尺寸符合标准 PCIe 卡电气规范要求，板卡支持 x2 模式，可直接在普通 PC 的 x4 PCIe 插槽上使用。

PCIe 接口的收发信号直接跟 FPGA 的 HSSTLP 收发器相连接，四通道的 TX 信号和 RX 信号都是以差分信号方式连接到 FPGA，单通道通信速率可高达 5G bit 带宽。PCIe 的参考时钟由 PC 的 PCIe 插槽提供给开发板，参考时钟频率为 100Mhz。

开发板的 PCIe 接口的设计示意图如下图 3-4-1 所示,其中 TX 发送信号和参考时钟 CLK 信号用 AC 耦合模式连接。

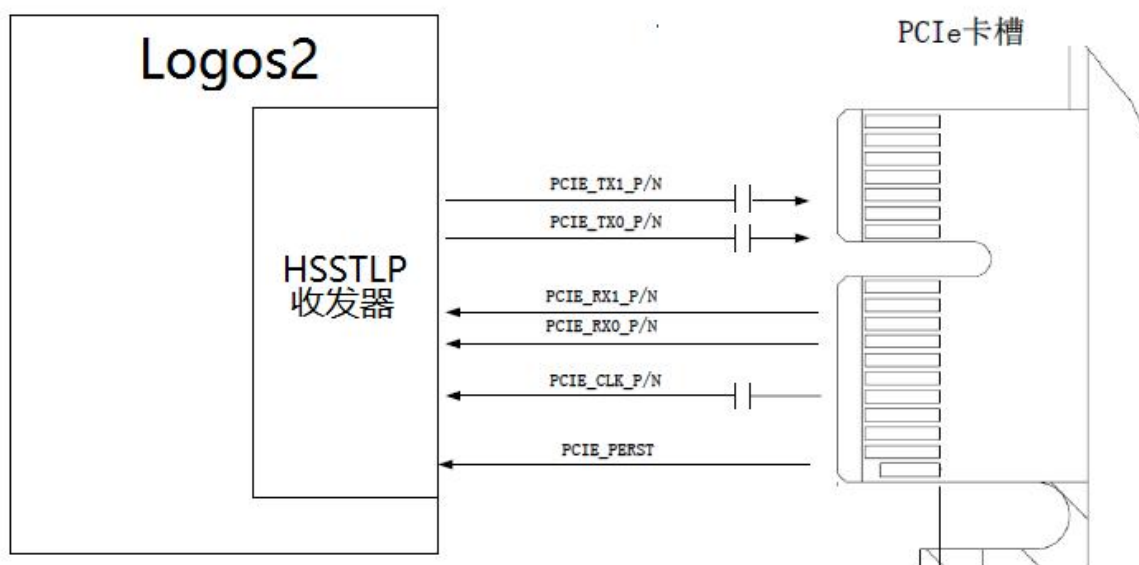


图 3-4-1 PCIe x2 设计示意图

PClex4 插槽在扩展板的实物图如下图所示:



图 3-4-2 PCIe x4 接口实物图

PCIe x2 接口 FPGA 引脚分配如下:

网络名称	FPGA 引脚	备注
PCIE_RX0_P	D12	PCIE 通道 0 数据接收 Positive
PCIE_RX0_N	C12	PCIE 通道 0 数据接收 Negative
PCIE_RX1_P	B13	PCIE 通道 1 数据接收 Positive
PCIE_RX1_N	A13	PCIE 通道 1 数据接收 Negative
PCIE_TX0_P	D10	PCIE 通道 0 数据发送 Positive
PCIE_TX0_N	C10	PCIE 通道 0 数据发送 Negative
PCIE_TX1_P	B9	PCIE 通道 1 数据发送 Positive
PCIE_TX1_N	A9	PCIE 通道 1 数据发送 Negative
PCIE_CLK_P	F13	PCIE 的参考时钟 Positive
PCIE_CLK_N	E13	PCIE 的参考时钟 Negative
PCIE_PERST	L19	PCIE 的复位引脚

(五) HDMI 输出接口

HDMI 输出接口的实现, 是选用 Silion Image 公司的 SIL9134 HDMI (DVI) 编码芯片, 最高支持 1080P@60Hz 输出, 支持 3D 输出。

其中, SIL9134 的 IIC 配置接口也与 FPGA 的 IO 相连, 通过 FPGA 的编程来对 SIL9134 进行初始化和控制操作, HDMI 输出接口的硬件连接如图 3-5-1 所示。

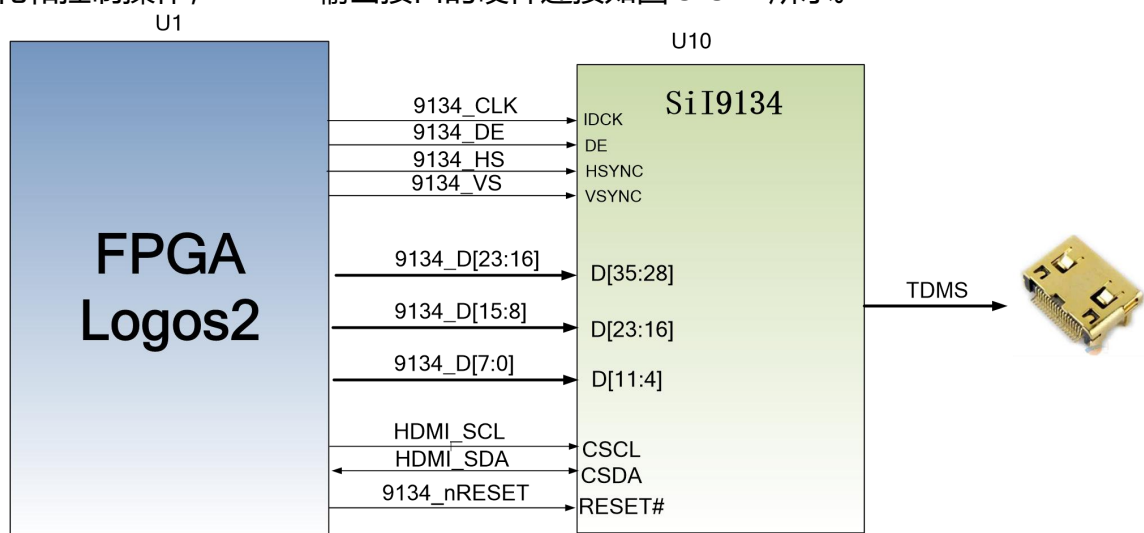


图 3-5-1 HDMI 接口设计原理图

图 3-5-2 为 HDMI 芯片和接口的实物图,

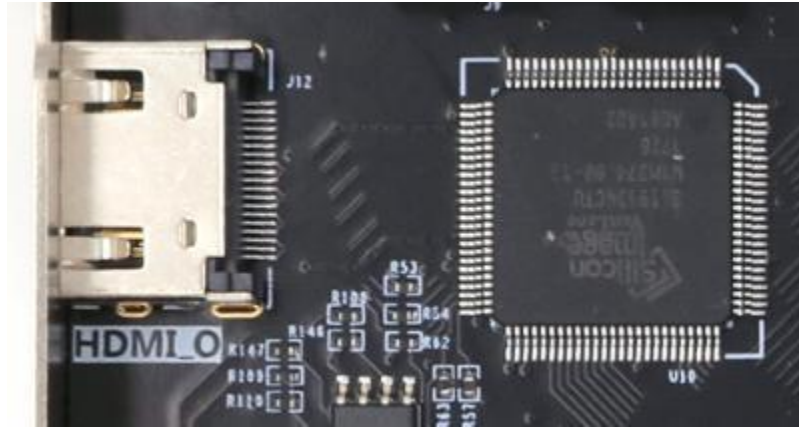


图 3-5-2 HDMI 接口实物图

FPGA 引脚分配:

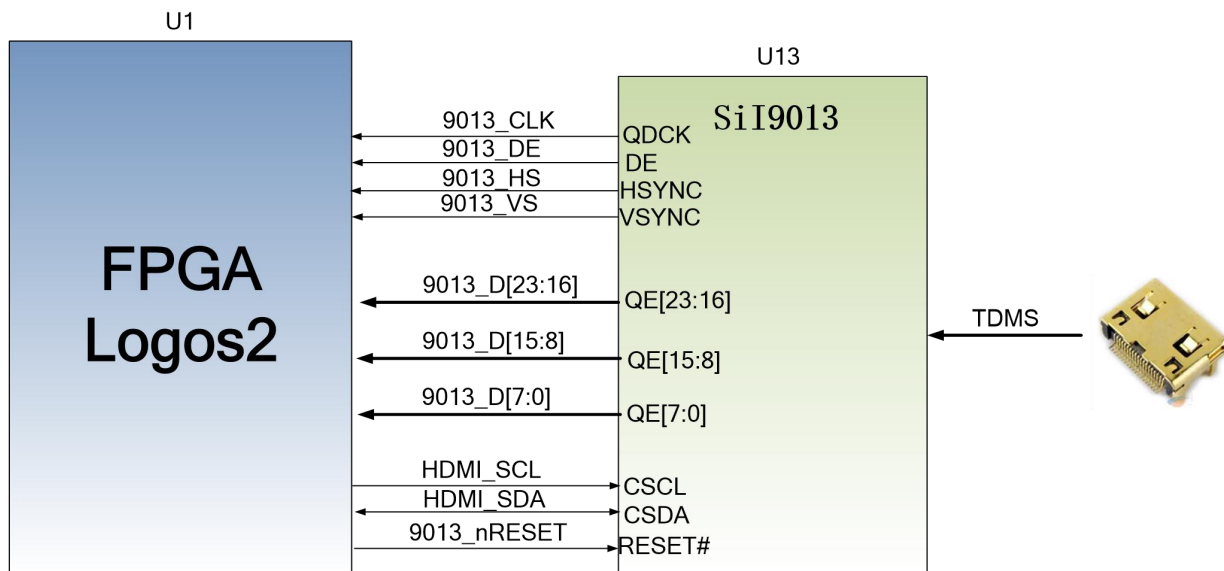
引脚名称	FPGA 引脚
9134_VS	AA24
9134_NRESET	G26
9134_HS	AB25
9134_DE	P15
9134_D9	L23
9134_D8	L22
9134_D7	M20
9134_D6	L20
9134_D5	P19
9134_D4	M25
9134_D3	M24
9134_D23	P21
9134_D22	M21
9134_D21	M22
9134_D20	N26
9134_D2	N22
9134_D19	M26
9134_D18	R26
9134_D17	P26
9134_D16	K26
9134_D15	K25

9134_D14	L25
9134_D13	L24
9134_D12	N23
9134_D11	N24
9134_D10	N18
9134_D1	N21
9134_D0	P16
9134_CLK	N19
HDMI_SCL	G21
HDMI_SDA	J21

(六) HDMI 输入接口

我们采用了 Sillion Image 公司的 SIL9013 HDMI 解码芯片，最高支持 1080P@60Hz 输入，支持不同格式的数据输出。

其中，SIL9013 的 IIC 配置接口也与 FPGA 的 IO 相连，通过 FPGA 的编程来对 SIL9013 进行初始化和控制操作，HDMI 输入接口的硬件连接如图 3-6-1 所示。



图

3-6-1 HDMI 输入原理图

HDMI 输入接口在扩展板的实物图如下图 3-6-2 所示:

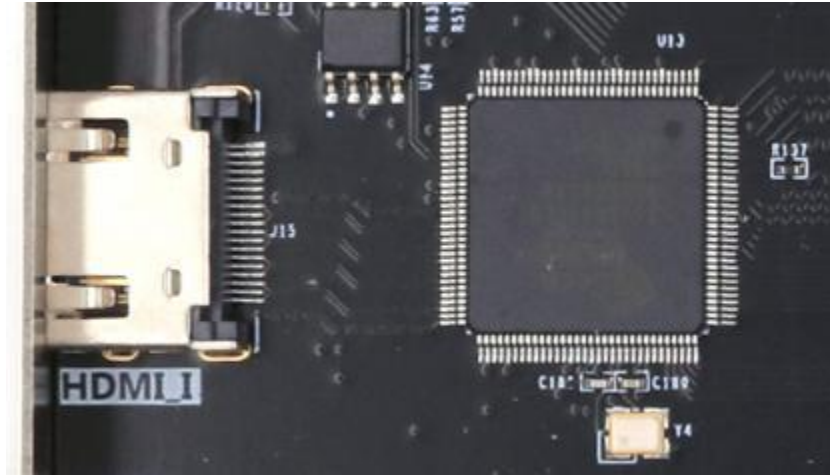


图 3-6-2 HDMI 输入接口实物图

FPGA 引脚分配:

引脚名称	FPGA 引脚
9013_VS	H26
9013_NRESET	J16
9013_HS	G22
9013_DE	F22
9013_D9	K17
9013_D8	M17
9013_D7	M16
9013_D6	E23
9013_D5	F23
9013_D4	H22
9013_D3	J23
9013_D23	K15
9013_D22	J19
9013_D21	H19
9013_D20	H18
9013_D2	H23
9013_D19	J18
9013_D18	J15
9013_D17	J14
9013_D16	K18

9013_D15	G25
9013_D14	D25
9013_D13	E25
9013_D12	D26
9013_D11	E26
9013_D10	K16
9013_D1	G24
9013_D0	F24
9013_CLK	H21
HDMI_SCL	G21
HDMI_SDA	J21

(七) SD 卡槽

SD 卡(Secure Digital Memory Card)是一种基于半导体闪存工艺的存储卡，1999 年由日本松下主导概念，参与者东芝和美国 SanDisk 公司进行实质研发而完成。2000 年这几家公司发起成立了 SD 协会(Secure Digital Association 简称 SDA)，阵容强大，吸引了大量厂商参加。其中包括 IBM, Microsoft, Motorola, NEC、Samsung 等。在这些领导厂商的推动下，SD 卡已成为目前消费数码设备中应用最广泛的一种存储卡。

SD 卡是现在非常常用的存储设备，我们扩展出来的 SD 卡，支持 SPI 模式和 SD 模式，使用的 SD 卡为 MicroSD 卡。原理图如下图 3-7-1 所示。

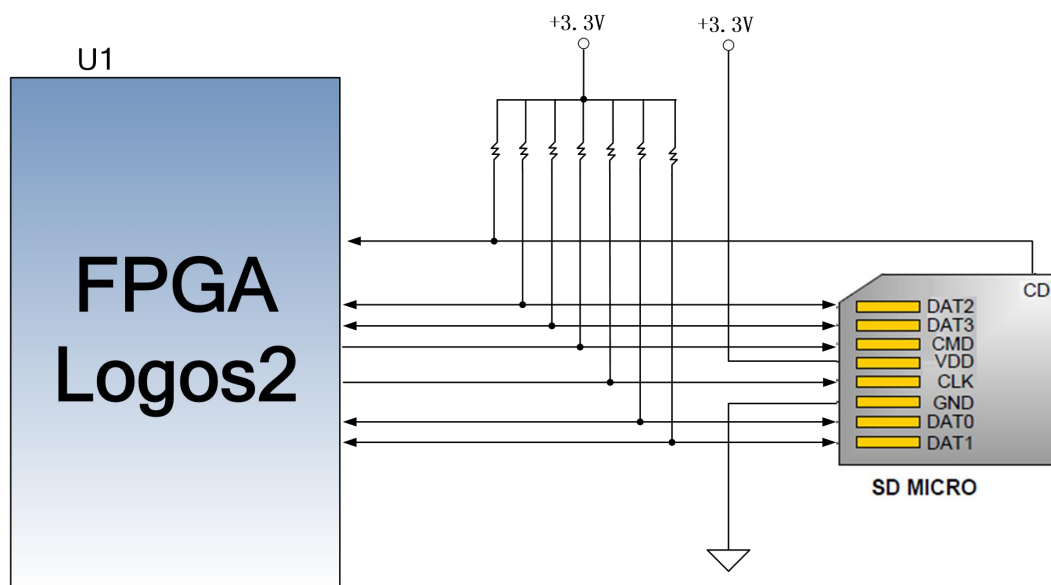


图 3-7-1 SD 卡槽原理图

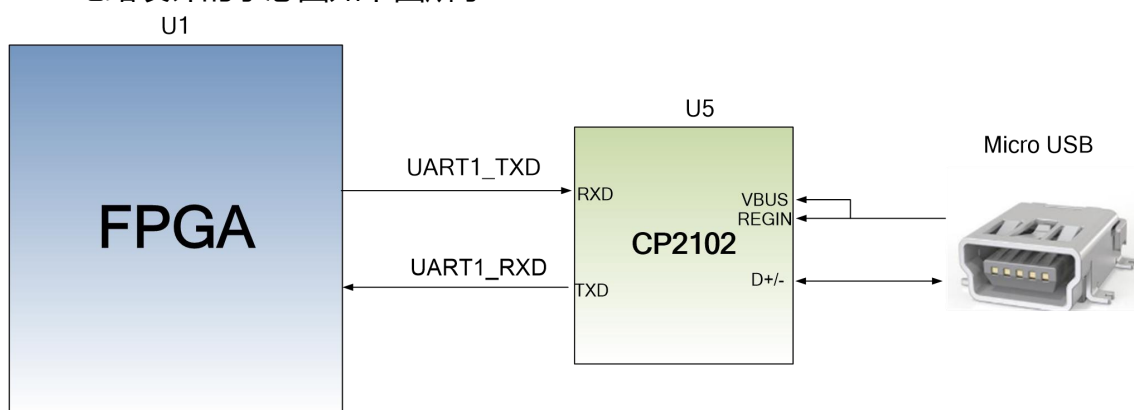
SD 卡槽引脚分配

SD 模式	
引脚名称	FPGA 引脚
SD_CLK	G15
SD_CMD	F15
SD_CD_N	H14
SD_DAT0	G16
SD_DAT1	H16
SD_DAT2	D16
SD_DAT3	E16

(八) USB 转串口

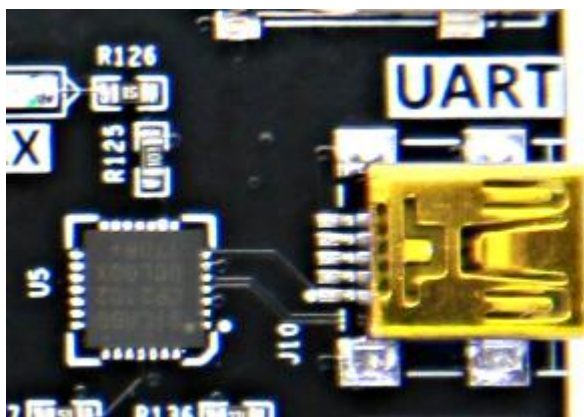
AXP100B 开发板包含了 Silicon Labs CP2102GM 的 USB-UAR 芯片, USB 接口采用 MINI USB 接口, 可以用一根 USB 线将它连接到上 PC 的 USB 口进行串口数据通信。

USB Uart 电路设计的示意图如下图所示:



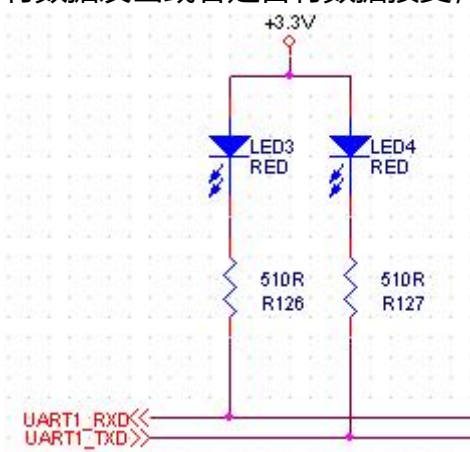
3-8-1 USB 转串口示意图

下图为 USB 转串口的实物图



3-8-2 USB 转串口实物图

同时对串口信号设置了 2 个 PCB 上丝印为 TX 和 RX 的 LED 指示灯(LED3 和 LED4), TX 和 RX LED 灯会指示串口是否有数据发出或者是否有数据接受, 如下图所示,



3-8-3 USB 转串口信号指示灯

UART 转串口的 FPGA 引脚分配:

引脚名称	FPGA 引脚
UART1_RXD	K20
UART1_TXD	J20

(九) EEPROM 24LC04

AXP100B 开发板板载了一片 EEPROM, 型号为 24LC04,容量为: 4Kbit (2*256*8bit), 由 2 个 256byte 的 block 组成,通过 IIC 总线进行通信。板载 EEPROM 就是为了学习 IIC 总线的通信方式。EEPROM 的 I2C 信号连接的 FPGA 端的 BANK L4 IO 口上。下图 3-9-1 为 EEPROM 的设计示意图

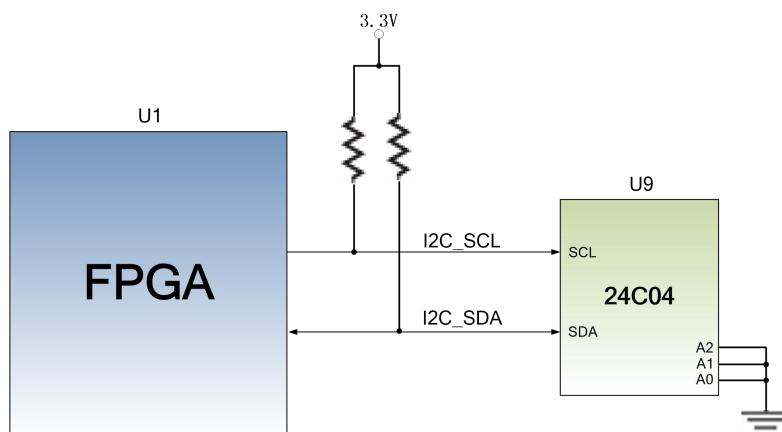


图 3-9-1 EEPROM 原理图部分

下图为 EEPROM 实物图

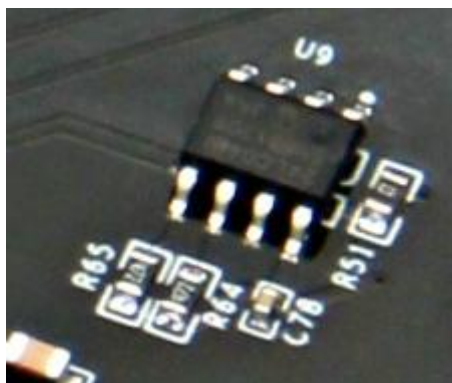


图 3-9-2 EEPROM 实物图

EEPROM 引脚分配:

引脚名称	FPGA 引脚
I2C_SCL	J25
I2C_SDA	J26

(十) 温度传感器

AXP100B 开发板上安装了一个高精度、低功耗、数字温度传感器芯片，型号为 ON Semiconductor 公司的 LM75。LM75 芯片的温度精度为 0.5 度,传感器和 FPGA 直接为 I2C 数字接口，FPGA 通过 I2C 接口来读取当前开发板附近的温度。下图 3-10-1 为 LM75 传感器芯片的设计示意图

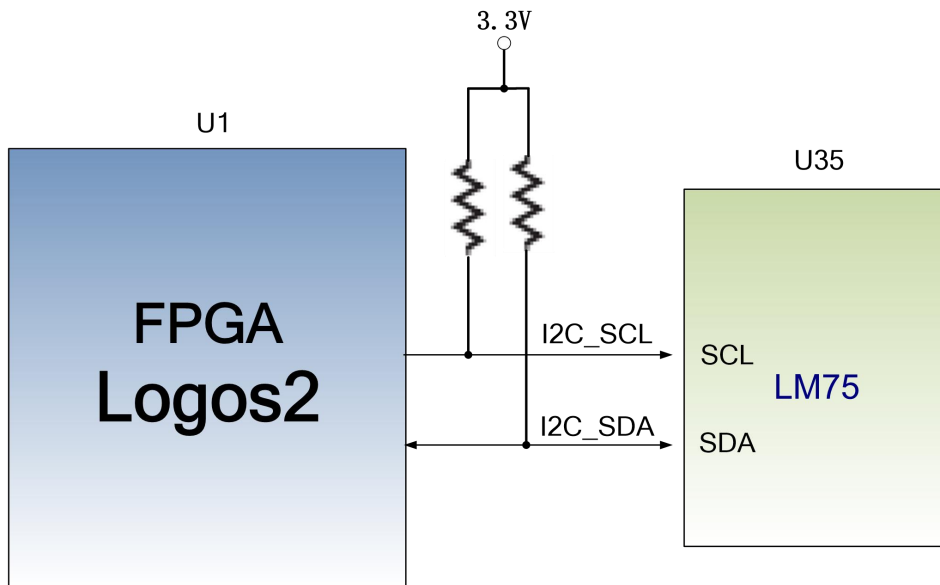


图 3-10-1 LM75 传感器原理图部分

下图为 LM75 传感器实物图

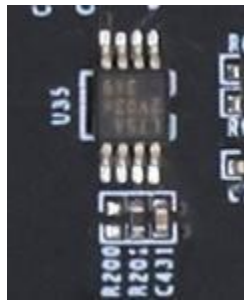


图 3-10-2 LM75 传感器实物图

LM75 传感器引脚分配:

引脚名称	FPGA 引脚
I2C_SCL	J25
I2C_SDA	J26

(十一) 扩展口

扩展板预留 2 个 2.54mm 标准间距的 40 针的扩展口 J11 和 J13, 用于连接黑金的各个模块或者用户自己设计的外面电路, 扩展口有 40 个信号, 其中, 5V 电源 1 路, 3.3V 电源 2 路, 地 3 路, IO 口 34 路。**切勿 IO 直接跟 5V 设备直接连接, 以免烧坏 FPGA。如果要接 5V 设备, 需要接电平转换芯片。**

在扩展口和 FPGA 连接之间串联了 33 欧姆的排阻, 用于保护 FPGA 以免外界电压或电流

过高造成损坏，扩展口(J11)的电路如下图 3-11-1 所示

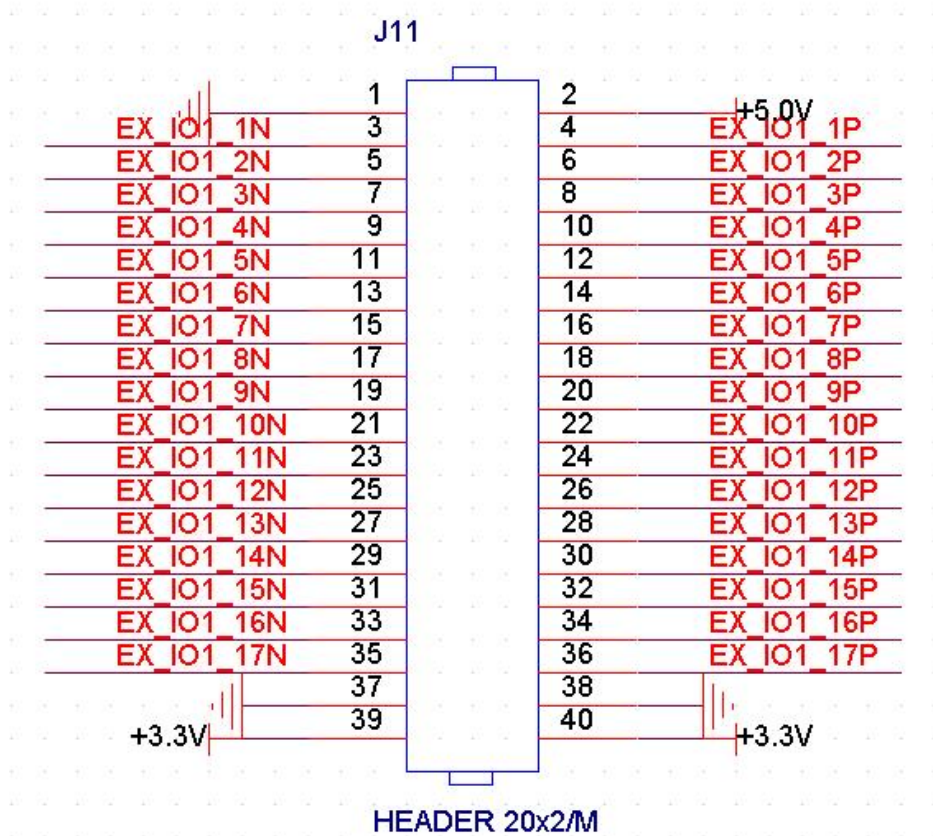


图 3-11-1 扩展口 J11 原理图

下图为 J4 扩展口实物图，扩展口的 Pin1，Pin2 已经在板上标示出。



图 3-11-2 扩展口 J11 实物图

J11 扩展口 FPGA 的引脚分配

引脚编号	FPGA 引脚	引脚编号	FPGA 引脚
1	GND	2	+5V
3	D23	4	D24
5	B25	6	A25
7	G19	8	F20
9	A23	10	A24
11	C22	12	C23

13	E21	14	D21
15	B22	16	A22
17	E20	18	D20
19	C21	20	B21
21	B20	22	A20
23	D19	24	C19
25	B19	26	A19
27	D18	28	C18
29	F18	30	F19
31	C17	32	B17
33	E17	34	E18
35	G17	36	F17
37	GND	38	GND
39	+3.3V	40	+3.3V

扩展口(J13)的电路如下图 3-11-3 所示

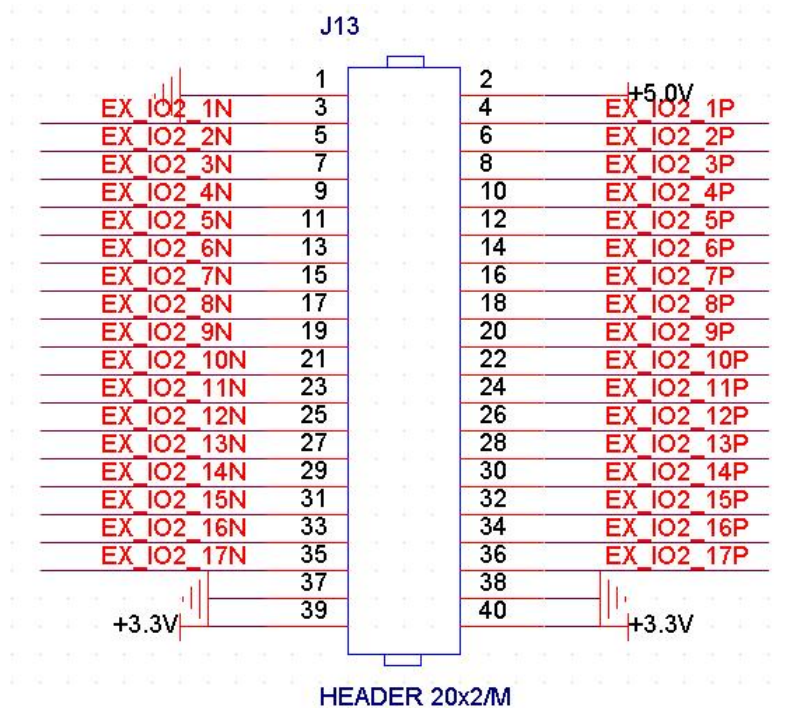


图 3-11-3 扩展口 J13 原理图

下图为 J13 扩展口实物图，扩展口的 Pin1，Pin2 已经在板上标示出。

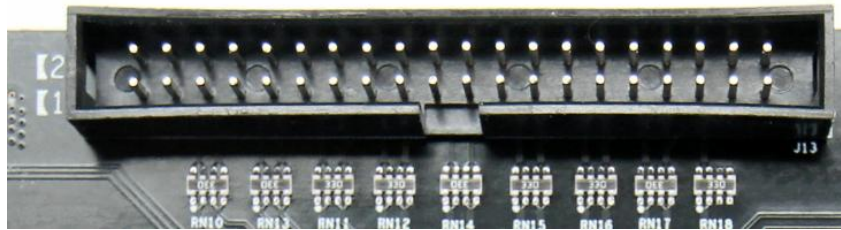


图 3-11-4 扩展口 J13 实物图

J13 扩展口 FPGA 的引脚分配

引脚编号	FPGA 引脚	引脚编号	FPGA 引脚
1	GND	2	+5V
3	U26	4	U25
5	W26	6	V26
7	Y26	8	W25
9	AC26	10	AB26
11	AA25	12	Y25
13	AC24	14	AB24
15	AA23	16	AA22
17	V23	18	W23
19	W21	20	Y21
21	W24	22	V24
23	V16	24	V17
25	T14	26	T15
27	U14	28	V14
29	W20	30	Y20
31	U15	32	U16
33	U22	34	V22
35	V19	36	W19
37	GND	38	GND
39	+3.3V	40	+3.3V

(十二) JTAG 接口

开发板预留了一个 JTAG 接口，用于下载 FPGA 程序或者固化程序到 FLASH。为了带电

插拔造成对 FPGA 芯片的损坏，我们在 JTAG 信号上添加了保护二极管来保证信号的电压在 FPGA 接受的范围，避免 FPGA 的损坏。

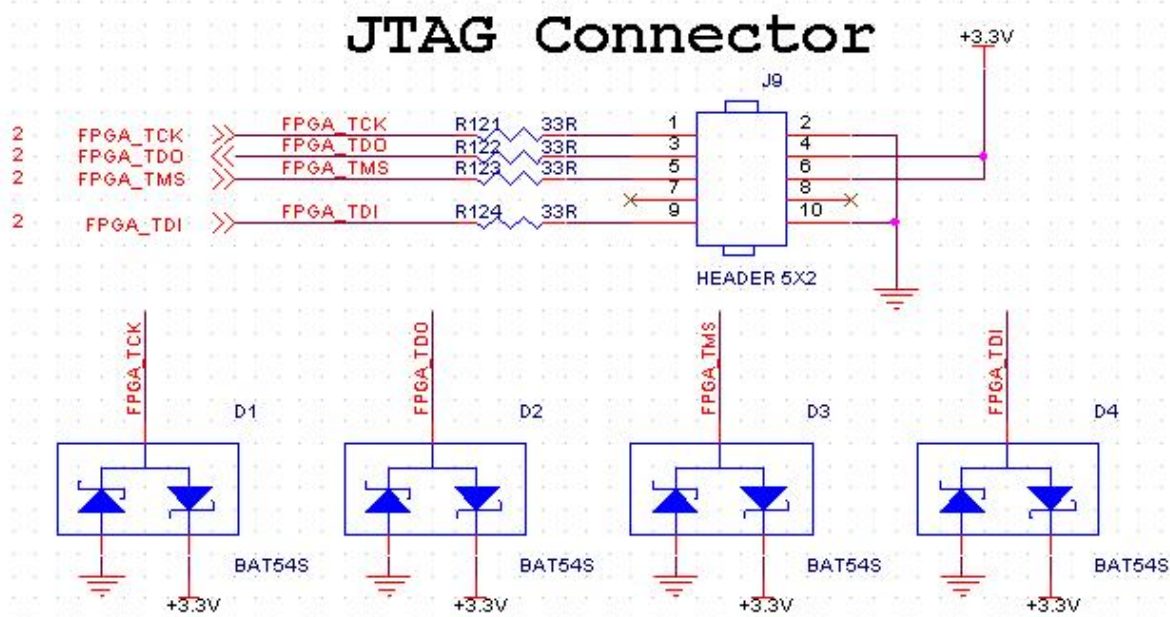


图 3-12-1 JTAG 接口原理图

下图为扩展板上 JTAG 接口实物图，JTAG 线插拔的时候注意不要热插拔。



图 3-12-2 JTAG 接口实物图

(十三) 按键

扩展板上含有五个用户按键 RESET, KEY1~KEY4, 两个按键都连接到 FPGA 的普通的 IO 上, 按键低电平有效, 当按键按下, FPGA 的 IO 输入电压为低, 当没有按键按下是, FPGA 的 IO 输入电压为高。按键部分电路如下图 3-13-1 所示

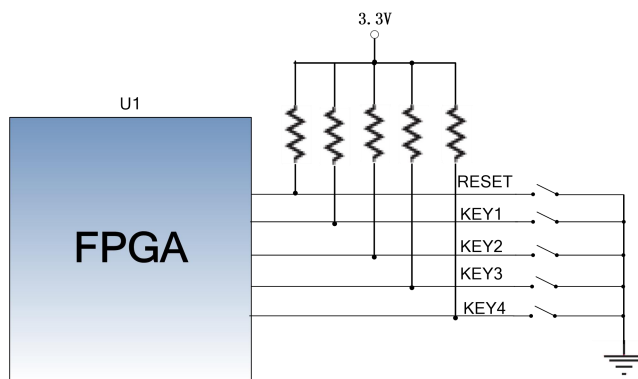


图 3-13-1 按键硬件设计示意图

图 3-13-2 为扩展板上 2 个用户按键实物图



图 3-13-2 按键实物图

按键 FPGA 引脚分配:

引脚名称	FPGA 引脚
RESET	E22
KEY1	G20
KEY2	H17
KEY3	M14
KEY4	L14

(十四)LED 灯

扩展板上有 7 个红色 LED 灯，其中 1 个是电源指示灯(PWR)，2 个是 USB Uart 的数据接收和发送指示灯，4 个是用户 LED 灯 (LED1~LED4)。当开发板供电后，电源指示灯会亮起。用户 LED1~LED4 连接到 FPGA 的普通 IO，当连接用户 LED 灯的 IO 电压配置为低电平时，用户 LED 灯点亮，当连接 IO 电压为配置为高电平时，用户 LED 会被熄灭。

LED 灯硬件连接的示意图如图 3-14-1 所示

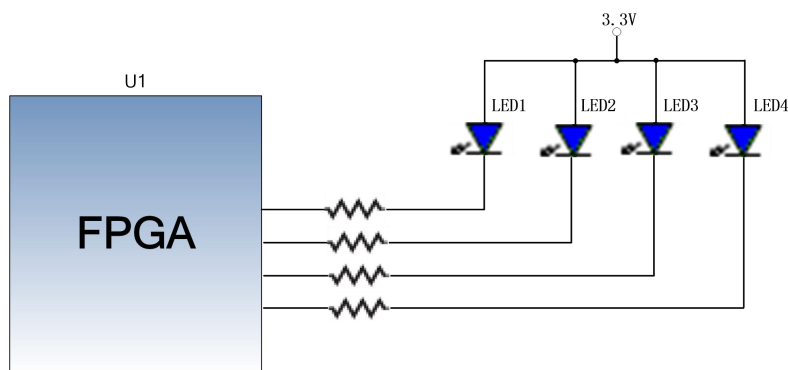


图 3-14-1 LED 灯硬件设计示意图

图 3-14-2 为扩展板上 2 个用户 LED 灯实物图

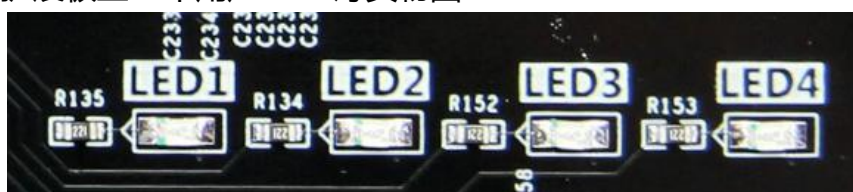


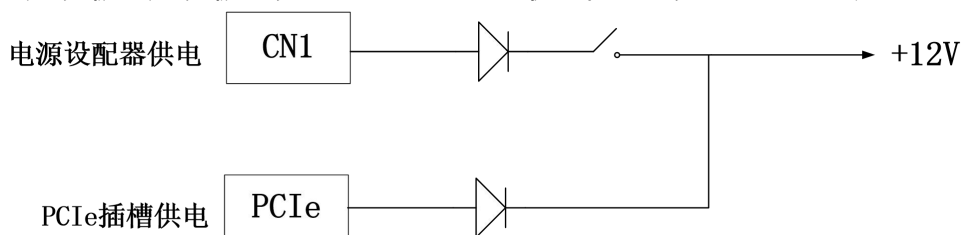
图 3-14-2 用户 LED 灯实物图

按键 FPGA 引脚分配:

引脚名称	FPGA 引脚
LED1	H24
LED2	J24
LED3	L15
LED4	M15

(十五) 供电电源

开发板的电源输入电压为 DC12V，请使用开发板自带的电源，不要用其他规格电源，以免损坏开发板。开发板也支持从 PCIe 接口取电，同时支持从 ATX 机箱电源 (12V) 直接取电。



扩展板上通过 2 路 DC/DC 电源芯片 MP1482 把 +12V 电压转化成 +3.3V 和 +1.8V，1 路 DC/DC 电源芯片 TPS54620 把 +12V 电压转化成 +5V，1 路 LDO 电源芯片 TPS74701

平输出为低，MOSFET 管导通，风扇工作，如果 IO 电平输出为高，风扇停止。板上的风扇设计图如下图 3-16-1 所示：

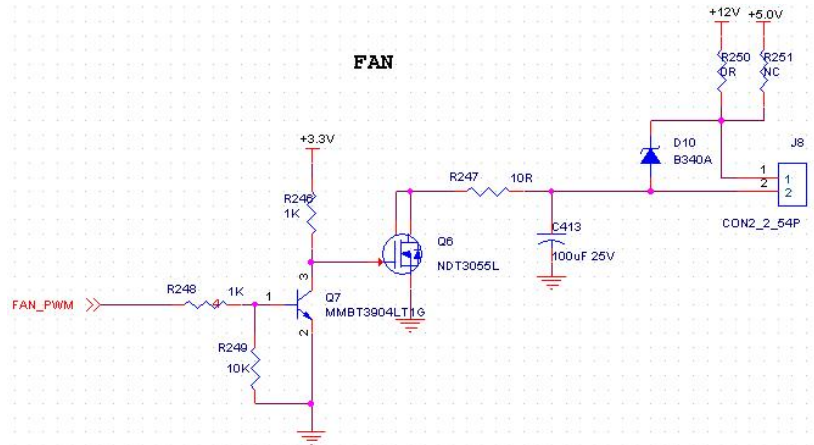


图3-16-1 开发板原理图中风扇设计

按键 FPGA 引脚分配：

引脚名称	FPGA 引脚
FAN_PWM	H15

(十七) 结构尺寸图

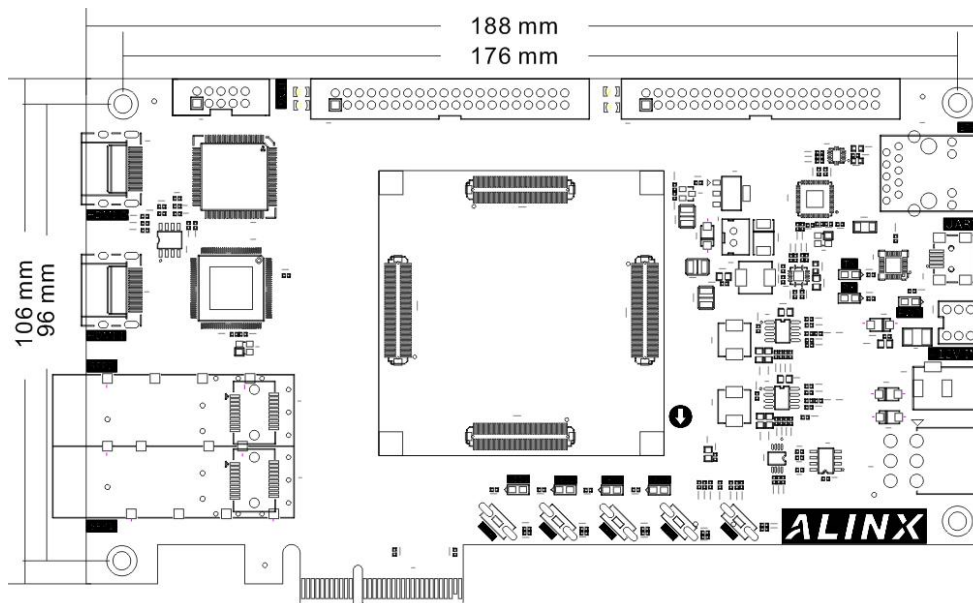


图 3-17-1 正面图 (Top View)