

Xilinx FPGA 开发平台 用户手册

AXKU5 开发板



文档版本控制

文档版本	修改内容记录
REV1.0	创建文档

目 录

文档版本控制.....	2
目 录.....	3
一、 开发板简介.....	5
二、 ACKU5 核心板.....	7
(一) 简介.....	7
(二) FPGA 芯片.....	7
(三) DDR4.....	9
(四) QSPI Flash.....	12
(五) 时钟配置.....	13
(六) LED 灯.....	15
(七) 电源.....	16
(八) 结构图.....	18
(九) 连接器管脚定义.....	18
三、 扩展板.....	28
(一) 简介.....	28
(二) PCIe 插槽.....	28
(三) 千兆网接口.....	30
(四) FMCHPC 接口.....	32
(五) MIPI 接口.....	36
(六) USB 转串口.....	38
(七) SD 卡槽.....	38
(八) 40 针扩展口.....	39
(九) 按键和 LED 灯.....	40
(十) JTAG 调试口.....	41
(十一) 电源.....	42
(十二) 结构尺寸图.....	44

芯驿电子科技（上海）有限公司基于 Xilinx FPGA Kintex Ultrascale+开发平台的开发板（型号：AXKU5）正式发布了，为了让您对此开发平台可以快速了解，我们编写了此用户手册。

这款 Kintex Ultrascale+ FPGA 开发平台采用核心板加扩展板的模式，方便用户对核心板的二次开发利用。核心板使用 Xilinx 的 Kintex Ultrascale+芯片 xcku5pffvb676 的解决方案，挂载了 2 片 1GB 的高速 DDR4 SDRAM 芯片和 2 片 256Mb 的 QSPI FLASH 芯片。

在底板设计上我们为用户扩展了丰富的外围接口，比如 1 个 PCIe3.0x8 接口、1 路 FMC HPC 接口、1 路千兆网接口、1 路 MIPI 输入接口、1 路 UART 串口接口、1 路 SD 卡接口、1 个 40 针扩展接口等等。可满足用户各种高速数据交换，视频传输处理以及工业控制的要求，是一款“专业级”的 FPGA 开发平台。为高速数据传输和交换，数据处理的前期验证和后期应用提供了可能。相信这样的一款产品非常适合从事 FPGA 开发的学生、工程师等群体。



一、 开发板简介

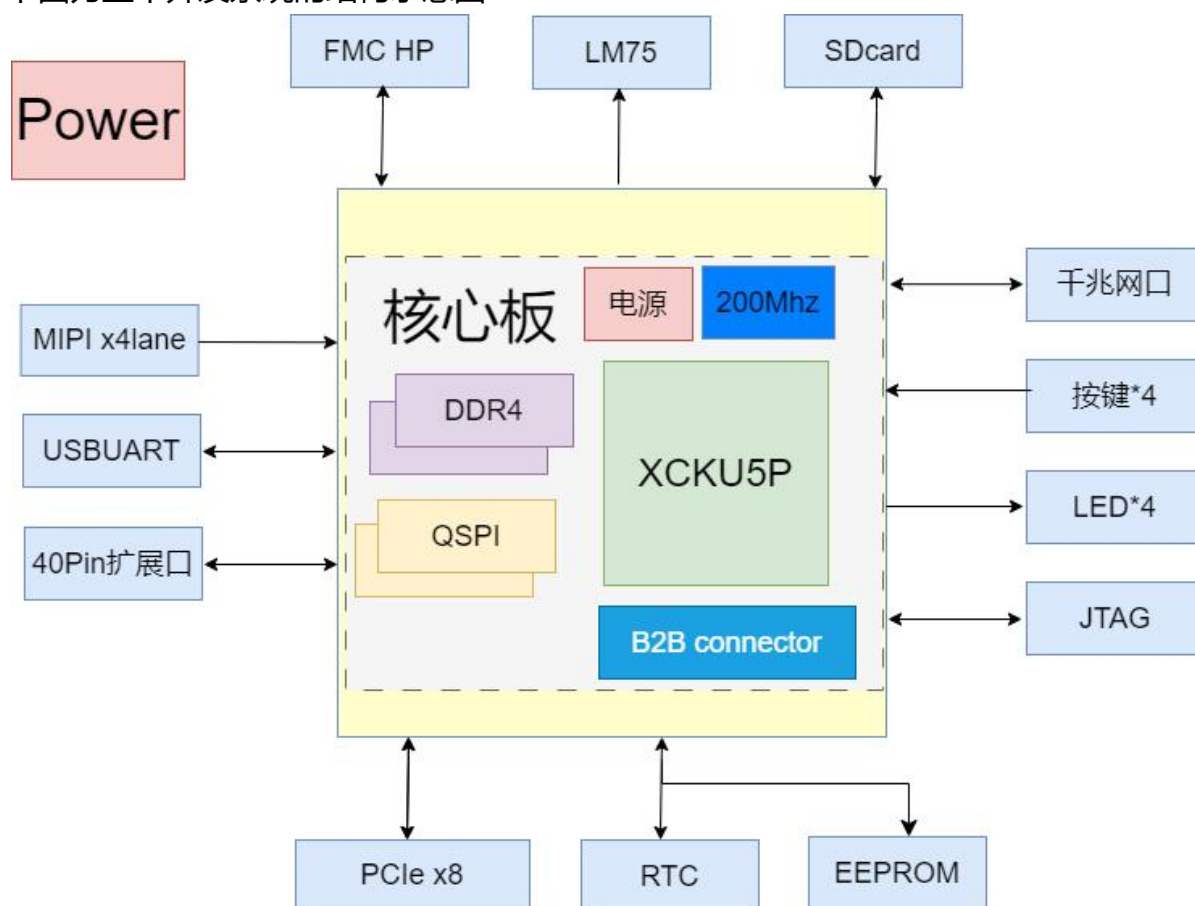
在这里，对这款 Kintex Ultrascale+ AXKU5 开发平台进行简单的功能介绍。

开发板的整个结构，继承了我们一贯的核心板+扩展板的模式来设计的。核心板和扩展板之间使用高速板间连接器连接。

核心板主要由 xcku5pffvb676 + 4 个 DDR4 + QSPI FLASH 的最小系统构成。采用 Xilinx 的 Kintex Ultrascale+ 系列的芯片，型号为 xcku5pffvb676。在 FPGA 芯片的 HP 端口上连接了 2 片 DDR4 存储芯片，每片 DDR4 容量高达 1GB 字节，组成 32 位的数据带宽。2 个 256Mb 的 QSPI FLASH 用来静态存储 FPGA 芯片的配置文件或者其它用户数据。

底板为核心板扩展了丰富的外围接口，其中包含 1 个 PCIe3.0x8 接口、1 路 FMC HPC 接口、1 路千兆网接口、1 路 MIPI 输入接口、1 路 UART 串口接口、1 路 SD 卡接口、1 个 40 针扩展接口、一些按键及 LED。

下图为整个开发系统的结构示意图：



通过这个示意图，我们可以看到，我们这个开发平台所能含有的接口和功能。

- FPGA 核心板

由 XCKU5P + 2 个 DDR4 + 2 个 QSPI FLASH 的最小系统组成，另外有两个晶振提供时

钟, 2 个 200MHz 晶振提供为 FPGA 逻辑和 DDR 控制参考时钟。

- PCIe3.0 x8 接口

支持 PCI Express 3.0 标准, 提供标准的 PCIe x8 高速数据传输接口, 单通道通信速率可高达 8GBaud。

- 1 路 FMC HPC 接口

FPGA 中的 8 路高速收发器连接到 FMC HPC 专用的高速管脚上, 引出 FMC 的 34 对 LA 信号差分对和 2 对时钟信号, 可满足高速信号传输要求, 符合 FMC 标准, 可以各种 FMC 模块 (HDMI 输入输出模块, 高速 AD 模块等等)。

- 1 路千兆网接口

千兆以太网接口芯片采用 JL2121D 以太网 PHY 芯片为用户提供网络通信服务。芯片支持 10/100/1000 Mbps 网络传输速率; 全双工和自适应。

- 1 路 MIPI 输入接口

板载 1 路 MIPI lanex4 输入接口, 最高速率支持 2.5Gb/s, 用于连接 MIPI 摄像头模块。

- USB Uart 接口

1 路 Uart 转 USB 接口, 用于和电脑通信, 方便用户调试。串口芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片, USB 接口采用 MINI USB 接口。

- Micro SD 卡座

1 路 Micro SD 卡座, 用于存储操作系统镜像和文件系统。

- 40 针扩展口

1 个 40 针 2.54mm 间距的扩展口, 可以外接黑金的各种模块 (双目摄像头, TFT LCD 屏, 高速 AD 模块等等)。扩展口包含 5V 电源 1 路, 3.3V 电源 2 路, 地 3 路, IO 口 34 路。

- JTAG 调试口

1 个 10 针 2.54mm 标准的 JTAG 口, 用于 FPGA 程序的下载和调试, 用户可以通过 XILINX 下载器对 FPGA 系统进行调试和下载。

- LED 灯

7 个发光二极管 LED, 核心板上 3 个, 底板上 7 个。核心板上 1 个电源指示灯; 1 个 DONE 配置指示灯和用户指示灯。底板上 1 个电源指示灯, 4 个用户指示灯和 2 个串口指示灯。

- 按键

底板上 4 个用户按键。

二、 ACKU5 核心板

(一) 简介

ACKU5(核心板型号, 下同)核心板, FPGA 芯片是基于 Xilinx FPGA Kintex Ultrascale+ 的主芯片 xcku5pffvb676 设计。核心板在 FPGA 的 HP 端口上连接了 2 片 DDR4 存储芯片组成 32 位的数据带宽, 每片 DDR4 容量高达 1GB。HP 端的内存带宽高达 85Gb/s。另外核心板上也集成了 2 片 256MBit 大小的 QSPI FLASH, 用于启动存储配置和系统文件。

这款核心板的采用个板对板连接器扩展出了 179 个 IO, 引出的 IO 的电平可以通过更换底板上的 LDO 芯片来修改, 满足用户不用电平接口的要求; 另外核心板也扩展出了 16 对高速收发器接口。对于需要大量 IO 的用户, 此核心板将是不错的选择。而且 IO 连接部分, FPGA 芯片到接口之间走线做了等长和差分处理, 并且核心板尺寸仅为 80*60 (mm), 对于二次开发来说, 非常适合。

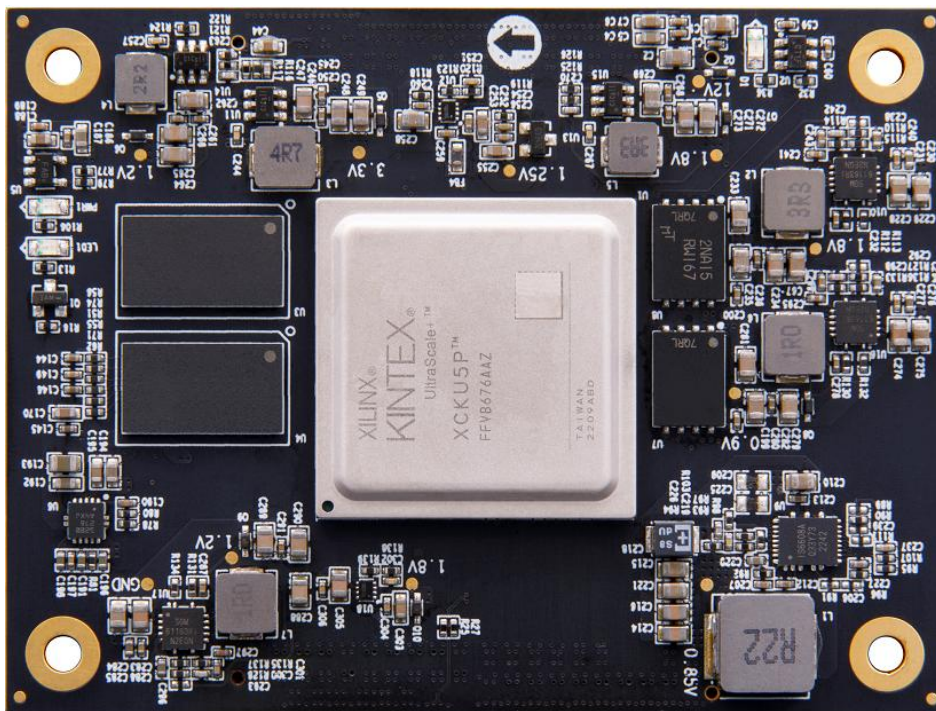


图 2-1-1 ACKU5 核心板正面图

(二) FPGA 芯片

前面已经介绍过了, 我们所使用的 FPGA 型号为 **xcku5pffvb676**, 属于 Xilinx 公司 Kintex

Ultrascale+系列的产品，速度等级为 2，温度等级为工业级。此型号为 FFVB676 封装，676 个引脚。Xilinx Kintex Ultrascale+ FPGA 的芯片命名规则如下：

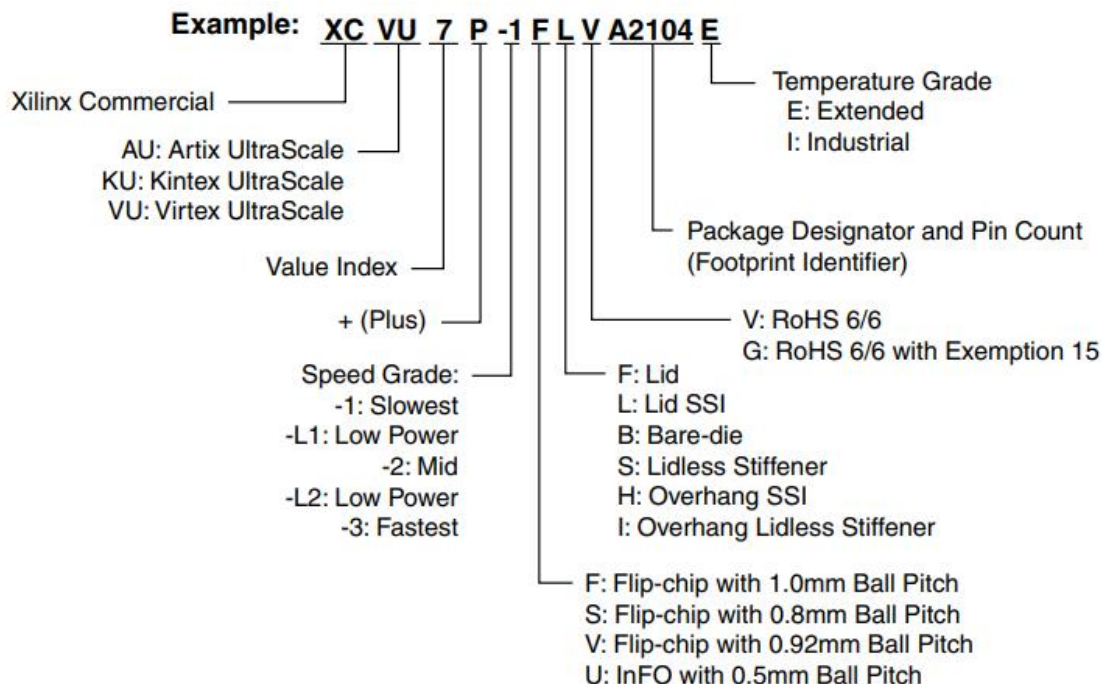


图 2-2-1 为开发板所用的 FPGA 芯片实物图。



图 2-2-1 FPGA 芯片实物

其中 FPGA 芯片的主要参数如下所示：

名称	具体参数
Logic Cells	475K
触发器(FF)	433,920
LUTs	216,960
Total Block RAM	16.9Mb
DSP Slices	1824
CMTs	4
GTY/Gb/s	16/28.21

PCIe Gen3 x16	1
速度等级	-2
温度等级	工业级

(三) DDR4

ACKU5 开发板上配有 2 片 Micron(美光) 的 1GB 的 DDR4 芯片, 型号为 MT40A512M16LY-062E, 连接在 FPGA 的 HP 端, 组成 32 位数据总线带宽和 2GB 的容量。DDR4 SDRAM 的在 FPGA 端的最高运行数据速率 2666Mbps, 2 片 DDR4 存储系统直接连接到了 BANK 66、R67 的存储器接口上。DDR4 SDRAM 的具体配置如下表 2-3-1 所示。

表 2-3-1 DDR4 SDRAM 配置

位号	芯片型号	容量	厂家
U3、U4	MT40A512M16LY-062E	512Mx 16bit	Micron

DDR4 的硬件设计需要严格考虑信号完整性, 我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻, 走线阻抗控制, 走线等长控制, 保证 DDR4 的高速稳定的工作。

FPGA 端的 DDR4 的硬件连接方式如图 2-3-1 所示:

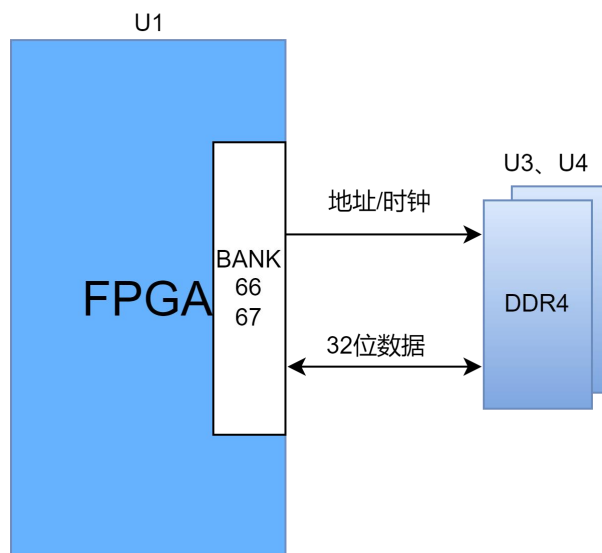


图2-3-1 DDR4 DRAM原理图部分

图 2-3-2 为开发板的 2 片 DDR4 DRAM 实物图

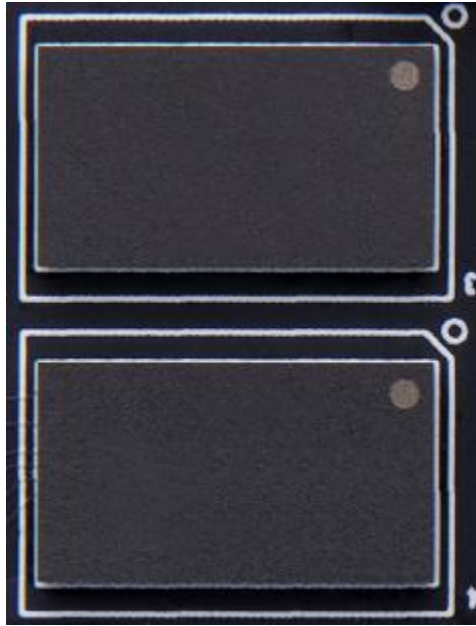


图 2-3-2 4 片 DDR4 DRAM 实物图

DDR4 SDRAM 引脚分配:

信号名称	引脚号
DDR4_D0	C16
DDR4_D1	G16
DDR4_D2	D15
DDR4_D3	G17
DDR4_D4	H17
DDR4_D5	H16
DDR4_D6	D16
DDR4_D7	E15
DDR4_D8	B19
DDR4_D9	C17
DDR4_D10	B20
DDR4_D11	B15
DDR4_D12	A19
DDR4_D13	A15
DDR4_D14	A20
DDR4_D15	B17
DDR4_D16	G20
DDR4_D17	D19

DDR4_D18	D20
DDR4_D19	F19
DDR4_D20	G21
DDR4_D21	E18
DDR4_D22	D18
DDR4_D23	F18
DDR4_D24	C23
DDR4_D25	C22
DDR4_D26	A24
DDR4_D27	B22
DDR4_D28	A25
DDR4_D29	D21
DDR4_D30	B24
DDR4_D31	E21
DDR4_DM0	G15
DDR4_DM1	C18
DDR4_DM2	H18
DDR4_DM3	A22
DDR4_DQS0_N	E17
DDR4_DQS0_P	E16
DDR4_DQS1_N	A18
DDR4_DQS1_P	A17
DDR4_DQS2_N	E20
DDR4_DQS2_P	F20
DDR4_DQS3_N	B21
DDR4_DQS3_P	C21
DDR4_A0	D26
DDR4_A1	D25
DDR4_A2	E26
DDR4_A3	C24
DDR4_A4	C26
DDR4_A5	F24
DDR4_A6	M26
DDR4_A7	B25
DDR4_A8	G26

DDR4_A9	B26
DDR4_A10	E25
DDR4_A11	H26
DDR4_A12	D23
DDR4_A13	F25
DDR4_ACT_B	J26
DDR4_BA0	M25
DDR4_BA1	F23
DDR4_BG0	K26
DDR4_CAS_B	E23
DDR4_CKE	L24
DDR4_CLK_N	G25
DDR4_CLK_P	G24
DDR4_CS_B	D24
DDR4_OTD	H24
DDR4_PAR	J25
DDR4_RAS_B	F22
DDR4_RST	L25
DDR4_WE_B	K25

(四) QSPI Flash

核心板配有 2 片 256MBit 大小的 Quad-SPI FLASH 芯片，型号为 MT25QU256ABA1EW9，它使用 1.8V CMOS 电压标准。由于 QSPI FLASH 的非易失特性，在使用中，它可以存储 FPGA 的配置 Bin 文件以及其它的用户数据文件。QSPI FLASH 的具体型号和相关参数见表 2-4-1。

表2-4-1 QSPI Flash的型号和参数

位号	芯片类型	容量	厂家
U7、U8	MT25QU256ABA1EW9	256Mbit	Micron

QSPI FLASH 连接到 FPGA 芯片的的专用管脚上，其中时钟管脚连接到专用 BANK0 的 CCLK0 上，数据管脚分别连接到 BANK0 和 BANK65 上。图 2-4-1 为 QSPI Flash 和 FPGA 芯片的连接示意图。

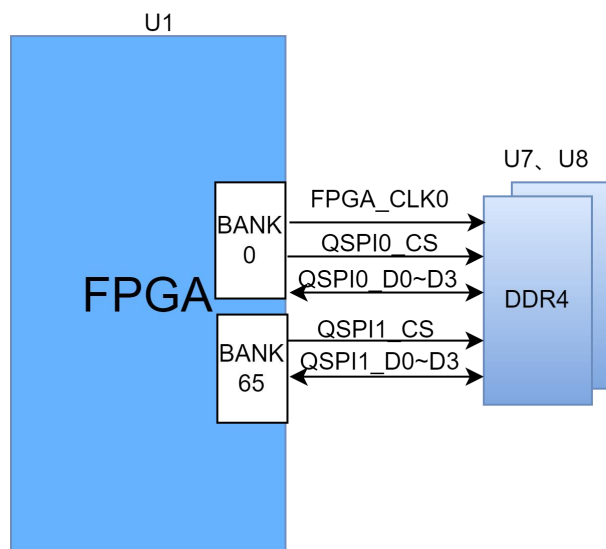


图 4-1 QSPI Flash 连接示意图

配置芯片引脚分配:

信号名称	FPGA 引脚号
QSPI_CLK	Y11
QSPI0_CS	AA12
QSPI0_DQ0	AD11
QSPI0_DQ1	AC12
QSPI0_DQ2	AC11
QSPI0_DQ3	AE11
QSPI1_CS	U22
QSPI1_DQ0	N23
QSPI1_DQ1	P23
QSPI1_DQ2	R20
QSPI1_DQ3	R21

(五) 时钟配置

核心板上为 FPGA 系统提供了 200Mhz 的 2 路差分有源时钟。分别为 FPGA 逻辑部分提供差分时钟源。时钟电路设计的示意图如下图 2-5-1 所示:

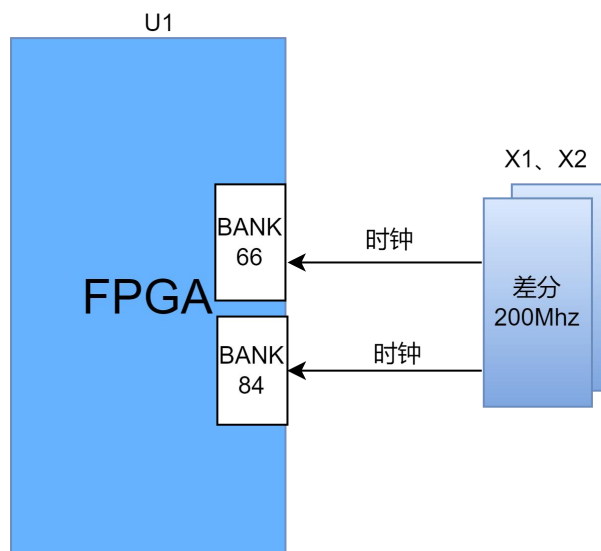
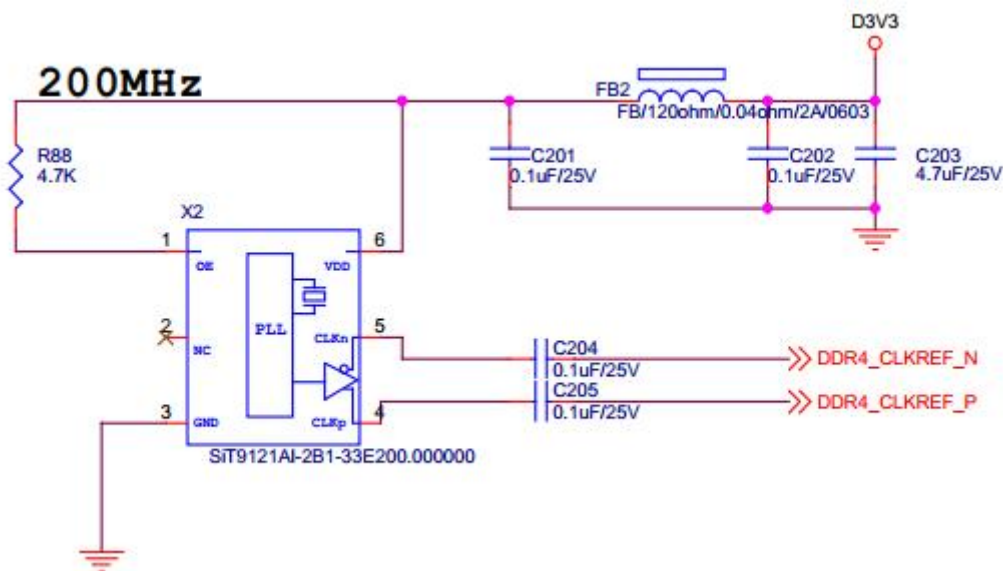


图 2-5-1 核心板时钟源

FPGA 系统时钟源

板上提供了 2 个 200MHz 差分晶振，可为 DDR4 控制器及 FPGA 逻辑提供参考时钟。晶振输出连接到 FPGA BANK66 和 BANK84 的全局时钟上，这个全局时钟可以用来驱动 FPGA 内的 DDR4 控制器和用户逻辑电路。该时钟源的原理图如图 2-5-2 所示



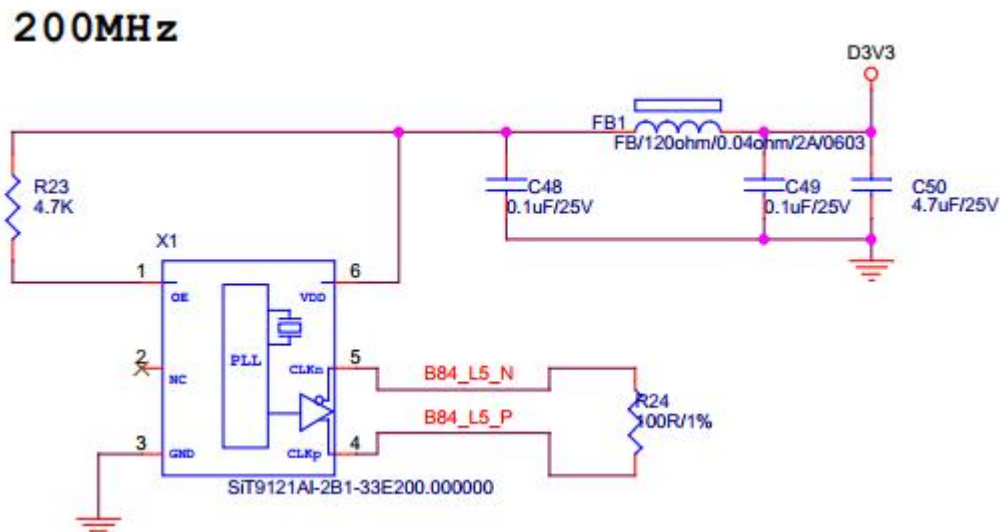


图 2-5-2 系统时钟源

时钟引脚分配:

信号名称	FPGA 引脚
B84_L5_P	AC13
B84_L5_N	AC14
DDR4_CLKREF_P	K22
DDR4_CLKREF_N	K23

(六) LED 灯

ACKU5 核心板上有 3 个红色 LED 灯，其中 1 个是电源指示灯(PWR1)，1 个是配置 LED 灯(D1)，还有一个用户指示灯 (LED1)。核心上电时指示灯会亮起；当 FPGA 配置程序后，配置 LED 灯会亮起。用户指示灯可用于自定义功能指示。LED 灯硬件连接的示意图如图 2-6-1 所示：

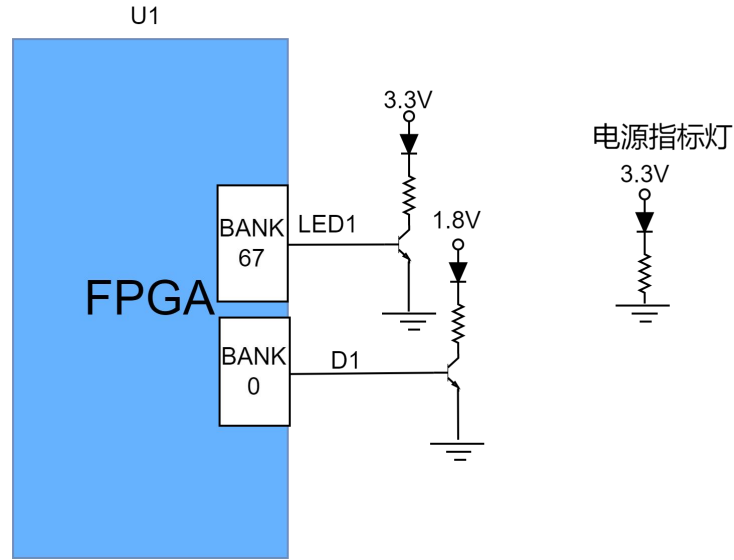


图 2-6-1 核心板 LED 灯硬件连接示意图

(七) 电源

ACKU5 核心板供电电压为+12V，通过连接底板供电。板上的电源设计示意图如下图 2-7-1 所示:

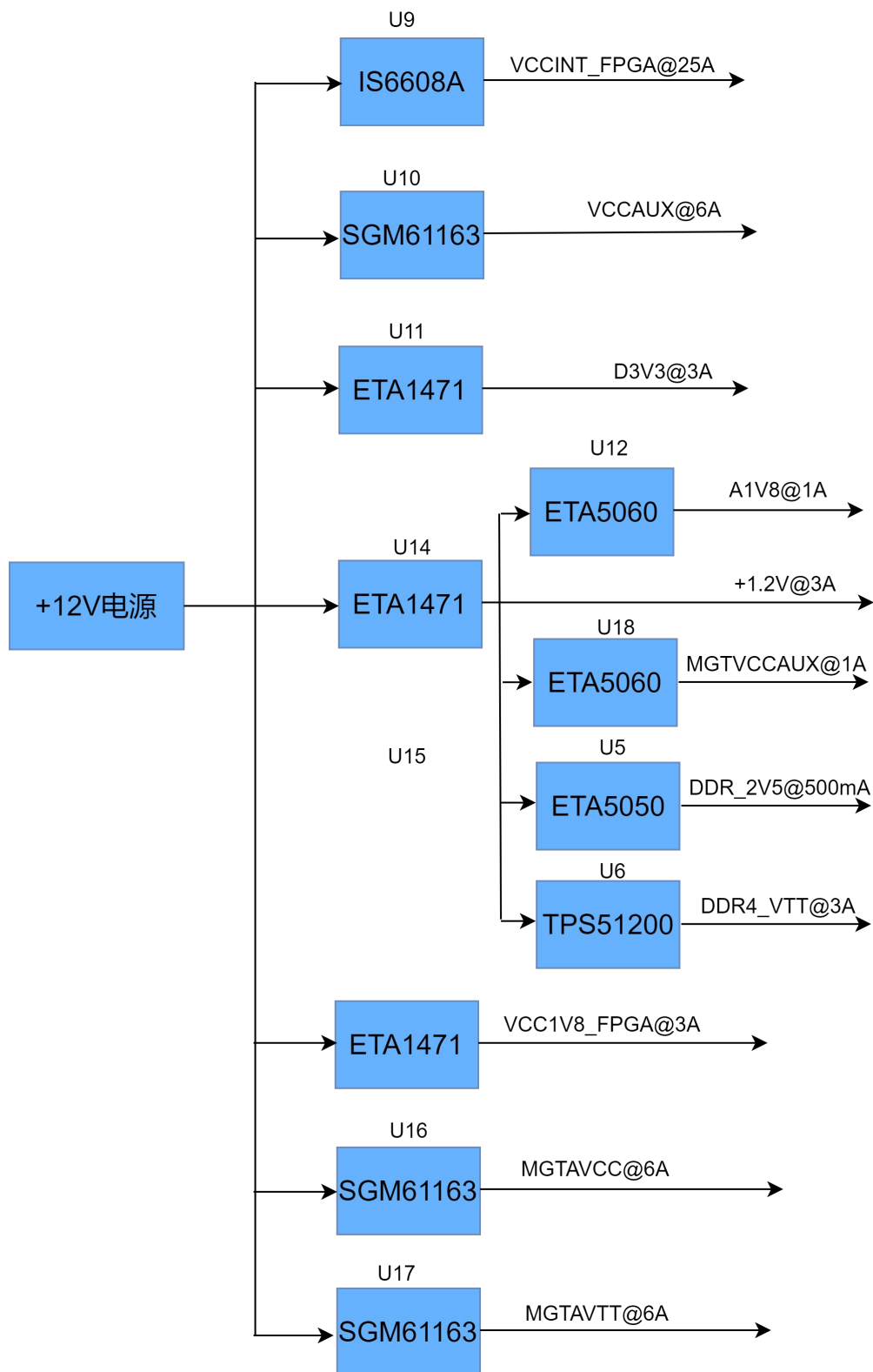


图 2-7-1 原理图中电源接口部分

+12V 通过 DCDC 电源芯片 IS6608 产生 FPGA 核心电源，输出电流高达 25A，可满足核心电压的电流需求。+12V 电源再通过 3 个 DCDC 芯片 SGM61163 来产生 VCCAUX，

MGTAVCC, MGTAVTT 电源, 给 FPGA 辅助电源和高速收发器供电。同时+12V 电源再通过 DCDC 芯片 ETA1471 来产生+1.2V, VCC1V8_FPGA、D3V3 电源给 DDR4、FPGA 的 BANK 及外设供电。另外 D3V3 通过 2 个 LDO 芯片 ETA5060 产生高速收发器的辅助电源和 FPGA 的 ADC 供电电源+1.8V; DDR4 的 VTT 和 DDR2V5 电压由 TPS51200 和 ETA5050 产生。

因为 FPGA 的电源有上电顺序的要求, 在电路设计中, 我们已经按照芯片的电源要求设计, 保证芯片的正常工作。

(八) 结构图

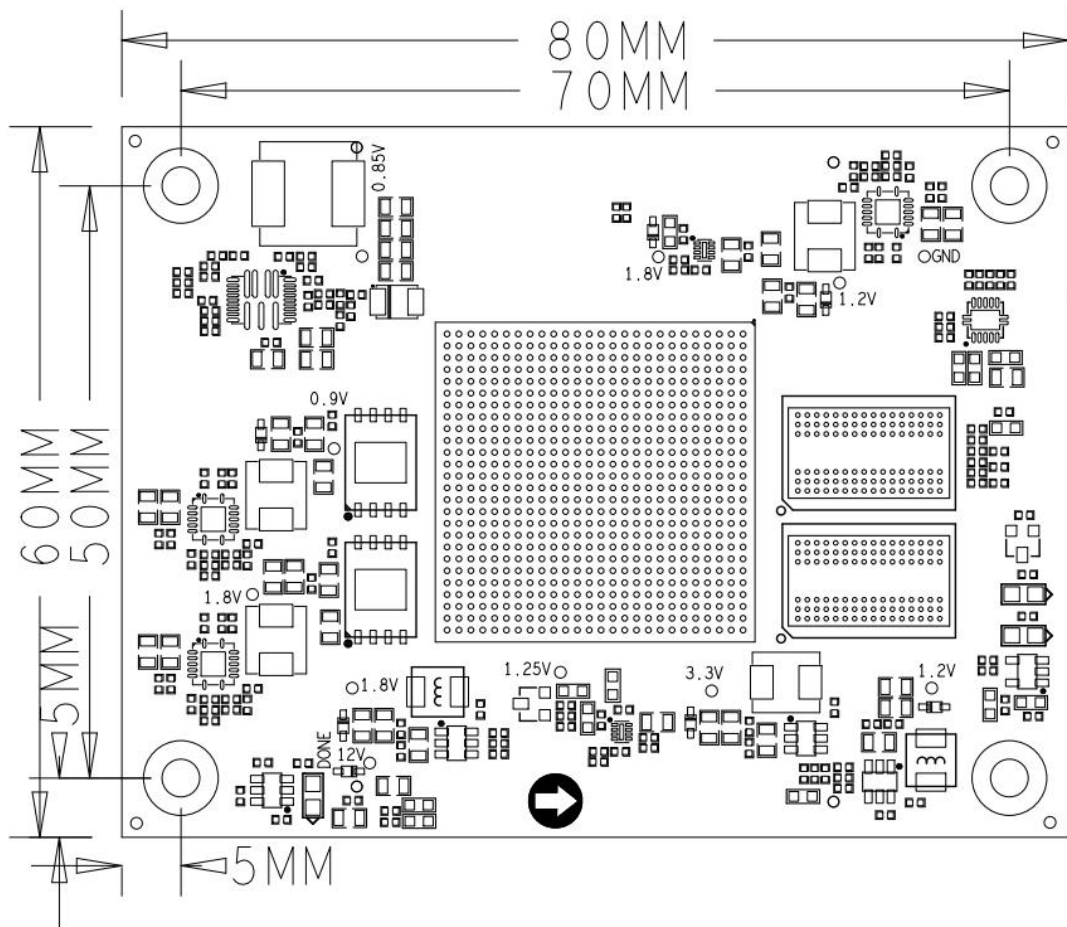


图 2-8-1 正面图 (Top View)

(九) 连接器管脚定义

核心板一共扩展出 2 个高速扩展口, 使用 2 个 240Pin 的板间连接器 (J1~J2) 和底板连接, 核心板供电由 J2 连接器输入。

J1 连接器的引脚分配

J1 管脚	信号名称	FPGA 引脚号	J1 管脚	信号名称	FPGA 引脚号
A1	+12V	-	B1	+12V	-
A2	-	-	B2	-	-
A3	GND	-	B3	GND	-
A4	VCCIO_65	P22,U23,Y24	B4	VCCIO_64	AA21,AB18,AD22
A5	-	-	B5	-	-
A6	GND	-	B6	GND	-
A7	GND	-	B7	GND	-
A8	-	-	B8	-	-
A9	-	-	B9	-	-
A10	GND	-	B10	GND	-
A11	B84_L2_N	AF13	B11	B84_L1_N	AF15
A12	B84_L2_P	AE13	B12	B84_L1_P	AF14
A13	GND	-	B13	GND	-
A14	B84_L9_N	Y16	B14	B84_L6_N	AB16
A15	B84_L9_P	W16	B15	B84_L6_P	AB15
A16	GND	-	B16	GND	-
A17	B64_L7_N	AF22	B17	B64_L8_N	AE23
A18	B64_L7_P	AE22	B18	B64_L8_P	AD23
A19	GND	-	B19	GND	-
A20	B64_L3_N	AF25	B20	B64_T2U	AE18
A21	B64_L3_P	AF24	B21	B64_T1U	AF20
A22	GND	-	B22	GND	-
A23	B64_L1_N	AE26	B23	B64_L11_N	AE21
A24	B64_L1_P	AE25	B24	B64_L11_P	AD21
A25	GND	-	B25	GND	-
A26	B64_L4_N	AD26	B26	B64_L5_N	AD25
A27	B64_L4_P	AC26	B27	B64_L5_P	AD24
A28	GND	-	B28	GND	-
A29	B64_L6_N	AC24	B29	B64_L9_N	AC23
A30	B64_L6_P	AB24	B30	B64_L9_P	AC22
A31	GND	-	B31	GND	-

A32	B64_L2_N	AB26	B32	B64_L10_N	AB22
A33	B64_L2_P	AB25	B33	B64_L10_P	AA22
A34	GND	-	B34	GND	-
A35	B64_T3U	AC16	B35	B64_L20_N	AB19
A36	B65_T1U	AA23	B36	B64_L20_P	AA19
A37	GND	-	B37	GND	-
A38	B65_L6_N	W20	B38	B65_L9_N	AA25
A39	B65_L6_P	W19	B39	B65_L9_P	AA24
A40	GND	-	B40	GND	-
A41	B65_L1_N	V19	B41	B65_L8_N	Y26
A42	B65_L1_P	U19	B42	B65_L8_P	Y25
A43	GND	-	B43	GND	-
A44	B65_L3_N	U20	B44	B65_L5_N	T23
A45	B65_L3_P	T20	B45	B65_L5_P	T22
A46	GND	-	B46	GND	-
A47	B66_L4_N	L19	B47	B65_L19_N	R23
A48	B66_L4_P	M19	B48	B65_L19_P	R22
A49	GND	-	B49	GND	-
A50	B66_L2_N	M21	B50	B65_L16_N	V26
A51	B66_L2_P	M20	B51	B65_L16_P	U26
A52	GND	-	B52	GND	-
A53	B66_L5_N	J21	B53	B65_T3U	T19
A54	B66_L5_P	K21	B54	-	-
A55	GND	-	B55	GND	-
A56	B66_L3_N	J20	B56	B65_L17_N	P26
A57	B66_L3_P	J19	B57	B65_L17_P	P25
A58	GND	-	B58	GND	-
A59	B66_L1_N	K18	B59	B65_L15_N	P24
A60	B66_L1_P	L18	B60	B65_L15_P	N24

J1 管脚	信号名称	FPGA 引脚号	J1 管脚	信号名称	FPGA 引脚号
C1	+12V	-	D1	+12V	-
C2	-	-	D2	-	-
C3	GND	-	D3	GND	-
C4	VCCAUX_PG	-	D4	FMC_HPC0_VREF_A_M2C	W18, V18
C5	-	-	D5	-	-
C6	GND	-	D6	GND	-
C7	GND	-	D7	GND	-
C8	B84_L11_N	AA13	D8	B84_L12_N	W13
C9	B84_L11_P	Y13	D9	B84_L12_P	W12
C10	GND	-	D10	GND	-
C11	B84_L3_N	AE15	D11	B84_L10_N	W15
C12	B84_L3_P	AD15	D12	B84_L10_P	W14
C13	GND	-	D13	GND	-
C14	B84_L4_N	AD14	D14	B84_L8_N	AB14
C15	B84_L4_P	AD13	D15	B84_L8_P	AA14
C16	GND	-	D16	GND	-
C17	B64_L17_N	AF17	D17	B84_L7_N	AA15
C18	B64_L17_P	AE17	D18	B84_L7_P	Y15
C19	GND	-	D19	GND	-
C20	B64_L15_N	AF19	D20	B64_L13_N	AE20
C21	B64_L15_P	AF18	D21	B64_L13_P	AD20
C22	GND	-	D22	GND	-
C23	B64_L16_N	AD18	D23	B64_L18_N	AE16
C24	B64_L16_P	AC18	D24	B64_L18_P	AD16
C25	GND	-	D25	GND	-
C26	B64_L14_N	AD19	D26	B64_L22_N	AC17
C27	B64_L14_P	AC19	D27	B64_L22_P	AB17
C28	GND	-	D28	GND	-
C29	B64_L12_N	AC21	D29	B64_L21_N	AB20

C30	B64_L12_P	AB21	D30	B64_L21_P	AA20
C31	GND	-	D31	GND	-
C32	B64_L24_N	AA18	D32	B64_L23_N	AA17
C33	B64_L24_P	Y18	D33	B64_L23_P	Y17
C34	GND	-	D34	GND	-
C35	-	-	D35	B64_L19_N	Y21
C36	-	-	D36	B64_L19_P	Y20
C37	GND	-	D37	GND	-
C38	-	-	D38	USER_DEF_CLOCK_P	J23
C39	-	-	D39	USER_DEF_CLOCK_N	J24
C40	GND	-	D40	GND	-
C41	B65_L10_N	W26	D41	B65_L12_N	W24
C42	B65_L10_P	W25	D42	B65_L12_P	V24
C43	GND	-	D43	GND	-
C44	B65_L11_N	W23	D44	B65_L7_N	Y23
C45	B65_L11_P	V23	D45	B65_L7_P	Y22
C46	GND	-	D46	GND	-
C47	B65_L4_N	V22	D47	B65_L23_N	P19
C48	B65_L4_P	V21	D48	B65_L23_P	N19
C49	GND	-	D49	GND	-
C50	B65_L20_N	P21	D50	B65_L24_N	N22
C51	B65_L20_P	P20	D51	B65_L24_P	N21
C52	GND	-	D52	GND	-
C53	B65_L14_N	U25	D53	B65_L13_N	U24
C54	B65_L14_P	T25	D54	B65_L13_P	T24
C55	GND	-	D55	GND	-
C56	B65_T2U	N26	D56	B65_L18_N	R26
C57	B65_L2_P	U21	D57	B65_L18_P	R25
C58	GND	-	D58	GND	-
C59	-	-	D59	-	-
C60	VCCO_84	AC15,Y24	D60	VCCO_86_87	E9,H10,E14, H25

J2 连接器的引脚分配

J2 管脚	信号名称	FPGA 引脚号	J2 管脚	信号名称	FPGA 引脚号
A1	POWER_ALT	-	B1	POWER_SDA	-
A2	-	-	B2	POWER_SCL	-
A3	GND	-	B3	GND	-
A4	FPGA_TDI	AB12	B4	FPGA_TCK	AE12
A5	FPGA_TMS	AB10	B5	FPGA_TDO	Y10
A6	GND	-	B6	GND	-
A7	-	-	B7	-	-
A8	-	-	B8	-	-
A9	GND	-	B9	GND	-
A10	-	-	B10	-	-
A11	-	-	B11	-	-
A12	GND	-	B12	GND	-
A13	B87_L3_N	G14	B13	B87_L4_N	J14
A14	B87_L3_P	H14	B14	B87_L4_P	J15
A15	GND	-	B15	GND	-
A16	B87_L2_N	H13	B16	B87_L1_N	H12
A17	B87_L2_P	J13	B17	B87_L1_P	J12
A18	GND	-	B18	GND	-
A19	B87_L5_N	F12	B19	B87_L6_N	F13
A20	B87_L5_P	G12	B20	B87_L6_P	F14
A21	GND	-	B21	GND	-
A22	B87_L7_N	E12	B22	B87_L8_N	D13
A23	B87_L7_P	E13	B23	B87_L8_P	D14
A24	GND	-	B24	GND	-
A25	B87_L10_N	B12	B25	B87_L11_N	A12
A26	B87_L10_P	C12	B26	B87_L11_P	A13
A27	GND	-	B27	GND	-
A28	B87_L9_N	C13	B28	B87_L12_N	A14

A29	B87_L9_P	C14	B29	B87_L12_P	B14
A30	GND	-	B30	GND	-
A31	GND	-	B31	GND	-
A32	MGT226_CLK0_P	P7	B32	MGT226_CLK1_P	M7
A33	MGT226_CLK0_N	P6	B33	MGT226_CLK1_N	M6
A34	GND	-	B34	GND	-
A35	MGT226_TX0_P	N5	B35	MGT226_RX0_P	M2
A36	MGT226_TX0_N	N4	B36	MGT226_RX0_N	M1
A37	GND	-	B37	GND	-
A38	MGT226_TX1_P	L5	B38	MGT226_RX1_P	K2
A39	MGT226_TX1_N	L4	B39	MGT226_RX1_N	K1
A40	GND	-	B40	GND	-
A41	MGT226_TX2_P	J5	B41	MGT226_RX2_P	H2
A42	MGT226_TX2_N	J4	B42	MGT226_RX2_N	H1
A43	GND	-	B43	GND	-
A44	MGT226_TX3_P	G5	B44	MGT226_RX3_P	F2
A45	MGT226_TX3_N	G4	B45	MGT226_RX3_N	F1
A46	GND	-	B46	GND	-
A47	MGT227_CLK1_P	H7	B47	MGT227_CLK0_P	K7
A48	MGT227_CLK1_N	H6	B48	MGT227_CLK0_N	K6
A49	GND	-	B49	GND	-
A50	MGT227_TX0_P	F7	B50	MGT227_RX0_P	D2
A51	MGT227_TX0_N	F6	B51	MGT227_RX0_N	D1
A52	GND	-	B52	GND	-
A53	MGT227_TX1_P	E5	B53	MGT227_RX1_P	C4
A54	MGT227_TX1_N	E4	B54	MGT227_RX1_N	C3
A55	GND	-	B55	GND	-
A56	MGT227_TX2_P	D7	B56	MGT227_RX2_P	B2
A57	MGT227_TX2_N	D6	B57	MGT227_RX2_N	B1
A58	GND	-	B58	GND	-
A59	MGT227_TX3_P	B7	B59	MGT227_RX3_P	A4
A60	MGT227_TX3_N	B6	B60	MGT227_RX3_N	A3

J2 管脚	信号名称	FPGA 引脚号	J2 管脚	信号名称	FPGA 引脚号
C1	MGT224_TX0_N	AF6	D1	MGT224_RX0_N	AF1
C2	MGT224_TX0_P	AF7	D2	MGT224_RX0_P	AF2
C3	GND	-	D3	GND	-
C4	MGT224_TX1_N	AE8	D4	MGT224_RX1_N	AE3
C5	MGT224_TX1_P	AE9	D5	MGT224_RX1_P	AE4
C6	GND	-	D6	GND	-
C7	MGT224_TX2_N	AD6	D7	MGT224_RX2_N	AD1
C8	MGT224_TX2_P	AD7	D8	MGT224_RX2_P	AD2
C9	GND	-	D9	GND	-
C10	MGT224_TX3_N	AC4	D10	MGT224_RX3_N	AB1
C11	MGT224_TX3_P	AC5	D11	MGT224_RX3_P	AB2
C12	GND	-	D12	GND	-
C13	MGT224_CLK1_N	Y6	D13	MGT224_CLK0_N	AB6
C14	MGT224_CLK1_P	Y7	D14	MGT224_CLK0_P	AB7
C15	GND	-	D15	GND	-
C16	MGT225_TX0_N	AA4	D16	MGT225_RX0_N	Y1
C17	MGT225_TX0_P	AA5	D17	MGT225_RX0_P	Y2
C18	GND	-	D18	GND	-
C19	MGT225_TX1_N	W4	D19	MGT225_RX1_N	V1
C20	MGT225_TX1_P	W5	D20	MGT225_RX1_P	V2
C21	GND	-	D21	GND	-
C22	MGT225_TX2_N	U4	D22	MGT225_RX2_N	T1
C23	MGT225_TX2_P	U5	D23	MGT225_RX2_P	T2
C24	GND	-	D24	GND	-
C25	MGT225_TX3_N	R4	D25	MGT225_RX3_N	P1
C26	MGT225_TX3_P	R5	D26	MGT225_RX3_P	P2

C27	GND	-	D27	GND	-
C28	MGT225_CLK1_N	T6	D28	MGT225_CLK0_N	V6
C29	MGT225_CLK1_P	T7	D29	MGT225_CLK0_P	V7
C30	GND	-	D30	GND	-
C31	GND	-	D31	GND	-
C32	-	-	D32	-	-
C33	-	-	D33	-	-
C34	GND	-	D34	GND	-
C35	-	-	D35	FPGA_VN_IN	R13
C36	-	-	D36	FPGA_VP_IN	P14
C37	GND	-	D37	GND	-
C38	GND	-	D38	GND	-
C39	B86_L2_N	J10	D39	B86_L4_N	G11
C40	B86_L2_P	J11	D40	B86_L4_P	H11
C41	GND	-	D41	GND	-
C42	B86_L3_N	H9	D42	B86_L1_N	K9
C43	B86_L3_P	J9	D43	B86_L1_P	K10
C44	GND	-	D44	GND	-
C45	B86_L9_N	C9	D45	B86_L5_N	G9
C46	B86_L9_P	D9	D46	B86_L5_P	G10
C47	GND	-	D47	GND	-
C48	B86_L6_N	F9	D48	B86_L10_N	A9
C49	B86_L6_P	F10	D49	B86_L10_P	B9
C50	GND	-	D50	GND	-
C51	B86_L7_N	E10	D51	B86_L8_N	D10
C52	B86_L7_P	E11	D52	B86_L8_P	D11
C53	GND	-	D53	GND	-
C54	B86_L11_N	A10	D54	B86_L12_N	B11
C55	B86_L11_P	B10	D55	B86_L12_P	C11
C56	GND	-	D56	GND	-
C57	-	-	D57	-	-
C58	-	-	D58	-	-

C59	-	-	D59	-	-
C60	-	-	D60	-	-

三、 扩展板

(一)简介

通过前面的功能简介，我们可以了解到扩展板部分的功能

- PCIe3.0 x8 接口
- 1 路千兆网接口
- 1 路 FMC HPC 接口
- 1 路 MIPI 输入接口
- USB Uart 接口
- Micro SD 卡座
- 40 针扩展口
- JTAG 调试口
- LED 灯
- 按键

(二)PCIe 插槽

AXKU5 扩展板上有一个 PCIe x8 的接口，支持 PCIe Gen3.0 协议，8 对收发器连接到 PCIe x8 的金手指上进行数据通信。

PCIe 接口的收发信号直接跟 FPGA BANK224,BANK225 收发器相连接，8 路 TX 信号和 RX 信号都是以差分信号方式连接到 FPGA 的收发器上，单通道通信速率可高达 8G bit 带宽。

开发板的 PCIe 接口的设计示意图如下图 3-2-1 所示,其中 TX 发送信号用 AC 耦合模式连接。

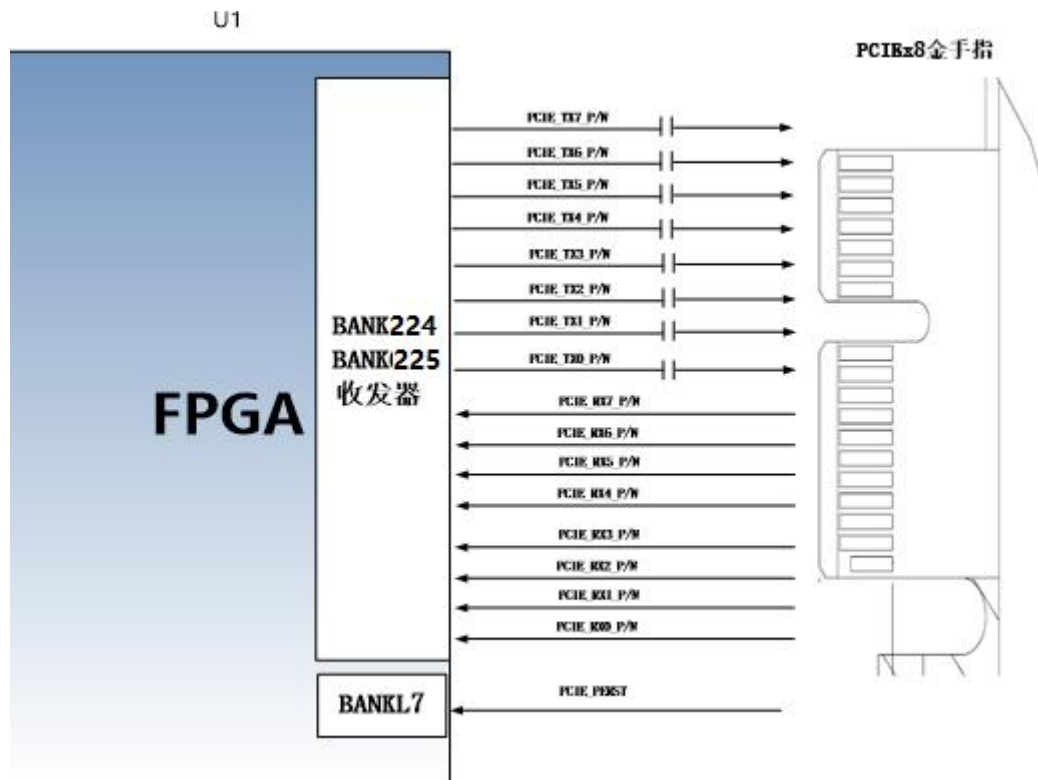


图 3-2-1 PCIe 插槽设计示意图

PCIe x8 接口 FPGA 引脚分配如下:

信号名称	FPGA 引脚名	引脚号	备注
PCIE_RX0_P	MGT225_RX3_P	P2	PCIE 通道 0 数据接收正
PCIE_RX0_N	MGT225_RX3_N	P1	PCIE 通道 0 数据接收负
PCIE_RX1_P	MGT225_RX2_P	T2	PCIE 通道 1 数据接收正
PCIE_RX1_N	MGT225_RX2_N	T1	PCIE 通道 1 数据接收负
PCIE_RX2_P	MGT225_RX1_P	V2	PCIE 通道 2 数据接收正
PCIE_RX2_N	MGT225_RX1_N	V1	PCIE 通道 2 数据接收负
PCIE_RX3_P	MGT225_RX0_P	Y2	PCIE 通道 3 数据接收正
PCIE_RX3_N	MGT225_RX0_N	Y1	PCIE 通道 3 数据接收负
PCIE_RX4_P	MGT224_RX3_P	AB2	PCIE 通道 4 数据接收正
PCIE_RX4_N	MGT224_RX3_N	AB1	PCIE 通道 4 数据接收负
PCIE_RX5_P	MGT224_RX2_P	AD2	PCIE 通道 5 数据接收正
PCIE_RX5_N	MGT224_RX2_N	AD1	PCIE 通道 5 数据接收负
PCIE_RX6_P	MGT224_RX1_P	AE4	PCIE 通道 6 数据接收正
PCIE_RX6_N	MGT224_RX1_N	AE3	PCIE 通道 6 数据接收负

PCIE_RX7_P	MGT224_RX0_P	AF2	PCIE 通道 7 数据接收正
PCIE_RX7_N	MGT224_RX0_N	AF1	PCIE 通道 7 数据接收负
PCIE_TX0_P	MGT225_TX3_P	R5	PCIE 通道 0 数据发送正
PCIE_TX0_N	MGT225_TX3_N	R4	PCIE 通道 0 数据发送负
PCIE_TX1_P	MGT225_TX2_P	U5	PCIE 通道 1 数据发送正
PCIE_TX1_N	MGT225_TX2_N	U4	PCIE 通道 1 数据发送负
PCIE_TX2_P	MGT225_TX1_P	W5	PCIE 通道 2 数据发送正
PCIE_TX2_N	MGT225_TX1_N	W4	PCIE 通道 2 数据发送负
PCIE_TX3_P	MGT225_TX0_P	AA5	PCIE 通道 3 数据发送正
PCIE_TX3_N	MGT225_TX0_N	AA4	PCIE 通道 3 数据发送负
PCIE_TX4_P	MGT224_TX3_P	AC5	PCIE 通道 4 数据发送正
PCIE_TX4_N	MGT224_TX3_N	AC4	PCIE 通道 4 数据发送负
PCIE_TX5_P	MGT224_TX2_P	AD7	PCIE 通道 5 数据发送正
PCIE_TX5_N	MGT224_TX2_N	AD6	PCIE 通道 5 数据发送负
PCIE_TX6_P	MGT224_TX1_P	AE9	PCIE 通道 6 数据发送正
PCIE_TX6_N	MGT224_TX1_N	AE8	PCIE 通道 6 数据发送负
PCIE_TX7_P	MGT224_TX0_P	AF7	PCIE 通道 7 数据发送正
PCIE_TX7_N	MGT224_TX0_N	AF6	PCIE 通道 7 数据发送负
PCIE_CLK_P	MGT225_CLK0_P	V7	PCIE 通道参考时钟正
PCIE_CLK_N	MGT225_CLK0_N	V6	PCIE 通道参考时钟负
FPGA_PCIE_PERST_N	B65_T3U	T19	PCIE 板卡的复位信号

(三) 千兆网接口

开发板上通过一片 JL21221D 以太网 PHY 芯片为用户提供网络通信服务。以太网 PHY 芯片是连接到 FPGA 的 IO 接口上。JL21221D 芯片支持 10/100/1000 Mbps 网络传输速率，通过 RGMII 接口跟 FPGA 进行数据通信。JL21221D 芯片支持 MDI/MDX 自适应，各种速度自适应，Master/Slave 自适应，支持 MDIO 总线进行 PHY 的寄存器管理。

JL21221D 上电会检测一些特定的 IO 的电平状态，从而确定自己的工作模式。表 3-2-1 描述了 GPHY 芯片上电之后的默认设定信息。

表 3-2-1 PHY 芯片默认配置值

配置 Pin 脚	说明	配置值
----------	----	-----

RXD3_ADR0 RXC_ADR1 RXCTL_ADR2	MDIO/MDC 模式的 PHY 地址	PHY Address 为 001
RXD1_TXDLY	TX 时钟 2ns 延时	延时
RXD0_RXDLY	RX 时钟 2ns 延时	延时

当网络连接到千兆以太网时，FPGA 和 PHY 芯片 JL2121 的数据传输时通过 RGMII 总线通信，传输时钟为 125Mhz，数据在时钟的上升沿和下降样采样。

当网络连接到百兆以太网时，FPGA 和 PHY 芯片 JL2121 的数据传输时通过 RMII 总线通信，传输时钟为 25Mhz。数据在时钟的上升沿和下降样采样。

图 3-3-1 为 FPGA 与以太网 PHY 芯片连接示意图：

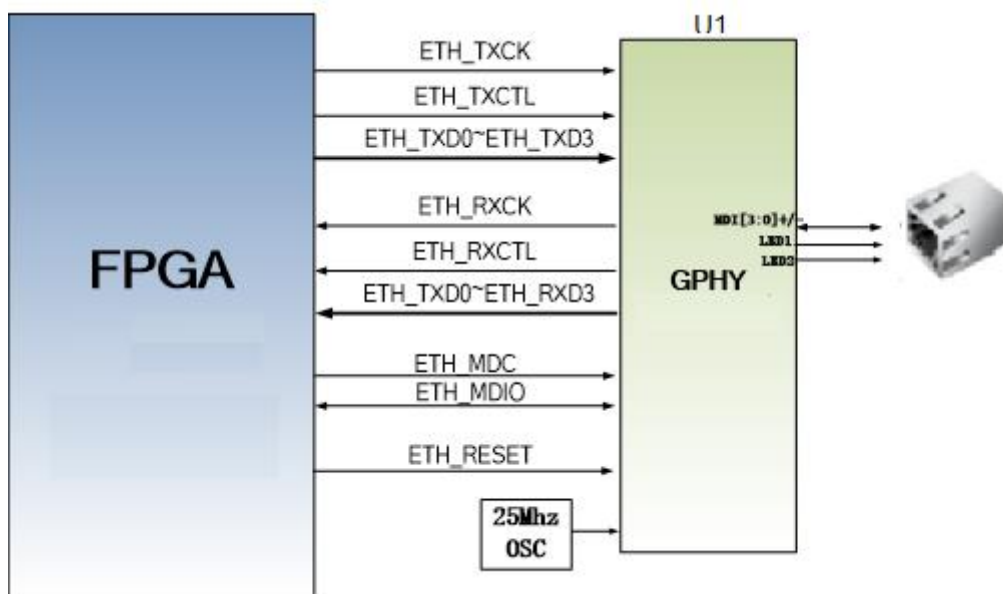


图 3-3-1 千兆网接口连接原理图

图 3-3-2 为以太网 PHY 芯片的实物图



图 3-3-2 以太网 PHY 芯片实物图

以太网 PHY 的 FPGA 引脚分配如下：

信号名称	FPGA 引脚号	备注
------	----------	----

ETH_MDC	N26	MDIO 管理时钟
ETH_MDIO	U19	MDIO 管理数据
ETH_RESET	N22	PHY 芯片复位
ETH_RXCK	U21	RGMII 接收时钟
ETH_RXCTL	R23	接收数据有效信号
ETH_RXD0	V19	接收数据 Bit0
ETH_RXD1	P20	接收数据 Bit1
ETH_RXD2	P21	接收数据 Bit2
ETH_RXD3	R22	接收数据 Bit3
ETH_TXCK	R25	RGMII 发送时钟
ETH_TXCTL	R26	发送使能信号
ETH_TXD0	V21	发送数据 bit0
ETH_TXD1	V22	发送数据 bit1
ETH_TXD2	N19	发送数据 bit2
ETH_TXD3	P19	发送数据 bit3

(四) FMCHPC 接口

开发板带有 1 路 FMC HPC 扩展口，可以外接 XILINX 或者我们黑金的各种 FMC 模块（HDMI 输入输出模块，双目摄像头模块，高速 AD 模块等等）。

FMC HPC 扩展口包含 34 对差分 IO 信号，分别连接 FPGA 芯片 BANK64, BANK65, 电平标准默认为 1.8V。8 路高速 GTY 收发信号连接 FPGA 芯片 BANK226, BANK227 的 IO 上。

FPGA 和 FMC HPC 连接器的原理图如图 3-4-1 所示：

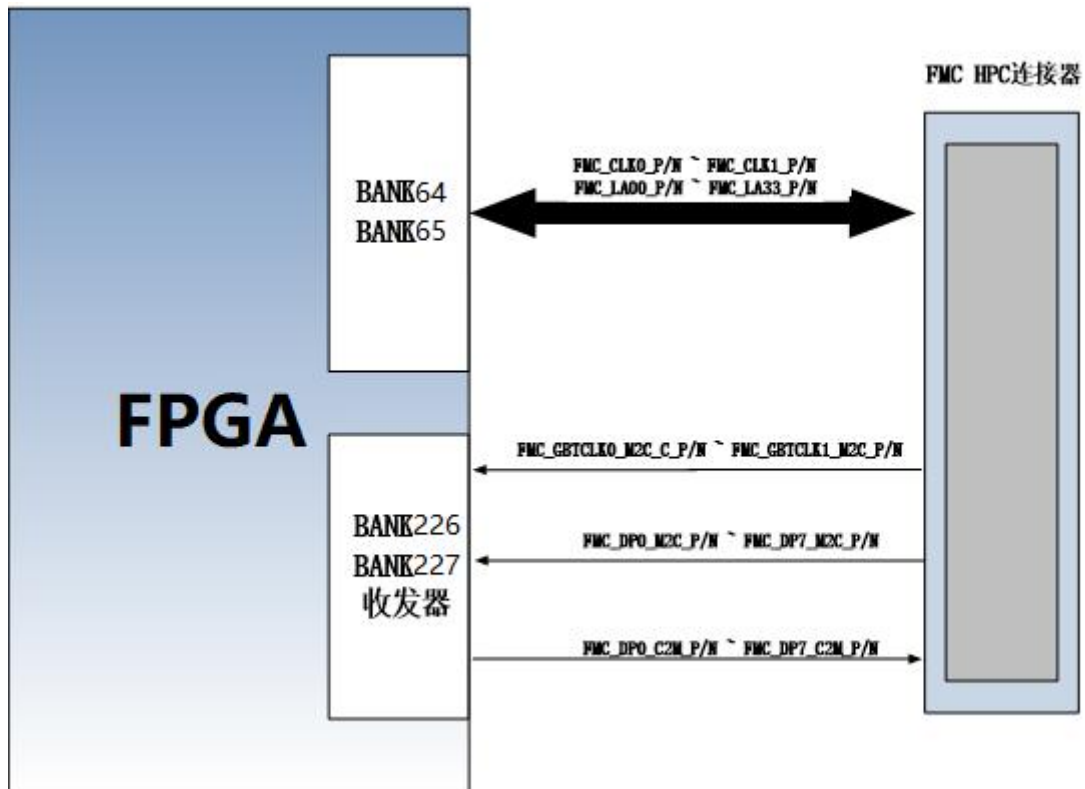


图 3-4-1 HPC FMC 连接示意图

FMC HPC 连接器引脚分配如下:

信号名	FPGA 引脚名	FPGA 引脚号	备注
FMC_CLK0_N	B65_L12_N	W24	FMC 第 0 路输入参考时钟 N
FMC_CLK0_P	B65_L12_P	V24	FMC 第 0 路输入参考时钟 P
FMC_CLK1_N	B64_L12_N	AC21	FMC 第 1 路输入参考时钟 N
FMC_CLK1_P	B64_L12_P	AB21	FMC 第 1 路输入参考时钟 P
FMC_LA00_CC_N	B65_L14_N	U25	FMC LA 第 0 路数据 (时钟) N
FMC_LA00_CC_P	B65_L14_P	T25	FMC LA 第 0 路数据 (时钟) P
FMC_LA01_CC_N	B65_L13_N	U24	FMC LA 第 1 路数据 (时钟) N
FMC_LA01_CC_P	B65_L13_P	T24	FMC LA 第 1 路数据 (时钟) P
FMC_LA02_N	B65_L17_N	P26	FMC LA 第 2 路数据 N
FMC_LA02_P	B65_L17_P	P25	FMC LA 第 2 路数据 P
FMC_LA03_N	B65_L5_N	T23	FMC LA 第 3 路数据 N
FMC_LA03_P	B65_L5_P	T22	FMC LA 第 3 路数据 P
FMC_LA04_N	B65_L16_N	V26	FMC LA 第 4 路数据 N
FMC_LA04_P	B65_L16_P	U26	FMC LA 第 4 路数据 P

FMC_LA05_N	B64_L24_N	AA18	FMC LA 第 5 路数据 N
FMC_LA05_P	B64_L24_P	Y18	FMC LA 第 5 路数据 P
FMC_LA06_N	B65_L10_N	W26	FMC LA 第 6 路数据 P
FMC_LA06_P	B65_L10_P	W25	FMC LA 第 6 路数据 P
FMC_LA07_N	B65_L9_N	AA25	FMC LA 第 7 路数据 N
FMC_LA07_P	B65_L9_P	AA24	FMC LA 第 7 路数据 P
FMC_LA08_N	B65_L11_N	W23	FMC LA 第 8 路数据 N
FMC_LA08_P	B65_L11_P	V23	FMC LA 第 8 路数据 P
FMC_LA09_N	B65_L8_N	Y26	FMC LA 第 9 路数据 N
FMC_LA09_P	B65_L8_P	Y25	FMC LA 第 9 路数据 P
FMC_LA10_N	B65_L15_N	P24	FMC LA 第 10 路数据 N
FMC_LA10_P	B65_L15_P	N24	FMC LA 第 10 路数据 P
FMC_LA11_N	B64_L10_N	AB22	FMC LA 第 11 路数据 N
FMC_LA11_P	B64_L10_P	AA22	FMC LA 第 11 路数据 P
FMC_LA12_N	B65_L7_N	Y23	FMC LA 第 12 路数据 N
FMC_LA12_P	B65_L7_P	Y22	FMC LA 第 12 路数据 P
FMC_LA13_N	B64_L9_N	AC23	FMC LA 第 13 路数据 N
FMC_LA13_P	B64_L9_P	AC22	FMC LA 第 13 路数据 P
FMC_LA14_N	B64_L7_N	AF22	FMC LA 第 14 路数据 N
FMC_LA14_P	B64_L7_P	AE22	FMC LA 第 14 路数据 P
FMC_LA15_N	B64_L11_N	AE21	FMC LA 第 15 路数据 N
FMC_LA15_P	B64_L11_P	AD21	FMC LA 第 15 路数据 P
FMC_LA16_N	B64_L8_N	AE23	FMC LA 第 16 路数据 N
FMC_LA16_P	B64_L8_P	AD23	FMC LA 第 16 路数据 P
FMC_LA17_CC_N	B64_L14_N	AD19	FMC LA 第 17 路数据 (时钟) N
FMC_LA17_CC_P	B64_L14_P	AC19	FMC LA 第 17 路数据 (时钟) P
FMC_LA18_CC_N	B64_L13_N	AE20	FMC LA 第 18 路数据 (时钟) N
FMC_LA18_CC_P	B64_L13_P	AD20	FMC LA 第 18 路数据 (时钟) P
FMC_LA19_N	B64_L18_N	AE16	FMC LA 第 19 路数据 N
FMC_LA19_P	B64_L18_P	AD16	FMC LA 第 19 路数据 P
FMC_LA20_N	B64_L16_N	AD18	FMC LA 第 20 路数据 N
FMC_LA20_P	B64_L16_P	AC18	FMC LA 第 20 路数据 P
FMC_LA21_N	B64_L20_N	AB19	FMC LA 第 21 路数据 N
FMC_LA21_P	B64_L20_P	AA19	FMC LA 第 21 路数据 P
FMC_LA22_N	B64_L21_N	AB20	FMC LA 第 22 路数据 N

FMC_LA22_P	B64_L21_P	AA20	FMC LA 第 22 路数据 P
FMC_LA23_N	B64_L23_N	AA17	FMC LA 第 23 路数据 N
FMC_LA23_P	B64_L23_P	Y17	FMC LA 第 23 路数据 P
FMC_LA24_N	B64_L15_N	AF19	FMC LA 第 24 路数据 N
FMC_LA24_P	B64_L15_P	AF18	FMC LA 第 24 路数据 P
FMC_LA25_N	B64_L6_N	AC24	FMC LA 第 25 路数据 N
FMC_LA25_P	B64_L6_P	AB24	FMC LA 第 25 路数据 P
FMC_LA26_N	B64_L19_N	Y21	FMC LA 第 26 路数据 N
FMC_LA26_P	B64_L19_P	Y20	FMC LA 第 26 路数据 P
FMC_LA27_N	B64_L22_N	AC17	FMC LA 第 27 路数据 N
FMC_LA27_P	B64_L22_P	AB17	FMC LA 第 27 路数据 P
FMC_LA28_N	B64_L17_N	AF17	FMC LA 第 28 路数据 N
FMC_LA28_P	B64_L17_P	AE17	FMC LA 第 28 路数据 P
FMC_LA29_N	B64_L1_N	AE26	FMC LA 第 29 路数据 N
FMC_LA29_P	B64_L1_P	AE25	FMC LA 第 29 路数据 P
FMC_LA30_N	B64_L5_N	AD25	FMC LA 第 30 路数据 N
FMC_LA30_P	B64_L5_P	AD24	FMC LA 第 30 路数据 P
FMC_LA31_N	B64_L2_N	AB26	FMC LA 第 31 路数据 N
FMC_LA31_P	B64_L2_P	AB25	FMC LA 第 31 路数据 P
FMC_LA32_N	B64_L4_N	AD26	FMC LA 第 32 路数据 N
FMC_LA32_P	B64_L4_P	AC26	FMC LA 第 32 路数据 P
FMC_LA33_N	B64_L3_N	AF25	FMC LA 第 33 路数据 N
FMC_LA33_P	B64_L3_P	AF24	FMC LA 第 33 路数据 P
FMC_SCL	B84_L6_P	AB15	FMC I2C 总线时钟
FMC_SDA	B84_L6_N	AB16	FMC I2C 总线数据
FMC_HPC_GBTCLK0_M2C_C_N	MGT226_CLK1_N	M6	收发器参考时钟 0 输入 P
FMC_HPC_GBTCLK0_M2C_C_P	MGT226_CLK1_P	M7	收发器参考时钟 0 输入 N
FMC_HPC_GBTCLK1_M2C_C_N	MGT227_CLK1_N	H6	收发器参考时钟 1 输入 P
FMC_HPC_GBTCLK1_M2C_C_P	MGT227_CLK1_P	H7	收发器参考时钟 1 输入 N
FMC_DP0_M2C_P	MGT226_RX0_P	M2	收发器数据 0 输入 P
FMC_DP0_M2C_N	MGT226_RX0_N	M1	收发器数据 0 输入 N
FMC_DP1_M2C_P	MGT226_RX1_P	K2	收发器数据 1 输入 P
FMC_DP1_M2C_N	MGT226_RX1_N	K1	收发器数据 1 输入 N
FMC_DP2_M2C_P	MGT226_RX2_P	H2	收发器数据 2 输入 P
FMC_DP2_M2C_N	MGT226_RX2_N	H1	收发器数据 2 输入 N

FMC_DP3_M2C_P	MGT226_RX3_P	F2	收发器数据 3 输入 P
FMC_DP3_M2C_N	MGT226_RX3_N	F1	收发器数据 3 输入 N
FMC_DP4_M2C_P	MGT227_RX0_P	D2	收发器数据 4 输入 P
FMC_DP4_M2C_N	MGT227_RX0_N	D1	收发器数据 4 输入 N
FMC_DP5_M2C_P	MGT227_RX1_P	C4	收发器数据 5 输入 P
FMC_DP5_M2C_N	MGT227_RX1_N	C3	收发器数据 5 输入 N
FMC_DP6_M2C_P	MGT227_RX3_P	A4	收发器数据 6 输入 P
FMC_DP6_M2C_N	MGT227_RX3_N	A3	收发器数据 6 输入 N
FMC_DP7_M2C_P	MGT227_RX2_P	B2	收发器数据 7 输入 P
FMC_DP7_M2C_N	MGT227_RX2_N	B1	收发器数据 7 输入 N
FMC_DP0_C2M_P	MGT226_TX0_P	N5	收发器数据 0 输出 P
FMC_DP0_C2M_N	MGT226_TX0_N	N4	收发器数据 0 输出 N
FMC_DP1_C2M_P	MGT226_TX1_P	L5	收发器数据 1 输出 P
FMC_DP1_C2M_N	MGT226_TX1_N	L4	收发器数据 1 输出 N
FMC_DP2_C2M_P	MGT226_TX2_P	J5	收发器数据 2 输出 P
FMC_DP2_C2M_N	MGT226_TX2_N	J4	收发器数据 2 输出 N
FMC_DP3_C2M_P	MGT226_TX3_P	G5	收发器数据 3 输出 P
FMC_DP3_C2M_N	MGT226_TX3_N	G4	收发器数据 3 输出 N
FMC_DP4_C2M_P	MGT227_TX0_P	F7	收发器数据 4 输出 P
FMC_DP4_C2M_N	MGT227_TX0_N	F6	收发器数据 4 输出 N
FMC_DP5_C2M_P	MGT227_TX1_P	E5	收发器数据 5 输出 P
FMC_DP5_C2M_N	MGT227_TX1_N	E4	收发器数据 5 输出 N
FMC_DP6_C2M_P	MGT227_TX3_P	B7	收发器数据 6 输出 P
FMC_DP6_C2M_N	MGT227_TX3_N	B6	收发器数据 6 输出 N
FMC_DP7_C2M_P	MGT227_TX2_P	D7	收发器数据 7 输出 P
FMC_DP7_C2M_N	MGT227_TX2_N	D6	收发器数据 7 输出 N

(五) MIPI 接口

AXKU5 扩展板上带有 1 路 MIPI lanex4 摄像头输入接口, 与 PGA 的 BANK66 和 BANK84 相连, 连接的设计示意图如下图 3-5-1 所示:

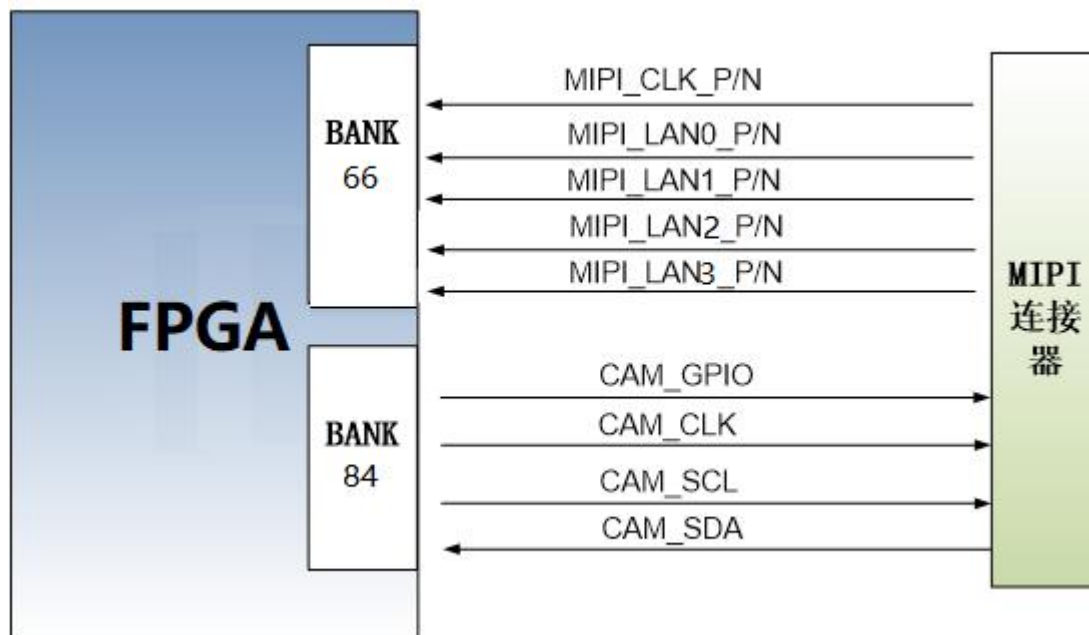


图 3-5-1 MIPI 接口设计原理图

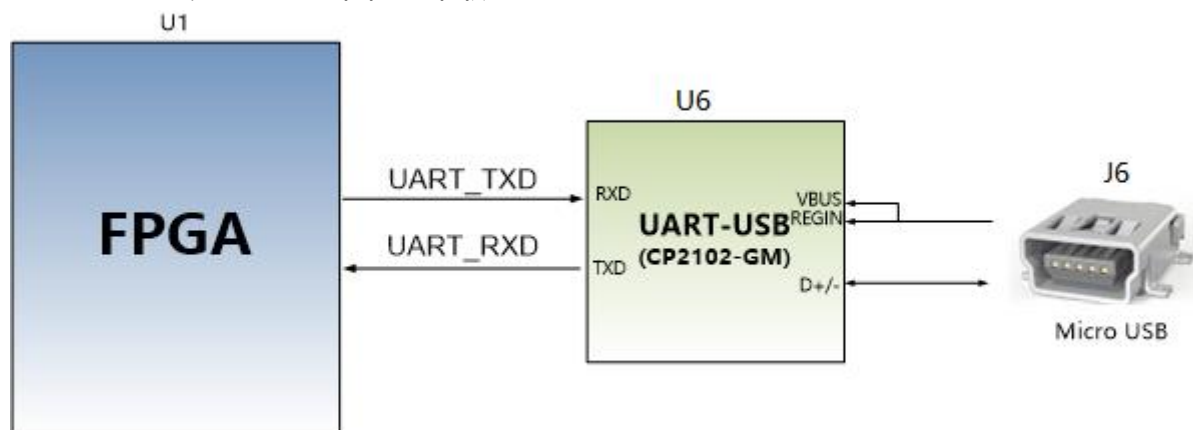
MIPI 接口引脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
MIPI_CLK_P	B66_L1_P	L18	MIPI 输入时钟正
MIPI_CLK_N	B66_L1_N	K18	MIPI 输入时钟负
MIPI_LAN0_P	B66_L5_P	K21	MIPI 输入的数据 LANE0 正
MIPI_LAN0_N	B66_L5_N	J21	MIPI 输入的数据 LANE0 负
MIPI_LAN1_P	B66_L2_P	M20	MIPI 输入的数据 LANE1 正
MIPI_LAN1_N	B66_L2_N	M21	MIPI 输入的数据 LANE1 负
MIPI_LAN2_P	B66_L3_P	J19	MIPI 输入的数据 LANE2 正
MIPI_LAN2_N	B66_L3_N	J20	MIPI 输入的数据 LANE2 负
MIPI_LAN3_P	B66_L4_P	M19	MIPI 输入的数据 LANE3 正
MIPI_LAN3_N	B66_L4_N	L19	MIPI 输入的数据 LANE3 负
MIPI_CLK	B84_L10_P	W14	摄像头的时钟输入
MIPI_GPIO	B84_L10_N	W15	摄像头的 GPIO 控制
MIPI_I2C_SCL	B84_L8_N	AB14	摄像头的 I2C 时钟
MIPI_I2C_SDA	B84_L8_P	AA14	摄像头的 I2C 数据

(六) USB 转串口

AXKU5 扩展板上配备了一个 Uart 转 USB 接口，用于系统调试。转换芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片, USB 接口采用 MINI USB 接口，可以用一根 USB 线将它连接到上 PC 的 USB 口进行核心板的单独供电和串口数据通信。

USB Uart 电路设计的示意图如下图所示:



3-6-1 USB 转串口示意图

USB 转串口的 FPGA 引脚分配:

信号名称	FPGA 引脚名	引脚号	备注
UART_RXD	B84_L3_N	AE15	Uart 数据输入
UART_TXD	B84_L3_P	AD15	Uart 数据输出

(七) SD 卡槽

AXKU5 底板包含了一个 Micro 型的 SD 卡接口，以提供用户访问 SD 卡存储器，用于用户数据文件。SDIO 信号与 FPGA 的 IO 信号相连，支持 SPI 模式和 SD 模式，使用的 SD 卡为 MicroSD 卡。FPGA 和 SD 卡连接器的原理图如下图 3-7-1 所示。

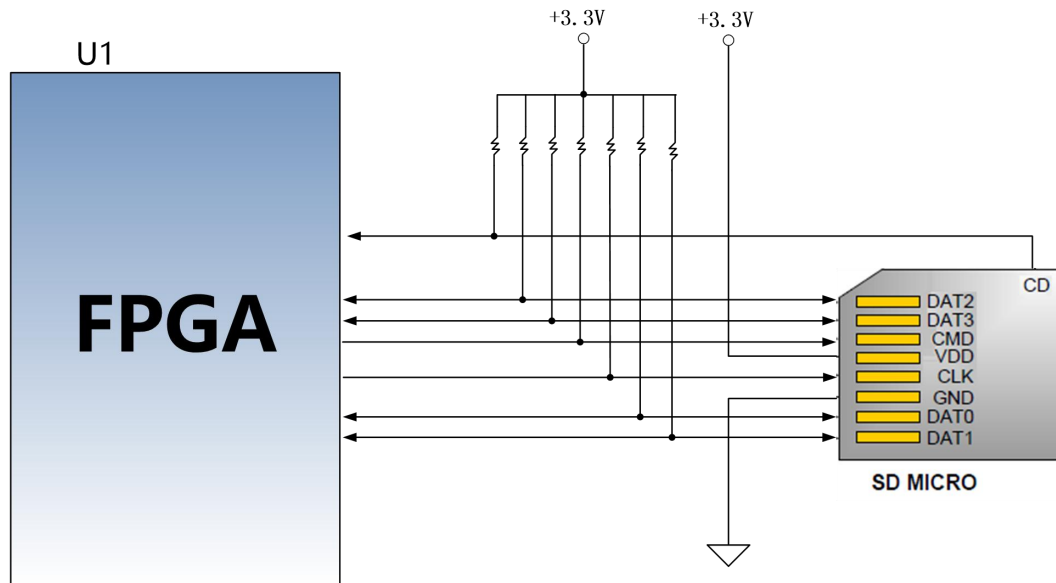


图 3-7-1 SD 卡槽原理图

SD 卡槽引脚分配

信号名称	FPGA 引脚名	引脚号	备注
SD_CD	B84_L4_N	AD14	SD 片选信号
SD_CLK	B84_L11_P	Y13	SD 时钟信号
SD_CMD	B84_L11_N	AA13	SD 命令信号
SD_D0	B84_L12_N	W13	SD 数据 Data0
SD_D1	B84_L12_P	W12	SD 数据 Data1
SD_D2	B84_L1_N	AF15	SD 数据 Data2
SD_D3	B84_L1_P	AF14	SD 数据 Data3

(八) 40 针扩展口

底板预留了 1 个 2.54mm 标准间距的 40 针的扩展口 J8，用于连接黑金的各个模块或者用户自己设计的外面电路，扩展口有 40 个信号，其中，5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路。扩展口的 IO 连接的 FPGA 的 IO 上，默认为 3.3V。

J18 扩展口 FPGA 的引脚分配如下：

J33 管脚	信号名称	引脚号	J33 管脚	信号名称	引脚号
1	GND	-	2	+5V	-
3	IO1_1N	A10	4	IO1_1P	B10

5	IO1_2N	B11	6	IO1_2P	C11
7	IO1_3N	E10	8	IO1_3P	E11
9	IO1_4N	A9	10	IO1_4P	B9
11	IO1_5N	D10	12	IO1_5P	D11
13	IO1_6N	C9	14	IO1_6P	D9
15	IO1_7N	F9	16	IO1_7P	F10
17	IO1_8N	G9	18	IO1_8P	G10
19	IO1_9N	H9	20	IO1_9P	J9
21	IO1_10N	J10	22	IO1_10P	J11
23	IO1_11N	G11	24	IO1_11P	H11
25	IO1_12N	K9	26	IO1_12P	K10
27	IO1_13N	B12	28	IO1_13P	C12
29	IO1_14N	E12	30	IO1_14P	E13
31	IO1_15N	F12	32	IO1_15P	G12
33	IO1_16N	A12	34	IO1_16P	A13
35	IO1_17N	D13	36	IO1_17P	D14
37	GND	-	38	GND	-
39	+3.3V	-	40	+3.3V	-

(九) 按键和 LED 灯

AXKU5 底板上共有 7 个发光二极管 LED, 1 个电源指示灯; 2 个串口通信指示灯, 4 个用户 LED 灯。当开发板上电后电源指示灯会亮起; 4 个 LED 灯连接到 FPGA 的 IO 上, 用户可以通过程序来控制亮和灭, 当连接用户 LED 灯的 IO 电压为高时, 用户 LED 灯点亮, 当连接 IO 电压为低时, 用户 LED 会被熄灭。另外板上还有 4 个用户按键, 默认按键信号为高, 当按键按下时, 按键电平为低。用户 LED 灯和按键的硬件连接示意图如图 3-9-1 所示:

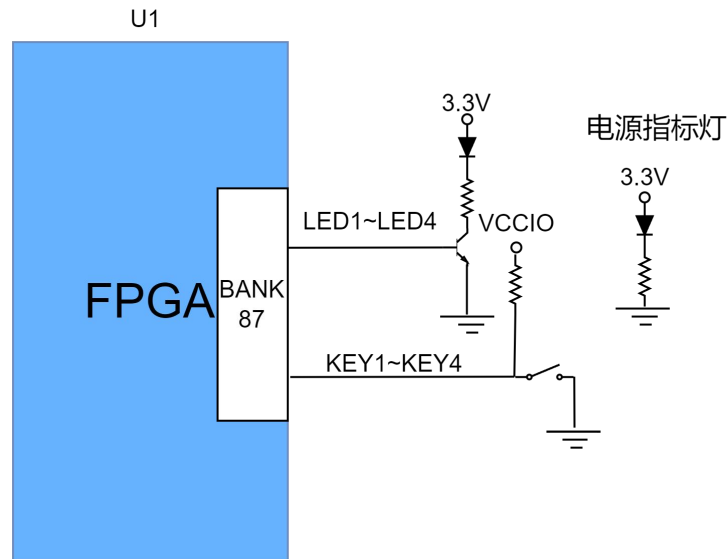


图 3-9-1 用户 LED 灯和按键硬件连接示意图

用户 LED 灯和按键的引脚分配

信号名称	FPGA 引脚名	管脚号	备注
KEY1	B87_L4_N	J14	用户按键 1
KEY2	B87_L4_P	J15	用户按键 2
KEY3	B87_L2_P	J13	用户按键 3
KEY4	B87_L2_N	H13	用户按键 4
LED1	B87_L1_P	J12	用户 LED1 灯
LED2	B87_L3_P	H14	用户 LED2 灯
LED3	B87_L6_N	F13	用户 LED3 灯
LED4	B87_L1_N	H12	用户 LED4 灯

(十) JTAG 调试口

在 AXKU5 底板上预留了一个 10PIN 的 JTAG 接口，用于下载 FPGA 程序或者固化程序到 FLASH。为了带电插拔造成对 FPGA 芯片的损坏，我们在 JTAG 信号上添加了保护二极管来保证信号的电压在 FPGA 接受的范围，避免芯片的损坏。

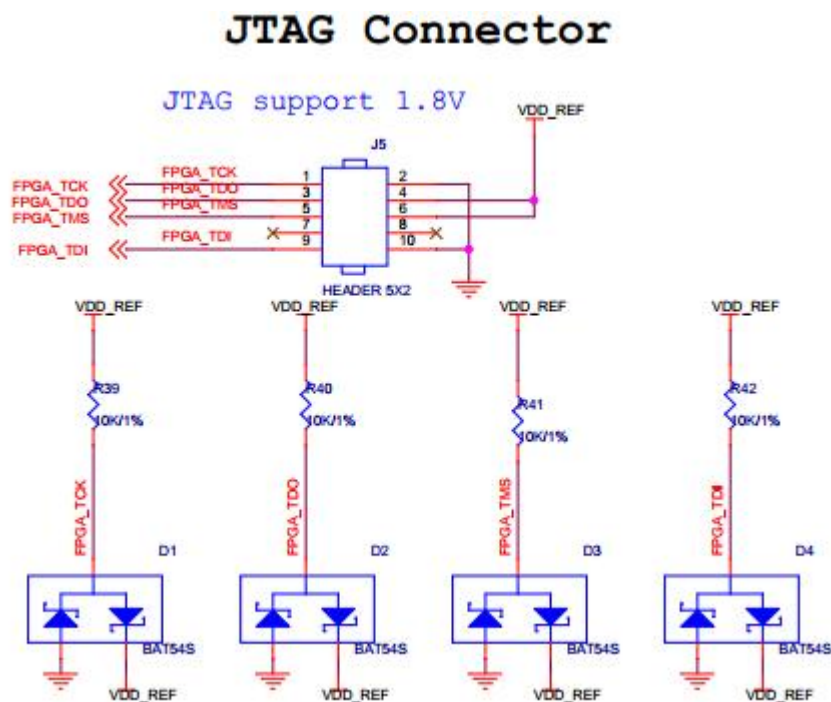


图3-10-1 原理图中JTAG接口部分

(十一) 电源

开发板的电源输入电压为 DC12V，可以通过 PCIE 插槽或者外接+12V 电源给板子供电。外接电源供电时请使用开发板自带的电源, 不要用其他规格电源，以免损坏开发板。底板上外部输入电源通过 1 路电压保护芯片输出，DC/DC 电源芯片 ETA8156、ETA1471 和 SGM61163 分别转换成+5V，+V_ADJ 和+3.3V 三路电源。同时输出的+3.3V 给多路 LDO 输出 JTAG 各 FPGABANK 所需的电压。

板上的电源设计示意图如下图 3-11-1 所示:

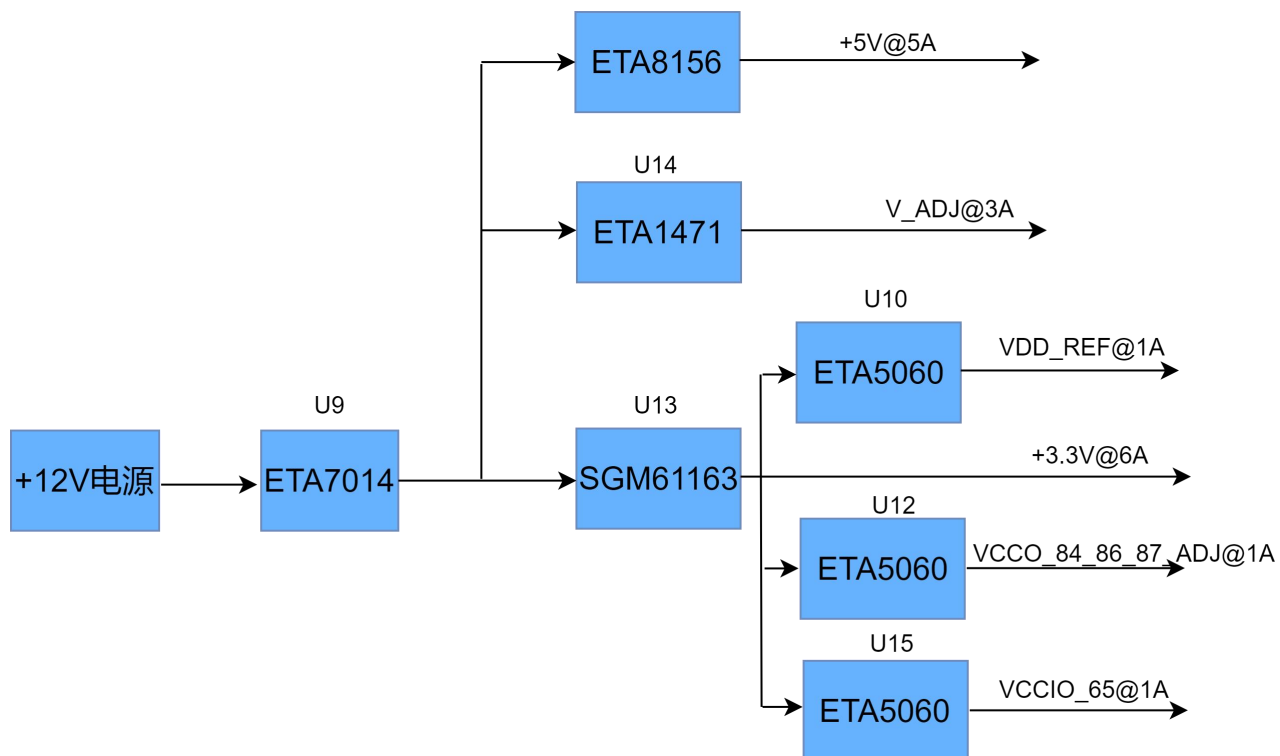


图 3-11-1 原理图中电源接口部分

各个电源分配的功能如下表所示：

电源	功能
+5.0V	扩展模块供电电源
V_ADJ	FPGA BANK 电压
+3.3V	底板外设电源
VDD_REF	JTAG 电源
VCCIO_65	FPGA BANK 电压
VCCO_84_86_87_ADJ	FPGA BANK 电压

(十二) 结构尺寸图

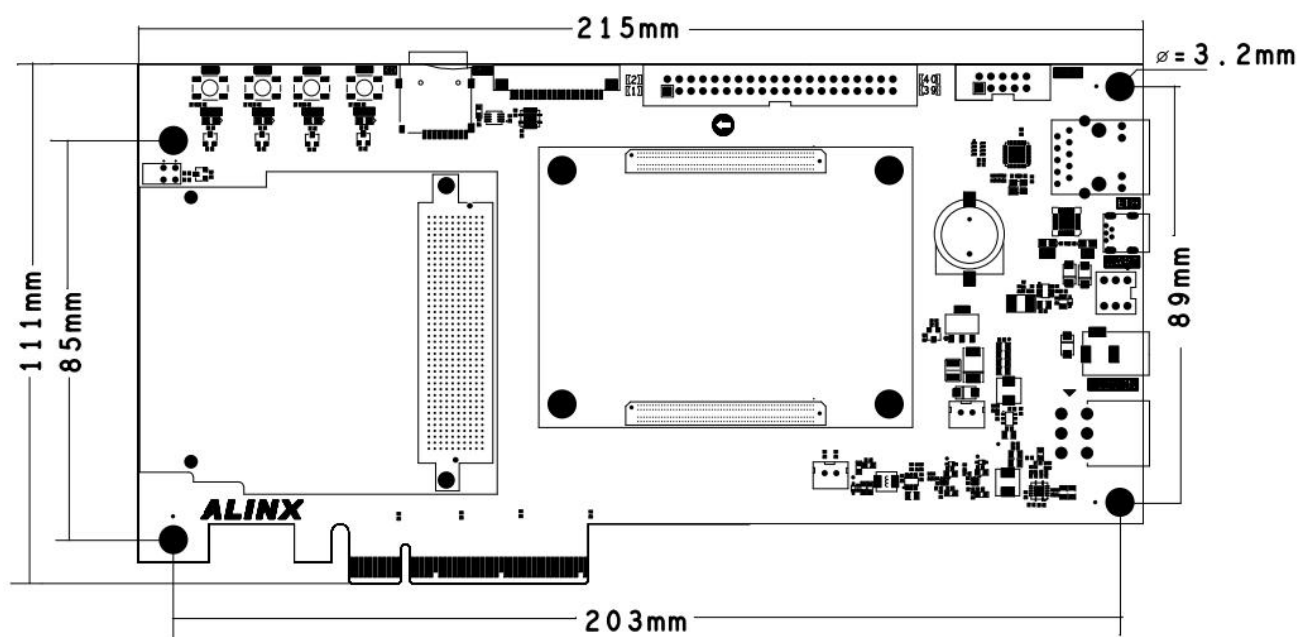


图 3-12-1 正面图 (Top View)