

KINTEX UltraScale

开发平台

用户手册

AXKU062 开发板

ALINX

文档版本控制

文档版本	修改内容记录
REV1.0	创建文档

目 录

文档版本控制	2
一、 ACKU060 核心板.....	7
(一) 简介	7
(二) FPGA 芯片	8
(三) DDR4 DRAM	8
(四) QSPI Flash.....	13
(五) 时钟配置	14
(六) LED 灯	15
(七) 电源	15
(八) 结构图	17
(九) 连接器管脚定义	17
二、 扩展板	28
(一) 简介	28
(二) PCIE X8 接口	28
(三) SFP+光纤接口.....	30
(四) 千兆以太网接口	32
(五) USB 转串口	33
(六) FMC 扩展口	34
(七) SD 卡槽.....	45
(八) SMA 接口.....	46
(九) 温度传感器和 EEPROM	47
(十) LED 灯	48
(十一) 按键	50
(十二) JTAG 调试口	51
(十三) 电源	51
(十四) 风扇	52
(十五) 结构尺寸图.....	53

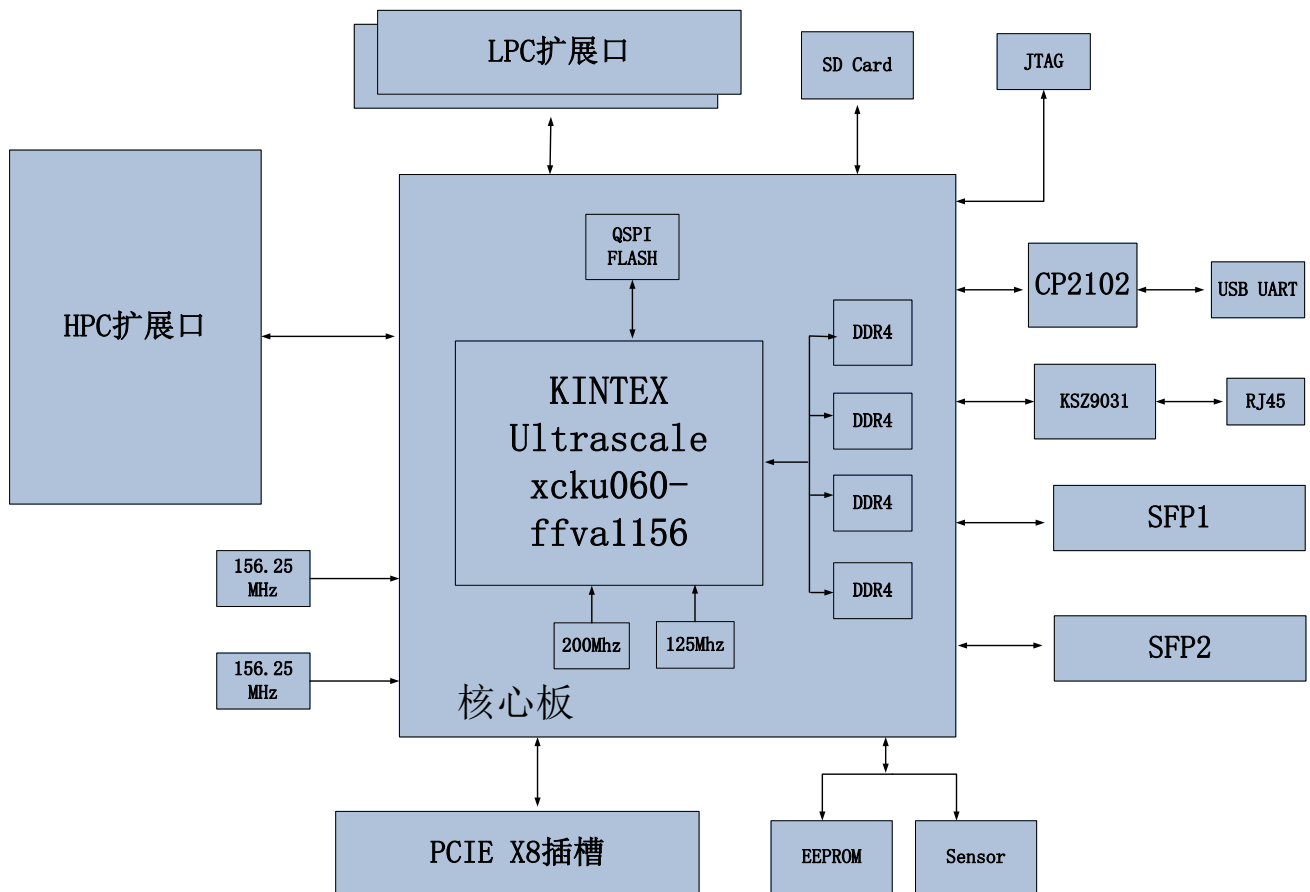
芯驿电子科技（上海）有限公司基于 KINTEX UltraScale 架构的开发平台（型号：AXKU062）2022 款正式发布了正式发布了，为了让您对此开发平台可以快速了解，我们编写了此用户手册。



AXKU062 采用核心板加扩展板的模式，方便用户对核心板的二次开发利用。核心板挂载了 4 片 1GB 的高速 DDR4 SDRAM 芯片，2 片 128Mb 的 QSPI FLASH 芯片。

在扩展板设计上我们为用户扩展了丰富的接口：2 路 10G SFP+ 光纤接口、3 个 FMC 扩展接口（1 个 HPC，2 个 LPC）、1 路千兆网口、1 路 UART 串口、1 路 SD 卡接口、LED 按键等等。

下图为整个开发系统的结构示意图：



通过这个示意图，我们可以看到，我们这个开发平台所能含有的接口和功能。

➤ FPGA 核心板

- 1) FPGA 芯片：Xilinx KINTEX UltraScale 芯片 XCKU060。
- 2) DDR4：带有四片大容量的 1G 字节（共 4GB）高速 DDR4 SDRAM。可作为 FPGA 的数据存储，图像分析缓存，数据处理。
- 3) QSPI FLASH：2 片 128Mbit 的 QSPI NOR FLASH 存储芯片，可用作 FPGA 芯片配置文件和用户数据的存储；
- 4) 1 个 200Mhz 的差分晶振。
- 5) 2 个发光二极管 LED, 1 个电源指示灯；1 个 DONE 配置指示灯

➤ 扩展板

- 1) 2 路 SFP+ 光纤接口，每路的光纤数据通信接收和发送的速度高达 16.3Gb/s。
- 2) 1 路 PCIE3.0 X8 的接口，endpoint 模式，用于跟 PC 之间 PCIE 数据通信。
- 3) USB Uart 接口，用于和电脑通信，方便用户调试。串口芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片，USB 接口采用 MINI USB 接口。
- 4) 1 路 10/100M/1000M 以太网 RJ45 接口，用于和电脑或其它网络设备进行以太网

数据交换。网络接口芯片采用 Micrel 公司的 KSZ9031 工业级 GPHY 芯片。

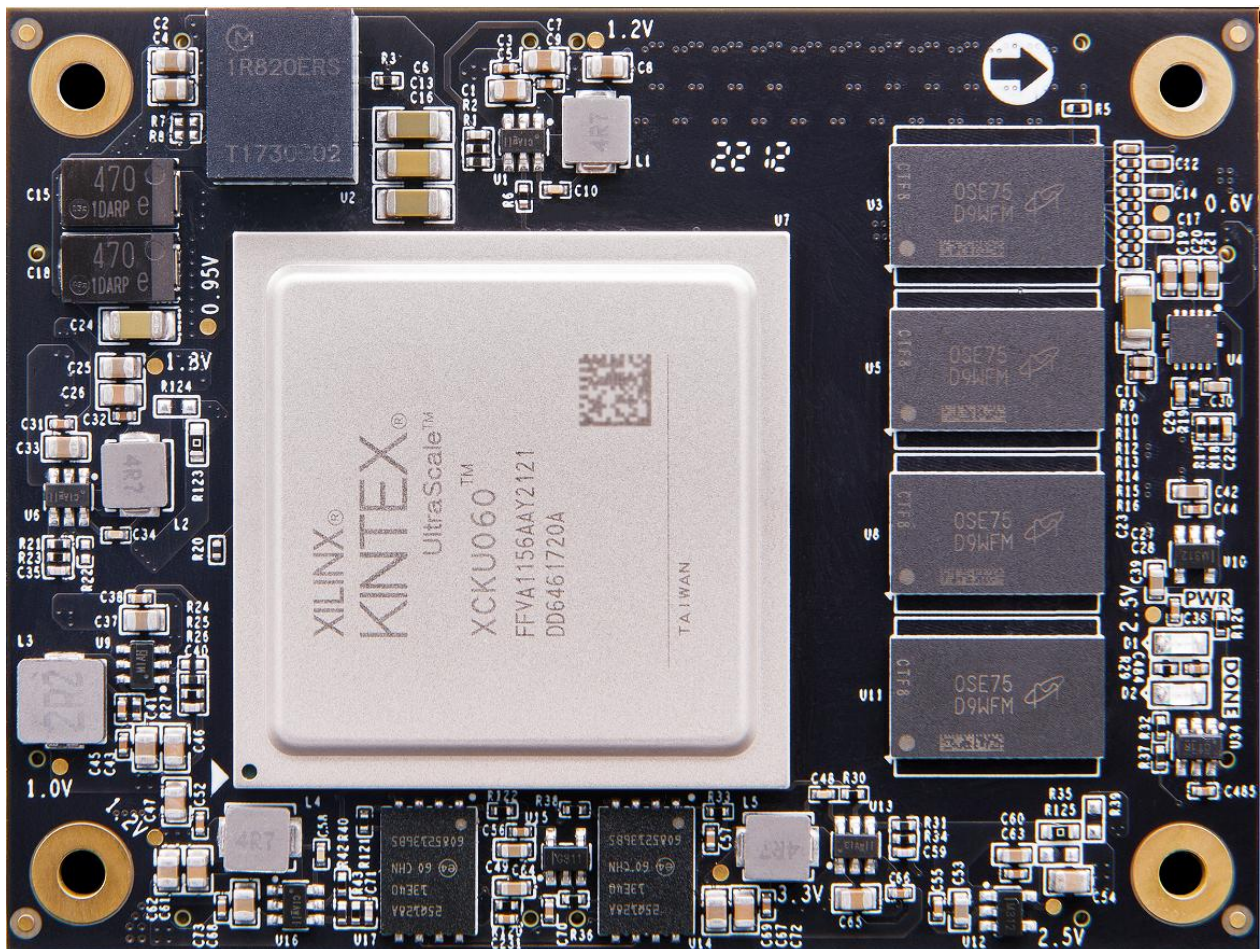
- 5) 3 个标准的 FMC 的扩展口，其中有 2 个 LPC 扩展口，1 个 HPC 扩展口。可以外接 XILINX 或者我们黑金的各种 FMC 模块（HDMI 输入输出模块，双目摄像头模块，高速 AD 模块等等）。
- 6) 1 路 Micro SD 卡座，用于 FPGA 对 SD 卡的数据读写和存储。
- 7) 2 路 SMA 外接接口，引脚连接普通的时钟信号，用于外接的输入输出信号，
- 8) 板载一片温湿度传感器芯片 LM75，用于检测板子周围环境的温度和湿度。
- 9) 板载一片 EEPROM，用于 IIC 总线的通信和存储一些客户自定义信息
- 10) 10 针 2.54mm 标准的 JTAG 口，用于 FPGA 程序的下载和调试，用户可以通过 XILINX 下载器对 FPGA 进行调试和下载。
- 11) 板载 2 个 156.25Mhz 的差分晶振，为收发器提供参考时钟。
- 12) 7 个发光二极管 LED, 1 个电源指示灯；4 个用户指示灯，一对面板指示灯。
- 13) 2 个用户按键，1 个复位按键，1 个连接到 FPGA 的普通 IO。

一、 ACKU060 核心板

(一) 简介

ACKU060(核心板型号,下同)核心板, FPGA 芯片是基于 XILINX 公司的 Kintex UltraScale 系列的 XCKU060-2FFVA1156I。核心板使用了 4 片 Micron 的 1GB 的 DDR4 芯片 MT40A512M16LY-062EIT,总的容量达 4GB。另外核心板上也集成了 2 片 128MBit 大小的 QSPI FLASH, 用于启动存储配置和系统文件。

这款核心板的 6 个板对板连接器扩展出了 359 个 IO, 其中 BANK64 和 BANK65 的 104 个 IO 的电平是 3.3V, 其它 BANK 的 IO 都是 1.8V。另外核心板也扩展出了 20 对高速收发器 GTH 接口。对于需要大量 IO 的用户, 此核心板将是不错的选择。而且 IO 连接部分, FPGA 芯片到接口之间走线做了等长和差分处理, 并且核心板尺寸仅为 80*60 (mm), 对于二次开发来说, 非常适合。



ACKU060 核心板正面图

(二) FPGA 芯片

核心板使用的是 Xilinx 公司的 KINTEX UltraScale 芯片，型号为 XCKU060-2FFVA1156I。速度等级为 2，温度等级为工业级。此型号为 FFVA1156 封装，1156 个引脚，引脚间距为 1.0mm。Xilinx KINTEX UltraScale 的芯片命名规则如下图 1-2-1 所示：

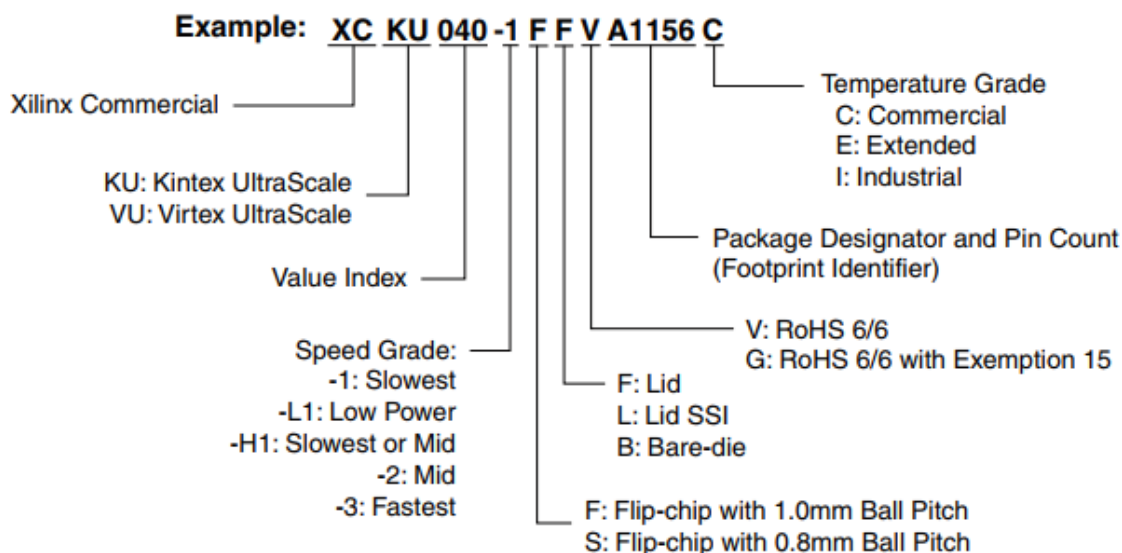


图1-2-1 KINTEX UltraScale FPGA型号命名规则定义

其中 FPGA 芯片 XCKU060 的主要参数如下所示：

名称	具体参数
逻辑单元 Logic Cells	725,550
查找表(CLB LUTs)	331,680
触发器(CLB flip-flops)	663,360
Block RAM (Mb) 大小	38.0
DSP 处理单元 (DSP Slices)	2,760
PCIe Gen3 x8	3
GTH Transceiver	20 个 , 16.3Gb/s max
速度等级	-2
温度等级	工业级

(三) DDR4 DRAM

核心板上配有四片Micron(美光)的1GB的DDR4芯片,型号为 MT40A512M16LY-062EIT。四片DDR4 SDRAM组成64bit的总线宽度。因为4片DDR4芯片

连接到FPGA，DDR4 SDRAM的最高工作时钟可达1200Mhz，四片DDR4存储系统直接连接到了FPGA的BANK44, BANK45，BANK46的接口上。DDR4 SDRAM的具体配置如下表3-1所示。

表3-1 DDR4 SDRAM配置

位号	芯片型号	容量	厂家
U45,U47,U48,U49	MT40A512M16LY-062EIT	512M x 16bit	Micron

DDR4 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制，走线等长控制，保证 DDR4 的高速稳定的工作。

FPGA 和 DDR4 DRAM 的硬件连接方式如图 1-3-1 所示:

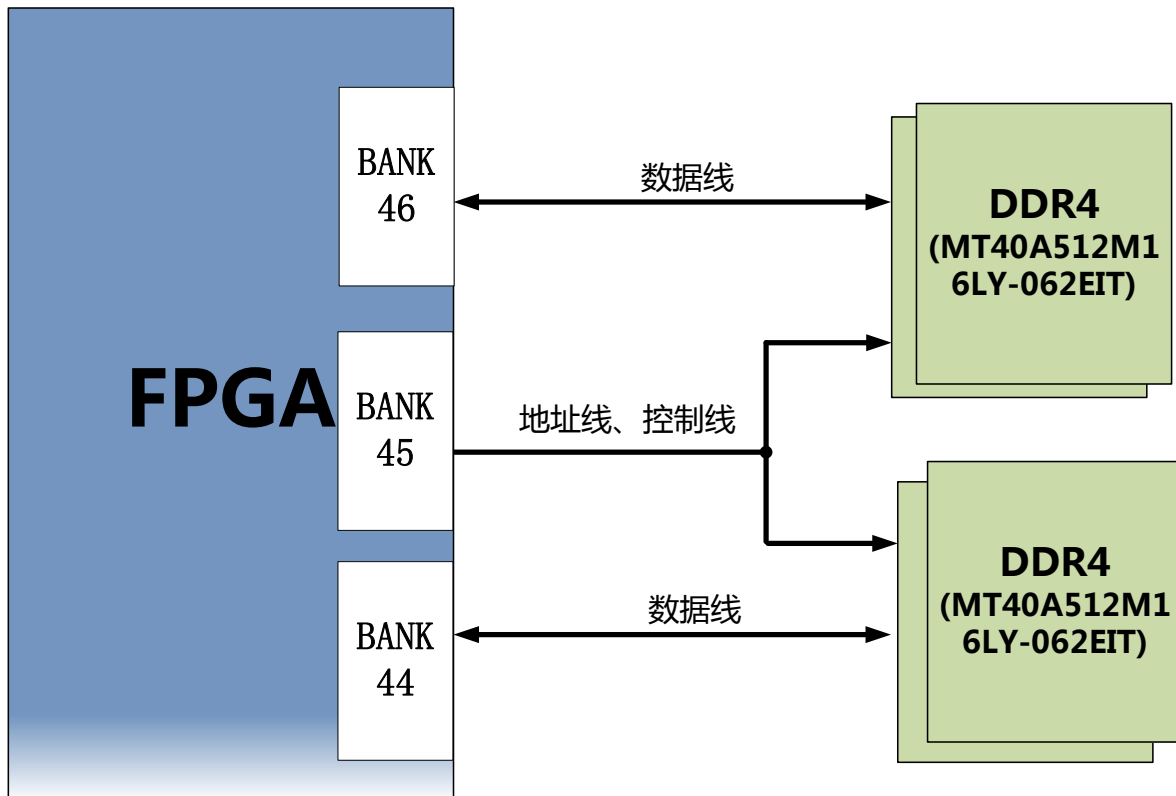


图1-3-1 DDR4 DRAM原理图部分

4 片 DDR4 DRAM 引脚分配：

信号名称	FPGA 引脚名	FPGA 引脚号
PL_DDR4_DQ0	IO_L3N_T0L_N5_AD15N_44	AE20
PL_DDR4_DQ1	IO_L2N_T0L_N3_44	AG20
PL_DDR4_DQ2	IO_L2P_T0L_N2_44	AF20
PL_DDR4_DQ3	IO_L5P_T0U_N8_AD14P_44	AE22
PL_DDR4_DQ4	IO_L3P_T0L_N4_AD15P_44	AD20

PL_DDR4_DQ5	IO_L6N_T0U_N11_AD6N_44	AG22
PL_DDR4_DQ6	IO_L6P_T0U_N10_AD6P_44	AF22
PL_DDR4_DQ7	IO_L5N_T0U_N9_AD14N_44	AE23
PL_DDR4_DQ8	IO_L8N_T1L_N3_AD5N_44	AF24
PL_DDR4_DQ9	IO_L11P_T1U_N8_GC_44	AJ23
PL_DDR4_DQ10	IO_L8P_T1L_N2_AD5P_44	AF23
PL_DDR4_DQ11	IO_L12N_T1U_N11_GC_44	AH23
PL_DDR4_DQ12	IO_L9N_T1L_N5_AD12N_44	AG25
PL_DDR4_DQ13	IO_L11N_T1U_N9_GC_44	AJ24
PL_DDR4_DQ14	IO_L9P_T1L_N4_AD12P_44	AG24
PL_DDR4_DQ15	IO_L12P_T1U_N10_GC_44	AH22
PL_DDR4_DQ16	IO_L14P_T2L_N2_GC_44	AK22
PL_DDR4_DQ17	IO_L17P_T2U_N8_AD10P_44	AL22
PL_DDR4_DQ18	IO_L15N_T2L_N5_AD11N_44	AM20
PL_DDR4_DQ19	IO_L17N_T2U_N9_AD10N_44	AL23
PL_DDR4_DQ20	IO_L14N_T2L_N3_GC_44	AK23
PL_DDR4_DQ21	IO_L18N_T2U_N11_AD2N_44	AL25
PL_DDR4_DQ22	IO_L15P_T2L_N4_AD11P_44	AL20
PL_DDR4_DQ23	IO_L18P_T2U_N10_AD2P_44	AL24
PL_DDR4_DQ24	IO_L20P_T3L_N2_AD1P_44	AM22
PL_DDR4_DQ25	IO_L23P_T3U_N8_44	AP24
PL_DDR4_DQ26	IO_L20N_T3L_N3_AD1N_44	AN22
PL_DDR4_DQ27	IO_L21N_T3L_N5_AD8N_44	AN24
PL_DDR4_DQ28	IO_L24P_T3U_N10_44	AN23
PL_DDR4_DQ29	IO_L23N_T3U_N9_44	AP25
PL_DDR4_DQ30	IO_L24N_T3U_N11_44	AP23
PL_DDR4_DQ31	IO_L21P_T3L_N4_AD8P_44	AM24
PL_DDR4_DQ32	IO_L2P_T0L_N2_46	AM26
PL_DDR4_DQ33	IO_L6P_T0U_N10_AD6P_46	AJ28
PL_DDR4_DQ34	IO_L2N_T0L_N3_46	AM27
PL_DDR4_DQ35	IO_L6N_T0U_N11_AD6N_46	AK28
PL_DDR4_DQ36	IO_L5P_T0U_N8_AD14P_46	AH27
PL_DDR4_DQ37	IO_L5N_T0U_N9_AD14N_46	AH28
PL_DDR4_DQ38	IO_L3P_T0L_N4_AD15P_46	AK26
PL_DDR4_DQ39	IO_L3N_T0L_N5_AD15N_46	AK27

PL_DDR4_DQ40	IO_L9N_T1L_N5_AD12N_46	AN28
PL_DDR4_DQ41	IO_L12N_T1U_N11_GC_46	AM30
PL_DDR4_DQ42	IO_L8P_T1L_N2_AD5P_46	AP28
PL_DDR4_DQ43	IO_L11N_T1U_N9_GC_46	AM29
PL_DDR4_DQ44	IO_L9P_T1L_N4_AD12P_46	AN27
PL_DDR4_DQ45	IO_L12P_T1U_N10_GC_46	AL30
PL_DDR4_DQ46	IO_L11P_T1U_N8_GC_46	AL29
PL_DDR4_DQ47	IO_L8N_T1L_N3_AD5N_46	AP29
PL_DDR4_DQ48	IO_L14P_T2L_N2_GC_46	AK31
PL_DDR4_DQ49	IO_L18P_T2U_N10_AD2P_46	AH34
PL_DDR4_DQ50	IO_L14N_T2L_N3_GC_46	AK32
PL_DDR4_DQ51	IO_L15N_T2L_N5_AD11N_46	AJ31
PL_DDR4_DQ52	IO_L15P_T2L_N4_AD11P_46	AJ30
PL_DDR4_DQ53	IO_L17P_T2U_N8_AD10P_46	AH31
PL_DDR4_DQ54	IO_L18N_T2U_N11_AD2N_46	AJ34
PL_DDR4_DQ55	IO_L17N_T2U_N9_AD10N_46	AH32
PL_DDR4_DQ56	IO_L21P_T3L_N4_AD8P_46	AN31
PL_DDR4_DQ57	IO_L24P_T3U_N10_46	AL34
PL_DDR4_DQ58	IO_L23N_T3U_N9_46	AN32
PL_DDR4_DQ59	IO_L20P_T3L_N2_AD1P_46	AN33
PL_DDR4_DQ60	IO_L23P_T3U_N8_46	AM32
PL_DDR4_DQ61	IO_L24N_T3U_N11_46	AM34
PL_DDR4_DQ62	IO_L21N_T3L_N5_AD8N_46	AP31
PL_DDR4_DQ63	IO_L20N_T3L_N3_AD1N_46	AP33
PL_DDR4_DM0	IO_L1P_T0L_N0_DBC_44	AD21
PL_DDR4_DM1	IO_L7P_T1L_N0_QBC_AD13P_44	AE25
PL_DDR4_DM2	IO_L13P_T2L_N0_GC_QBC_44	AJ21
PL_DDR4_DM3	IO_L19P_T3L_N0_DBC_AD9P_44	AM21
PL_DDR4_DM4	IO_L1P_T0L_N0_DBC_46	AH26
PL_DDR4_DM5	IO_L7P_T1L_N0_QBC_AD13P_46	AN26
PL_DDR4_DM6	IO_L13P_T2L_N0_GC_QBC_46	AJ29
PL_DDR4_DM7	IO_L19P_T3L_N0_DBC_AD9P_46	AL32
PL_DDR4_DQS0_P	IO_L4P_T0U_N6_DBC_AD7P_44	AG21
PL_DDR4_DQS0_N	IO_L4N_T0U_N7_DBC_AD7N_44	AH21
PL_DDR4_DQS1_P	IO_L10P_T1U_N6_QBC_AD4P_44	AH24

PL_DDR4_DQS1_N	IO_L10N_T1U_N7_QBC_AD4N_44	AJ25
PL_DDR4_DQS2_P	IO_L16P_T2U_N6_QBC_AD3P_44	AJ20
PL_DDR4_DQS2_N	IO_L16N_T2U_N7_QBC_AD3N_44	AK20
PL_DDR4_DQS3_P	IO_L22P_T3U_N6_DBC_AD0P_44	AP20
PL_DDR4_DQS3_N	IO_L22N_T3U_N7_DBC_AD0N_44	AP21
PL_DDR4_DQS4_P	IO_L4P_T0U_N6_DBC_AD7P_46	AL27
PL_DDR4_DQS4_N	IO_L4N_T0U_N7_DBC_AD7N_46	AL28
PL_DDR4_DQS5_P	IO_L10P_T1U_N6_QBC_AD4P_46	AN29
PL_DDR4_DQS5_N	IO_L10N_T1U_N7_QBC_AD4N_46	AP30
PL_DDR4_DQS6_P	IO_L16P_T2U_N6_QBC_AD3P_46	AH33
PL_DDR4_DQS6_N	IO_L16N_T2U_N7_QBC_AD3N_46	AJ33
PL_DDR4_DQS7_P	IO_L22P_T3U_N6_DBC_AD0P_46	AN34
PL_DDR4_DQS7_N	IO_L22N_T3U_N7_DBC_AD0N_46	AP34
PL_DDR4_A0	IO_L18N_T2U_N11_AD2N_45	AG14
PL_DDR4_A1	IO_L23N_T3U_N9_45	AF17
PL_DDR4_A2	IO_L20P_T3L_N2_AD1P_45	AF15
PL_DDR4_A3	IO_L16N_T2U_N7_QBC_AD3N_45	AJ14
PL_DDR4_A4	IO_L19N_T3L_N1_DBC_AD9N_45	AD18
PL_DDR4_A5	IO_L15P_T2L_N4_AD11P_45	AG17
PL_DDR4_A6	IO_L23P_T3U_N8_45	AE17
PL_DDR4_A7	IO_L11N_T1U_N9_GC_45	AK18
PL_DDR4_A8	IO_L24P_T3U_N10_45	AD16
PL_DDR4_A9	IO_L13P_T2L_N0_GC_QBC_45	AH18
PL_DDR4_A10	IO_L19P_T3L_N0_DBC_AD9P_45	AD19
PL_DDR4_A11	IO_L24N_T3U_N11_45	AD15
PL_DDR4_A12	IO_L14P_T2L_N2_GC_45	AH16
PL_DDR4_A13	IO_L10N_T1U_N7_QBC_AD4N_45	AL17
PL_DDR4_BA0	IO_L18P_T2U_N10_AD2P_45	AG15
PL_DDR4_BA1	IO_L10P_T1U_N6_QBC_AD4P_45	AL18
PL_DDR4_BG0	IO_L16P_T2U_N6_QBC_AD3P_45	AJ15
PL_DDR4_WE_B	IO_L9N_T1L_N5_AD12N_45	AL15
PL_DDR4_RAS_B	IO_L8N_T1L_N3_AD5N_45	AM19
PL_DDR4_CAS_B	IO_L8P_T1L_N2_AD5P_45	AL19
PL_DDR4_CKE	IO_L14N_T2L_N3_GC_45	AJ16
PL_DDR4_ACT_B	IO_L21N_T3L_N5_AD8N_45	AF18

PL_DDR4_CLK_N	IO_L22N_T3U_N7_DBC_AD0N_45	AE15
PL_DDR4_CLK_P	IO_L22P_T3U_N6_DBC_AD0P_45	AE16
PL_DDR4_CS_B	IO_L21P_T3L_N4_AD8P_45	AE18
PL_DDR4_OTD	IO_L17P_T2U_N8_AD10P_45	AG19
PL_DDR4_PAR	IO_L20N_T3L_N3_AD1N_45	AF14
PL_DDR4_RST	IO_L15N_T2L_N5_AD11N_45	AG16

(四) QSPI Flash

开发板配有 2 片 128MBit 大小的 Quad-SPI FLASH 芯片，型号为 N25Q128A，它使用 3.3V CMOS 电压标准。由于 QSPI FLASH 的非易失特性，在使用中，它可以存储 FPGA 的配置 Bin 文件以及其它的用户数据文件。QSPI FLASH 的具体型号和相关参数见表 4-1。

位号	芯片类型	容量	厂家
U14	N25Q128A	128Mbit	Numonyx

表4-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 FPGA 芯片的 BANK0 的专用管脚上，其中时钟管脚连接到 BANK0 的 CCLK0 上，其它数据信号分别连接到 BANK0 的 D00~D03 和 FCS 管脚上。图 1-4-2 为 QSPI Flash 和 FPGA 芯片的连接示意图。

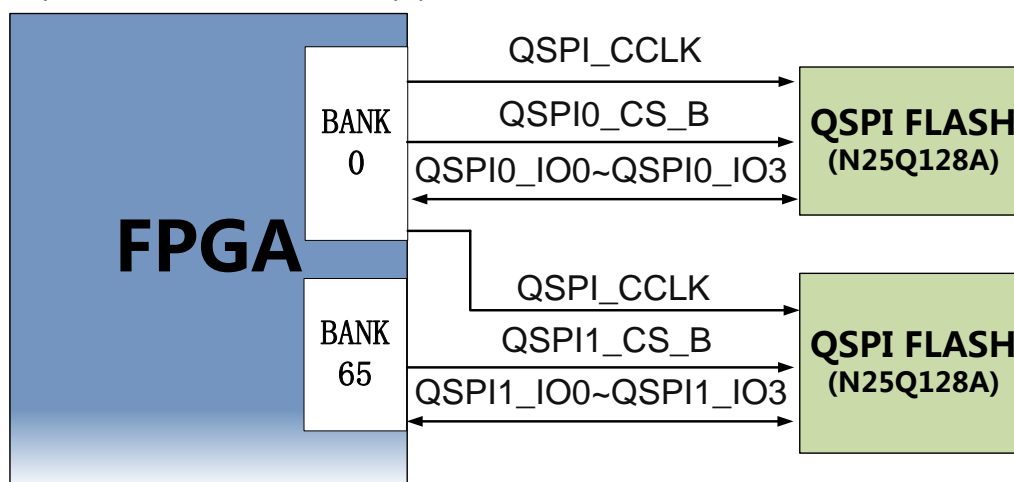


图 1-4-2 QSPI Flash 连接示意图

芯片引脚分配：

信号名称	FPGA 引脚名	FPGA 引脚号
QSPI_CCLK	CCLK_0	AA9
QSPI0_CS_B	RDWR_FCS_B_0	U7
QSPI0_IO0	D00_MOSI_0	AC7

QSPIO_IO1	D01_DIN_0	AB7
QSPIO_IO2	D02_0	AA7
QSPIO_IO3	D03_0	Y7

信号名称	FPGA 引脚名	FPGA 引脚号
QSPI_CCLK	CCLK_0	AA9
QSPI1_CS_B	IO_L2N_T0L_N3_FWE_FCS2_B_65	G26
QSPI1_IO0	IO_L22P_T3U_N6_DBC_AD0P_D04_65	M20
QSPI1_IO1	IO_L22N_T3U_N7_DBC_AD0N_D05_65	L20
QSPI1_IO2	IO_L21P_T3L_N4_AD8P_D06_65	R21
QSPI1_IO3	IO_L21N_T3L_N5_AD8N_D07_65	R22

(五) 时钟配置

200Mhz 的差分时钟源

核心板上提供了一个差分 200MHz 的时钟源为 FPGA 提供系统时钟。晶振差分输出连接到 FPGA BANK45, 这个时钟可以用来驱动 FPGA 内 DDR 控制器工作时钟和它的用户逻辑电路。该时钟源的原理图如图 1-5-1 所示

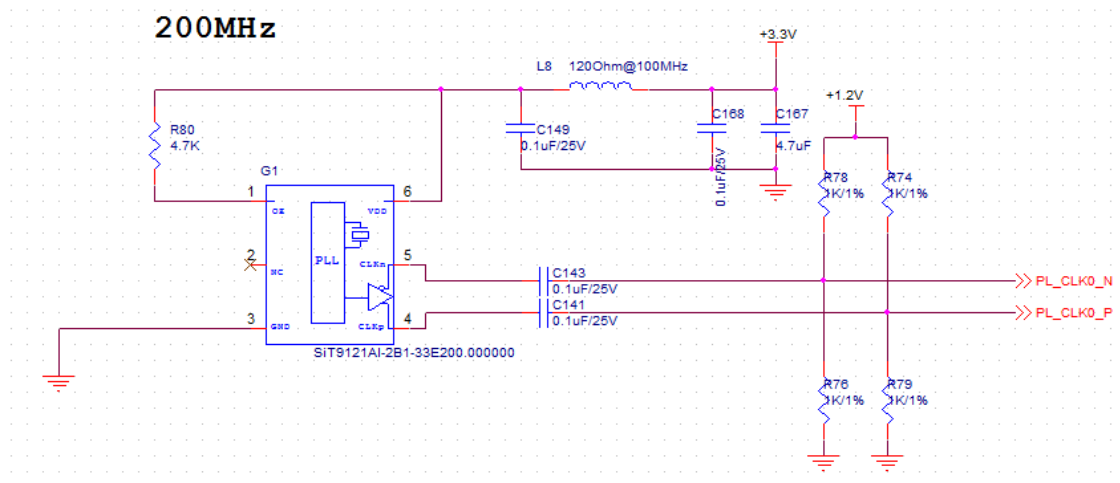


图 1-5-1

系统时钟引脚分配表：

信号名称	FPGA 引脚
PL_CLK0_P	AK17
PL_CLK0_N	AK16

(六) LED 灯

核心板上有 2 个红色 LED 灯, 其中 1 个是电源指示灯(PWR), 1 个是配置 LED 灯(DONE)。上电后电源指示灯和 DONE 灯会亮起; 当 FPGA 配置程序后, DONE LED 灯会熄灭。LED 灯硬件连接的示意图如图 1-6-1 所示:

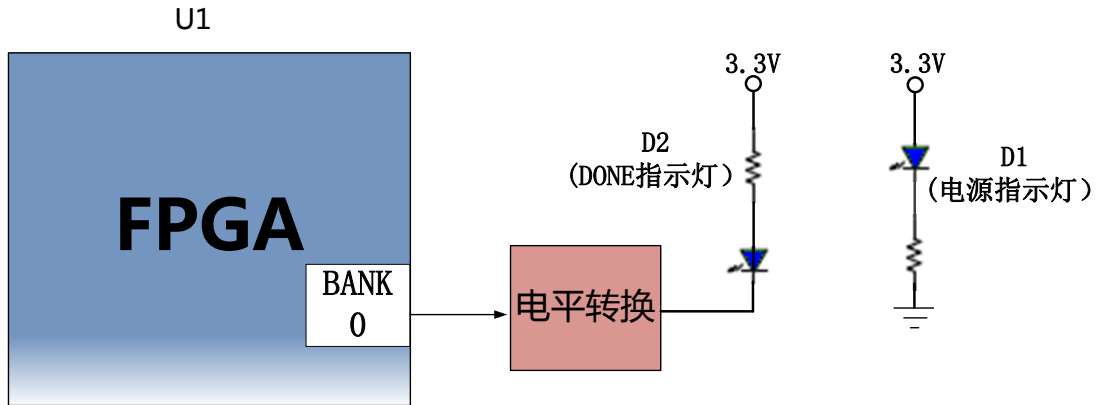


图 1-6-1 核心板 LED 灯硬件连接示意图

(七) 电源

ACKU060 核心板供电电压为 DC12V, 通过连接底板供电。板上的电源设计示意图如下图 1-7-1 所示:

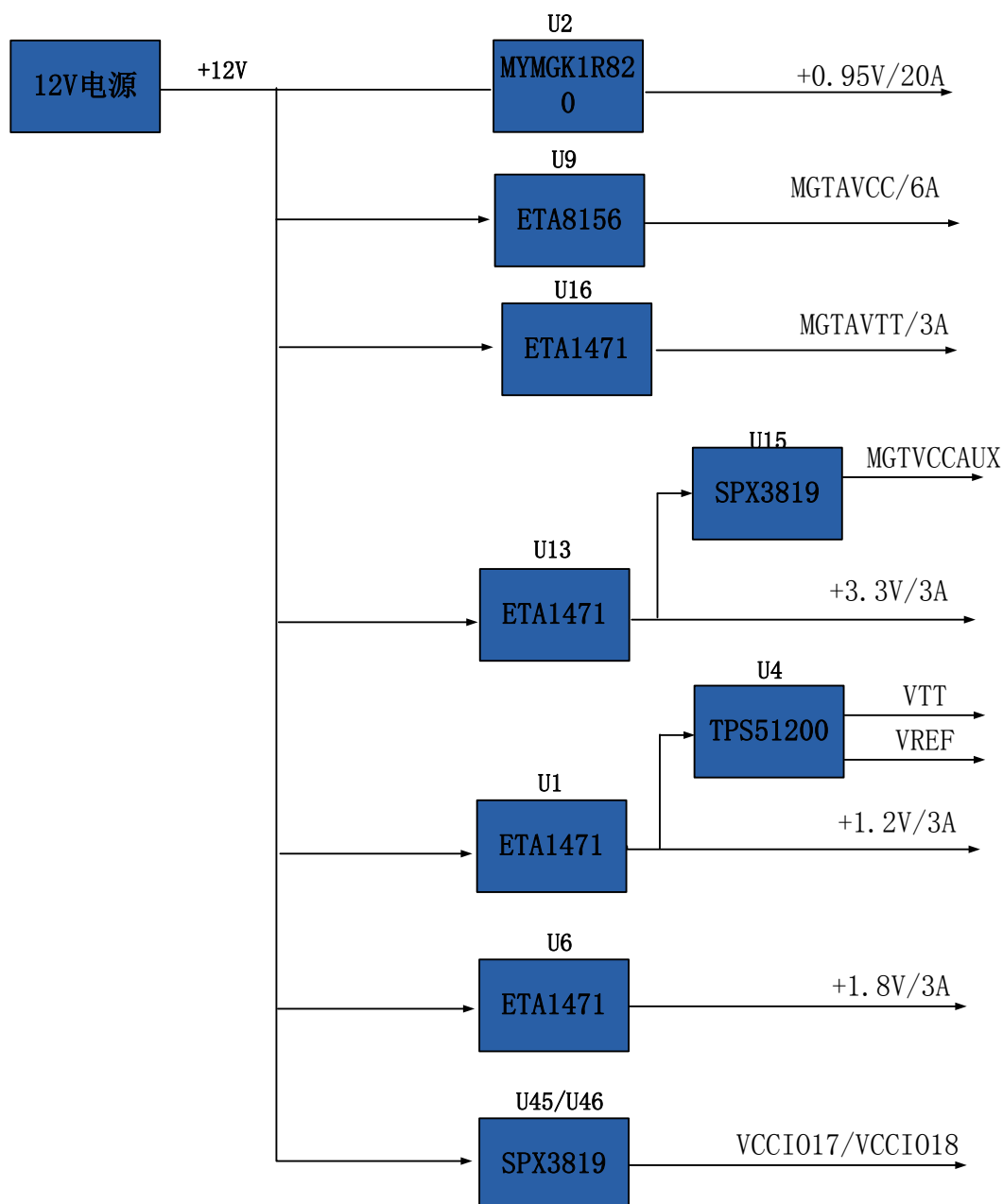
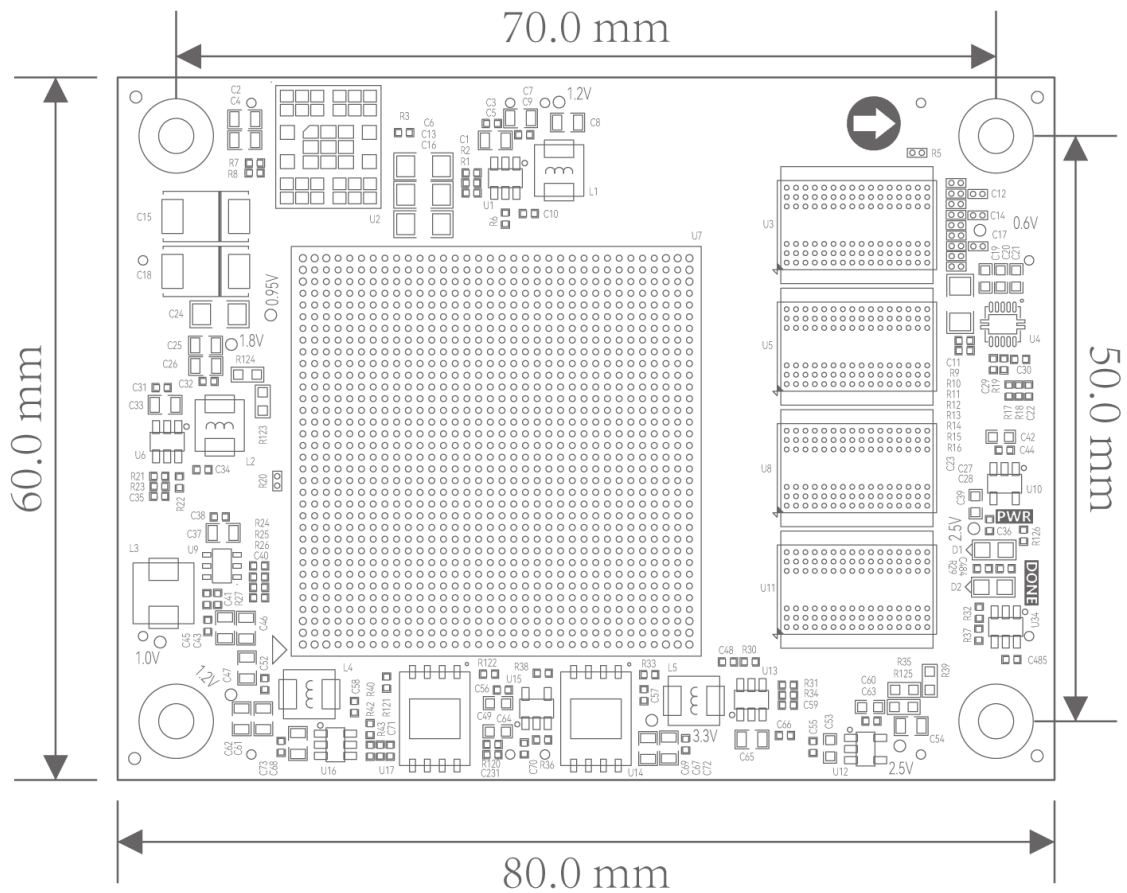


图 1-7-1 原理图中电源接口部分

+12V 通过 DCDC 电源芯片 MYMGK1R820ERSR 产生+0.95V 的 FPGA 核心电源，电流高达 20A，远远满足核心电压的电流需求。+12V 电源再通过 DCDC 芯片 ETA1471 来产生 +1.2V，+1.8V +3.3V 和 MGTAVTT 四路电源。GTX 收发器使用的 MGTAVCC 由 DCDC 芯片 ETA8156 产生，另外通过一个 LDO 芯片 SPX3819-1-8 产生 GTX 的辅助电源+1.8V。DDR4 的 VTT 和 VREF 电压由 TPS51200 来产生。

(八) 结构图



正面图 (Top View)

(九) 连接器管脚定义

核心板一共扩展出 6 个高速扩展口, 使用 4 个 120Pin 的连接器和 2 个 80Pin 的连接器 (J2,J6) 跟底板连接, 连接器使用松下的 AXK5A2137YG 和 AXK580137YG, 对应底板的连接器型号为 AXK6A2337YG 和 AXK680337YG。J1 连接器为 BANK66 和 BANK68 的信号, 电平标准为 1.8V。

J1 连接器的引脚分配

J1 管脚	信号名称	FPGA 引脚号	J1 管脚	信号名称	FPGA 引脚号
1	B66_L3_N	C8	2	B66_L1_N	E8
3	B66_L3_P	D8	4	B66_L1_P	F8
5	B66_L7_N	K8	6	B66_L2_N	A9

7	B66_L7_P	L8	8	B66_L2_P	B9
9	GND	-	10	GND	-
11	B66_L9_N	H8	12	B66_L4_N	A10
13	B66_L9_P	J8	14	B66_L4_P	B10
15	B66_L8_N	H9	16	B66_L11_N	F9
17	B66_L8_P	J9	18	B66_L11_P	G9
19	GND	-	20	GND	-
21	B66_L10_N	J10	22	B66_L12_N	F10
23	B66_L10_P	K10	24	B66_L12_P	G10
25	B66_L5_N	C9	26	B66_L6_N	D10
27	B66_L5_P	D9	28	B66_L6_P	E10
29	GND	-	30	GND	-
31	B66_L17_N	K12	32	B66_L13_N	G11
33	B66_L17_P	L12	34	B66_L13_P	H11
35	B66_L19_N	D11	36	B66_L15_N	J11
37	B66_L19_P	E11	38	B66_L15_P	K11
39	GND	-	40	GND	-
41	B66_L16_N	K13	42	B66_L14_N	G12
43	B66_L16_P	L13	44	B66_L14_P	H12
45	B66_L20_N	B12	46	B66_L18_N	H13
47	B66_L20_P	C12	48	B66_L18_P	J13
49	GND	-	50	GND	-
51	B66_L22_N	E13	52	B66_L21_N	B11
53	B66_L22_P	F13	54	B66_L21_P	C11
55	B66_L24_N	C13	56	B66_L23_N	A12
57	B66_L24_P	D13	58	B66_L23_P	A13
59	GND	-	60	GND	-
61	B68_L9_N	F14	62	B68_L19_N	J14
63	B68_L9_P	F15	64	B68_L19_P	J15
65	B68_L8_N	D15	66	B68_L21_N	K15
67	B68_L8_P	E15	68	B68_L21_P	L15
69	GND	-	70	GND	-
71	B68_L15_N	G14	72	B68_L11_N	D16
73	B68_L15_P	G15	74	B68_L11_P	E16
75	B68_L20_N	K17	76	B68_L23_N	J16

77	B68_L20_P	K18	78	B68_L23_P	K16
79	GND	-	80	GND	-
81	B68_L16_N	F19	82	B68_L10_N	D18
83	B68_L16_P	G19	84	B68_L10_P	D19
85	B68_L18_N	H18	86	B68_L1_N	A14
87	B68_L18_P	H19	88	B68_L1_P	B14
89	GND	-	90	GND	-
91	B68_L22_N	J18	92	B68_L3_N	A15
93	B68_L22_P	J19	94	B68_L3_P	B15
95	B68_L24_N	L18	96	B68_L5_N	B16
97	B68_L24_P	L19	98	B68_L5_P	B17
99	GND	-	100	GND	-
101	B68_L13_N	G16	102	B68_L7_N	C14
103	B68_L13_P	G17	104	B68_L7_P	D14
105	B68_L14_N	F17	106	B68_L6_N	C17
107	B68_L14_P	F18	108	B68_L6_P	C18
109	GND	-	110	GND	-
111	B68_L12_N	E17	112	B68_L2_N	A18
113	B68_L12_P	E18	114	B68_L2_P	A19
115	B68_L17_N	H16	116	B68_L4_N	B19
117	B68_L17_P	H17	118	B68_L4_P	C19
119	GND	-	120	GND	-

J2 连接器 80PIN，连接收发器 BANK226~228 的高速差分信号。

J2 连接器的引脚分配

J2 管脚	信号名称	FPGA 引脚号	J2 管脚	信号名称	FPGA 引脚号
1	GND	-	2	GND	-
3	226_TX2_N	U3	4	226_RX2_N	T1
5	226_TX2_P	U4	6	226_RX2_P	T2
7	GND	-	8	GND	-
9	226_TX3_N	R3	10	226_RX3_N	P1
11	226_TX3_P	R4	12	226_RX3_P	P2
13	GND	-	14	GND	-

15	226_CLK1_N	T5	16	226_CLK0_N	V5
17	226_CLK1_P	T6	18	226_CLK0_P	V6
19	GND	-	20	GND	-
21	227_TX0_P	N4	22	227_RX0_P	M2
23	227_TX0_N	N3	24	227_RX0_N	M1
25	GND	-	26	GND	-
27	227_TX1_P	L4	28	227_RX1_P	K2
29	227_TX1_N	L3	30	227_RX1_N	K1
31	GND	-	32	GND	-
33	227_TX2_P	J4	34	227_RX2_P	H2
35	227_TX2_N	J3	36	227_RX2_N	H1
37	GND	-	38	GND	-
39	227_TX3_P	G4	40	227_RX3_P	F2
41	227_TX3_N	G3	42	227_RX3_N	F1
43	GND	-	44	GND	-
45	227_CLK1_P	M6	46	227_CLK0_P	P6
47	227_CLK1_N	M5	48	227_CLK0_N	P5
49	GND	-	50	GND	-
51	228_TX0_P	F6	52	228_RX0_P	E4
53	228_TX0_N	F5	54	228_RX0_N	E3
55	GND	-	56	GND	-
57	228_TX1_P	D6	58	228_RX1_P	D2
59	228_TX1_N	D5	60	228_RX1_N	D1
61	GND	-	62	GND	-
63	228_TX2_P	C4	64	228_RX2_P	B2
65	228_TX2_N	C3	66	228_RX2_N	B1
67	GND	-	68	GND	-
69	228_TX3_P	B6	70	228_RX3_P	A4
71	228_TX3_N	B5	72	228_RX3_N	A3
73	GND	-	74	GND	-
75	228_CLK1_P	H6	76	228_CLK0_P	K6
77	228_CLK1_N	H5	78	228_CLK0_N	K5
79	GND	-	80	GND	-

J3 为收发器 BANK224~226 的高速差分信号和部分 BANK64，BANK65 的信号

J3 连接器的引脚分配

J3管脚	信号名称	FPGA引脚号	J3管脚	信号名称	FPGA引脚号
1	B64_L7_N	AF13	2	B64_L21_N	AL9
3	B64_L7_P	AE13	4	B64_L21_P	AK10
5	B64_L11_N	AH12	6	B64_L24_N	AL8
7	B64_L11_P	AG12	8	B64_L24_P	AK8
9	GND	L7	10	GND	-
11	B64_L9_N	AF12	12	B64_L12_N	AH11
13	B64_L9_P	AE12	14	B64_L12_P	AG11
15	B64_L13_N	AG10	16	B64_L14_N	AG9
17	B64_L13_P	AF10	18	B64_L14_P	AF9
19	GND	L7	20	GND	-
21	B64_L10_N	AE11	22	B64_L15_N	AF8
23	B64_L10_P	AD11	24	B64_L15_P	AE8
25	B64_L18_N	AH8	26	B64_L16_N	AE10
27	B64_L18_P	AH9	28	B64_L16_P	AD10
29	GND	L7	30	GND	-
31	B64_L17_N	AD8	32	FPGA_TCK	AC9
33	B64_L17_P	AD9	34	FPGA_TDO	U9
35	B64_L23_N	AJ8	36	FPGA_TMS	W9
37	B64_L23_P	AJ9	38	FPGA_TDI	V9
39	GND	L7	40	GND	-
41	B65_T0U	H23	42	B66_T3U	E12
43	B65_T3U	K22	44	B66_T2U	F12
45	B65_T1U	N23	46	B66_T1U	L9
47	B65_T2U	N27	48	NC	-
49	GND	L7	50	GND	-
51	224_TX0_N	AN3	52	224_RX0_N	AP1
53	224_TX0_P	AN4	54	224_RX0_P	AP2
55	GND	L7	56	GND	-
57	224_TX1_N	AM5	58	224_RX1_N	AM1
59	224_TX1_P	AM6	60	224_RX1_P	AM2
61	GND	L7	62	GND	-
63	224_TX2_N	AL3	64	224_RX2_N	AK1

65	224_TX2_P	AL4	66	224_RX2_P	AK2
67	GND	L7	68	GND	-
69	224_TX3_N	AK5	70	224_RX3_N	AJ3
71	224_TX3_P	AK6	72	224_RX3_P	AJ4
73	GND	L7	74	GND	-
75	224_CLK1_N	AD5	76	224_CLK0_N	AF5
77	224_CLK1_P	AD6	78	224_CLK0_P	AF6
79	GND	L7	80	GND	-
81	225_TX0_N	AH5	82	225_RX0_N	AH1
83	225_TX0_P	AH6	84	225_RX0_P	AH2
85	GND	L7	86	GND	-
87	225_TX1_N	AG3	88	225_RX1_N	AF1
89	225_TX1_P	AG4	90	225_RX1_P	AF2
91	GND	L7	92	GND	-
93	225_TX2_N	AE3	94	225_RX2_N	AD1
95	225_TX2_P	AE4	96	225_RX2_P	AD2
97	GND	L7	98	GND	-
99	225_TX3_N	AC3	100	225_RX3_N	AB1
101	225_TX3_P	AC4	102	225_RX3_P	AB2
103	GND	L7	104	GND	-
105	225_CLK1_N	Y5	106	225_CLK0_N	AB5
107	225_CLK1_P	Y6	108	225_CLK0_P	AB6
109	GND	L7	110	GND	-
111	226_TX0_N	AA3	112	226_RX0_N	Y1
113	226_TX0_P	AA4	114	226_RX0_P	Y2
115	GND	L7	116	GND	-
117	226_TX1_N	W3	118	226_RX1_N	V1
119	226_TX1_P	W4	120	226_RX1_P	V2

J4 连接 BANK48 和部分 BANK64 的信号。

J4 连接器的引脚分配

J4 管脚	信号名称	FPGA 引脚号	J4 管脚	信号名称	FPGA 引脚号
1	B48_L8_N	AG34	2	B48_T2U	AA33

3	B48_L8_P	AF33	4	B48_T1U	AE31
5	B48_L7_N	AG32	6	B48_T3U	V32
7	B48_L7_P	AG31	8	B47_T3U	U29
9	GND	-	10	GND	-
11	B48_L10_N	AF34	12	B48_L18_N	AD33
13	B48_L10_P	AE33	14	B48_L18_P	AC33
15	B48_L9_N	AF32	16	B48_L23_N	V34
17	B48_L9_P	AE32	18	B48_L23_P	U34
19	GND	-	20	GND	-
21	B48_L12_N	AC32	22	B48_L21_N	W34
23	B48_L12_P	AC31	24	B48_L21_P	V33
25	B48_L11_N	AD31	26	B48_L17_N	AB34
27	B48_L11_P	AD30	28	B48_L17_P	AA34
29	GND	-	30	GND	-
31	B48_L13_N	AB32	32	B48_L15_N	AD34
33	B48_L13_P	AA32	34	B48_L15_P	AC34
35	B48_L4_N	AG29	36	B48_L19_N	Y33
37	B48_L4_P	AF29	38	B48_L19_P	W33
39	GND	-	40	GND	-
41	B48_L2_N	AF28	42	B48_L6_N	AG30
43	B48_L2_P	AE28	44	B48_L6_P	AF30
45	B48_L1_N	AF27	46	B48_L5_N	AE30
47	B48_L1_P	AE27	48	B48_L5_P	AD29
49	GND	-	50	GND	-
51	B48_L3_N	AD28	52	B48_L16_N	AB29
53	B48_L3_P	AC28	54	B48_L16_P	AA29
55	B48_L14_N	AB31	56	B48_L24_N	W31
57	B48_L14_P	AB30	58	B48_L24_P	V31
59	GND	-	60	GND	-
61	B48_L20_N	Y30	62	NC	-
63	B48_L20_P	W30	64	NC	-
65	B48_L22_N	Y32	66	NC	-
67	B48_L22_P	Y31	68	NC	-
69	GND	-	70	GND	-
71	B47_T1U	Y22	72	NC	-

73	B47_T2U	Y21	74	NC	-
75	NC	-	76	NC	-
77	NC	-	78	NC	-
79	GND	L7	80	GND	-
81	NC	-	82	NC	-
83	NC	-	84	NC	-
85	NC	-	86	NC	-
87	NC	-	88	POWER_PG	-
89	GND	-	90	GND	-
91	B64_L8_N	AJ13	92	B64_T1U	AJ11
93	B64_L8_P	AH13	94	B64_T3U	AM9
95	B64_L6_N	AL13	96	B64_T0U	AK11
97	B64_L6_P	AK13	98	B64_T2U	AJ10
99	GND	-	100	GND	-
101	B64_L1_N	AP10	102	B64_L2_N	AP13
103	B64_L1_P	AP11	104	B64_L2_P	AN13
105	B64_L4_N	AN12	106	B64_L22_N	AP8
107	B64_L4_P	AM12	108	B64_L22_P	AN8
109	GND	-	110	GND	-
111	B64_L20_N	AP9	112	B64_L19_N	AM10
113	B64_L20_P	AN9	114	B64_L19_P	AL10
115	B64_L3_N	AN11	116	B64_L5_N	AL12
117	B64_L3_P	AM11	118	B64_L5_P	AK12
119	GND	-	120	GND	-

J5 连接 BANK47 和部分 BANK65 的信号。

J5 连接器的引脚分配

J5 管脚	信号名称	FPGA 引脚号	J5 管脚	信号名称	FPGA 引脚号
1	B65_L10_N	K23	2	NC	-
3	B65_L10_P	L22	4	NC	-
5	B65_L6_N	H24	6	B65_L23_N	M21
7	B65_L6_P	J23	8	B65_L23_P	N21
9	GND	L7	10	GND	-

11	B65_L19_N	M22	12	NC	-
13	B65_L19_P	N22	14	B65_L2_P	G25
15	B65_L9_N	K25	16	B65_L1_N	G27
17	B65_L9_P	L25	18	B65_L1_P	H27
19	GND	L7	20	GND	-
21	B65_L24_N	K21	22	B65_L5_N	H26
23	B65_L24_P	K20	24	B65_L5_P	J26
25	B65_L12_N	M24	26	B65_L4_N	J25
27	B65_L12_P	N24	28	B65_L4_P	J24
29	GND	L7	30	GND	-
31	B65_L20_N	P21	32	B65_L3_N	K27
33	B65_L20_P	P20	34	B65_L3_P	K26
35	B65_L7_N	L27	36	B65_L11_N	M26
37	B65_L7_P	M27	38	B65_L11_P	M25
39	GND	L7	40	GND	-
41	B65_L13_N	N26	42	B65_L18_N	P23
43	B65_L13_P	P26	44	B65_L18_P	R23
45	B65_L14_N	P25	46	B65_L15_N	R27
47	B65_L14_P	P24	48	B65_L15_P	T27
49	GND	-	50	GND	-
51	B65_L8_N	L24	52	B65_L17_N	R26
53	B65_L8_P	L23	54	B65_L17_P	R25
55	NC	-	56	B65_L16_N	T25
57	NC	-	58	B65_L16_P	T24
59	GND	L7	60	GND	-
61	B47_L11_N	AA23	62	B47_L19_N	V28
63	B47_L11_P	Y23	64	B47_L19_P	V27
65	B47_L14_N	Y25	66	B47_L22_N	U27
67	B47_L14_P	W25	68	B47_L22_P	U26
69	GND	-	70	GND	-
71	B47_L7_N	AB22	72	B47_L20_N	U25
73	B47_L7_P	AA22	74	B47_L20_P	U24
75	B47_L21_N	Y28	76	B47_L17_N	T23
77	B47_L21_P	W28	78	B47_L17_P	T22
79	GND	-	80	GND	-

81	B47_L3_N	AC24	82	B47_L15_N	U22
83	B47_L3_P	AB24	84	B47_L15_P	U21
85	B47_L23_N	W29	86	B47_L24_N	W26
87	B47_L23_P	V29	88	B47_L24_P	V26
89	GND	-	90	GND	-
91	B47_L10_N	AC21	92	B47_L13_N	W24
93	B47_L10_P	AB21	94	B47_L13_P	W23
95	B47_L5_N	AB27	96	B47_L1_N	Y27
97	B47_L5_P	AA27	98	B47_L1_P	Y26
99	GND	-	100	GND	-
101	B47_L9_N	AB20	102	B47_L12_N	AA25
103	B47_L9_P	AA20	104	B47_L12_P	AA24
105	B47_L4_N	AC27	106	B47_L6_N	AB26
107	B47_L4_P	AC26	108	B47_L6_P	AB25
109	GND	-	110	GND	-
111	B47_L8_N	AC23	112	B47_L16_N	V23
113	B47_L8_P	AC22	114	B47_L16_P	V22
115	B47_L2_N	AD26	116	B47_L18_N	W21
117	B47_L2_P	AD25	118	B47_L18_P	V21
119	GND	-	120	GND	-

J6 连接 12V 电源，BANK66，和部分 BANK68 的信号。

J6 连接器的引脚分配

J6 管脚	信号名称	FPGA 引脚号	J6 管脚	信号名称	FPGA 引脚号
1	+12V	-	2	+12V	-
3	+12V	-	4	+12V	-
5	+12V	-	6	+12V	-
7	+12V	-	8	+12V	-
9	+12V	-	10	+12V	-
11	GND	-	12	GND	-
13	B67_L17_N	A20	14	B67_L8_N	A25
15	B67_L17_P	B20	16	B67_L8_P	B25
17	B67_L16_N	C22	18	B67_L6_N	A28

19	B67_L16_P	C21	20	B67_L6_P	A27
21	GND	-	22	GND	-
23	B67_L15_N	B22	24	B67_L13_N	C23
25	B67_L15_P	B21	26	B67_L13_P	D23
27	B67_L11_N	D25	28	B67_L12_N	C24
29	B67_L11_P	E25	30	B67_L12_P	D24
31	GND	-	32	GND	-
33	B67_L18_N	D21	34	B67_L4_N	A29
35	B67_L18_P	D20	36	B67_L4_P	B29
37	B67_L20_N	E21	38	B67_L2_N	B27
39	B67_L20_P	E20	40	B67_L2_P	C27
41	GND	-	42	GND	-
43	B67_L14_N	E23	44	B67_L1_N	E27
45	B67_L14_P	E22	46	B67_L1_P	F27
47	B67_L22_N	F20	48	B67_L10_N	A24
49	B67_L22_P	G20	50	B67_L10_P	B24
51	GND	-	52	GND	-
53	B67_L19_N	F25	54	B67_L9_N	B26
55	B67_L19_P	G24	56	B67_L9_P	C26
57	B67_L24_N	G21	58	B67_L5_N	C28
59	B67_L24_P	H21	60	B67_L5_P	D28
61	GND	-	62	GND	-
63	B67_L21_N	F24	64	B67_L3_N	D29
65	B67_L21_P	F23	66	B67_L3_P	E28
67	B67_L23_N	F22	68	B67_L7_N	D26
69	B67_L23_P	G22	70	B67_L7_P	E26
71	GND	-	72	GND	-
73	B68_T1U	C16	74	B67_T1U	A23
75	B68_T2U	H14	76	B67_T2U	A22
77	B68_T3U	L17	78	B67_T3U	H22
79	NC	-	80	NC	-

二、 扩展板

(一) 简介

通过前面的功能简介，我们可以了解到扩展板部分的功能

- 2 路光纤接口
- 1 路 PCIe x8 接口
- 1 路 USB Uart 接口
- 1 路以太网 RJ45 接口
- 3 个标准的 FMC 的扩展口
- 1 路 Micro SD 接口。
- 2 路 SMA 接口
- EEPROM 和温湿度传感器
- JTAG 调试接口。
- 7 个发光二极管 LED
- 2 个用户按键。

(二) PCIE X8 接口

AXKU062 配备了一个 PCIe3.0 x8 的接口，8 对收发器连接到 PCIe x8 的金手指上，能够实现 PCIe x8, PCIe x4, PCIe x2, PCIe x1 的数据通信。

PCIe 接口的收发信号直接跟 FPGA BANK224, BANK225 的 GTX 收发器相连接，8 路 TX 信号和 RX 信号都是以差分信号方式连接到 FPGA 的收发器上，单通道通信速率可高达 8Gbps 带宽。

开发板的 PCIe 接口的设计示意图如下图 2-2-1 所示,其中 TX 发送信号用 AC 耦合模式连接。

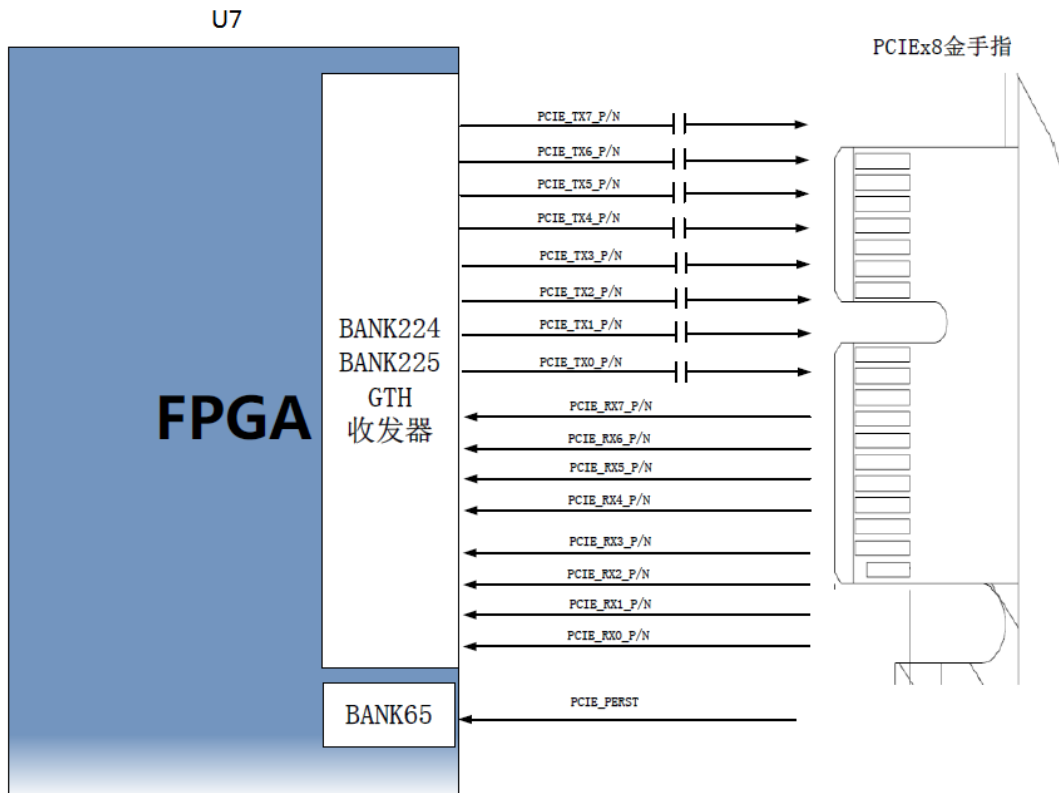


图 2-2-1 PCIe 插槽设计示意图

PCIe x8 接口 FPGA 引脚分配如下：

信号名称	FPGA 引脚名	引脚号	备注
PCIE_RX0_N	MGTHRXN3_225	AB1	PCIE 通道 0 数据接收负
PCIE_RX0_P	MGTHRXP3_225	AB2	PCIE 通道 0 数据接收正
PCIE_RX1_N	MGTHRXN2_225	AD1	PCIE 通道 1 数据接收负
PCIE_RX1_P	MGTHRXP2_225	AD2	PCIE 通道 1 数据接收正
PCIE_RX2_N	MGTHRXN1_225	AF1	PCIE 通道 2 数据接收负
PCIE_RX2_P	MGTHRXP1_225	AF2	PCIE 通道 2 数据接收正
PCIE_RX3_N	MGTHRXN0_225	AH1	PCIE 通道 3 数据接收负
PCIE_RX3_P	MGTHRXP0_225	AH2	PCIE 通道 3 数据接收正
PCIE_RX4_N	MGTHRXN3_224	AJ3	PCIE 通道 4 数据接收负
PCIE_RX4_P	MGTHRXP3_224	AJ4	PCIE 通道 4 数据接收正
PCIE_RX5_N	MGTHRXN2_224	AK1	PCIE 通道 5 数据接收负
PCIE_RX5_P	MGTHRXP2_224	AK2	PCIE 通道 5 数据接收正
PCIE_RX6_N	MGTHRXN1_224	AM1	PCIE 通道 6 数据接收负
PCIE_RX6_P	MGTHRXP1_224	AM2	PCIE 通道 6 数据接收正
PCIE_RX7_N	MGTHRXN0_224	AP1	PCIE 通道 7 数据接收负

PCIE_RX7_P	MGTHRXP0_224	AP2	PCIE 通道 7 数据接收正
PCIE_TX0_N	MGTHTXN3_225	AC3	PCIE 通道 0 数据发送负
PCIE_TX0_P	MGTHTXP3_225	AC4	PCIE 通道 0 数据发送正
PCIE_TX1_N	MGTHTXN2_225	AE3	PCIE 通道 1 数据发送负
PCIE_TX1_P	MGTHTXP2_225	AE4	PCIE 通道 1 数据发送正
PCIE_TX2_N	MGTHTXN1_225	AG3	PCIE 通道 2 数据发送负
PCIE_TX2_P	MGTHTXP1_225	AG4	PCIE 通道 2 数据发送正
PCIE_TX3_N	MGTHTXN0_225	AH5	PCIE 通道 3 数据发送负
PCIE_TX3_P	MGTHTXP0_225	AH6	PCIE 通道 3 数据发送正
PCIE_TX4_N	MGTHTXN3_224	AK5	PCIE 通道 4 数据发送负
PCIE_TX4_P	MGTHTXP3_224	AK6	PCIE 通道 4 数据发送正
PCIE_TX5_N	MGTHTXN2_224	AL3	PCIE 通道 5 数据发送负
PCIE_TX5_P	MGTHTXP2_224	AL4	PCIE 通道 5 数据发送正
PCIE_TX6_N	MGTHTXN1_224	AM5	PCIE 通道 6 数据发送负
PCIE_TX6_P	MGTHTXP1_224	AM6	PCIE 通道 6 数据发送正
PCIE_TX7_N	MGTHTXN0_224	AN3	PCIE 通道 7 数据发送负
PCIE_TX7_P	MGTHTXP0_224	AN4	PCIE 通道 7 数据发送正
PCIE_CLK_N	MGTREFCLK0N_225	AB5	PCIE 通道参考时钟负
PCIE_CLK_P	MGTREFCLK0P_225	AB6	PCIE 通道参考时钟正
PCIE_PERST	IO_T3U_N12_PERSTN 0_65	K22	PCIE 板卡的复位信号

(三) SFP+光纤接口

AXKU062 开发板上有 2 路 SFP 光纤接口,用户可以购买 SFP 光模块(市场上 1.25G ,2.5G , 10G 光模块)插入到这 2 个光纤接口中进行光纤数据通信。2 路光纤接口分别跟 FPGA 的 BANK226 的 GTH 收发器的 2 路 RX/TX 相连接, TX 信号和 RX 信号都是以差分信号方式连接 FPGA 和光模块,每路 TX 发送和 RX 接收数据速率高达 16.3Gb/s。BANK226 的 GXH 收发器的参考时钟由是差分晶振 156.25M 提供。

FPGA 和 SFP 光纤设计示意图如下图 7-1 所示:

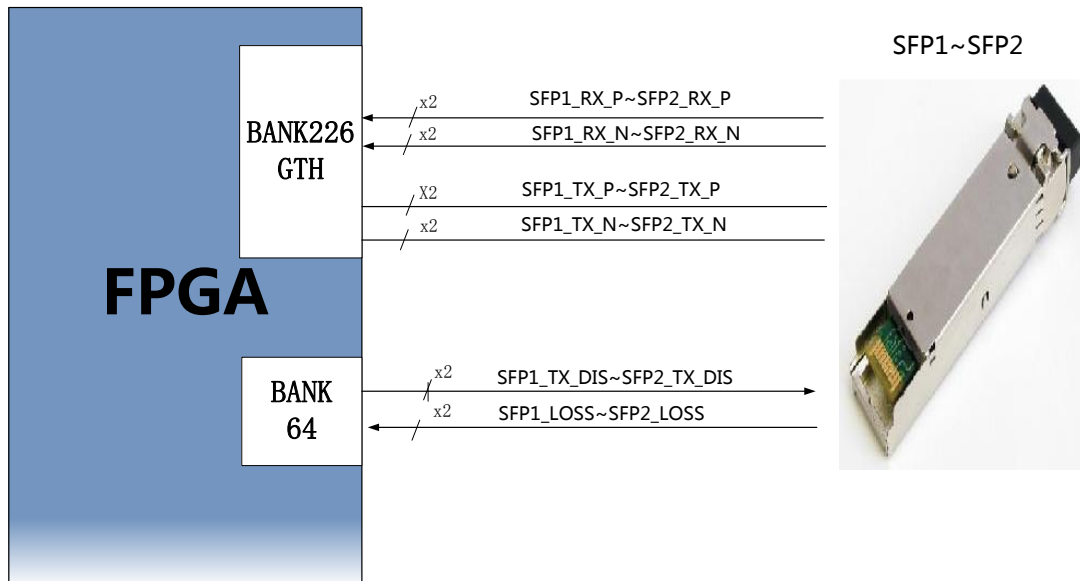


图 2-3-1 光纤设计示意图

第 1 路光纤接口 FPGA 引脚分配如下：

网络名称	FPGA 引脚	备注
SFP1_TX_P	U4	SFP 光模块数据发送 Positive
SFP1_TX_N	U3	SFP 光模块数据发送 Negative
SFP1_RX_P	T2	SFP 光模块数据接收 Positive
SFP1_RX_N	T1	SFP 光模块数据接收 Negative
SFP1_TX_DIS	AN11	SFP 光模块光发射禁止，高有效
SFP1_LOSS	AP9	SFP 光接收 LOSS 信号，高表示没有接收到光信号

第 2 路光纤接口 FPGA 引脚分配如下：

网络名称	FPGA 引脚	备注
SFP2_TX_P	W4	SFP 光模块数据发送 Positive
SFP2_TX_N	W3	SFP 光模块数据发送 Negative
SFP2_RX_P	V2	SFP 光模块数据接收 Positive
SFP2_RX_N	V1	SFP 光模块数据接收 Negative
SFP2_TX_DIS	AM11	SFP 光模块光发射禁止，高有效
SFP2_LOSS	AN9	SFP 光接收 LOSS 信号，高表示没有接收到光信号

(四) 千兆以太网接口

AXKU062 上有 1 路千兆以太网接口，GPHY 芯片采用 Micrel 公司的 KSZ9031RNX 以太网芯片为用户提供网络通信服务。KSZ9031RNX 芯片支持 10/100/1000 Mbps 网络传输速率，通过 RGMII 接口跟系统的 MAC 层进行数据通信。KSZ9031RNX 支持 MDI/MDX 自适应，各种速度自适应，Master/Slave 自适应，支持 MDIO 总线进行 PHY 的寄存器管理。

KSZ9031RNX 上电会检测一些特定的 IO 的电平状态，从而确定自己的工作模式。表 3-5-1 描述了 GPHY 芯片上电之后的默认设定信息

配置 Pin 脚	说明	配置值
PHYAD[2:0]	MDIO/MDC 模式的 PHY 地址	PHY Address 为 011
CLK125_EN	使能 125Mhz 时钟输出选择	使能
LED_MODE	LED 灯模式配置	单个 LED 灯模式
MODE0~MODE3	链路自适应和全双工配置	10/100/1000 自适应，兼容全双工、半双工

当网络连接到千兆以太网时，PHY 芯片 KSZ9031RNX 的数据传输时通过 RGMII 总线通信，传输时钟为 125Mhz，数据在时钟的上升沿和下降样采样。

当网络连接到百兆以太网时，PHY 芯片 KSZ9031RNX 的数据传输时通过 RMII 总线通信，传输时钟为 25Mhz。数据在时钟的上升沿和下降样采样。

以太网 PHY 芯片连接示意如图 2-4-1:

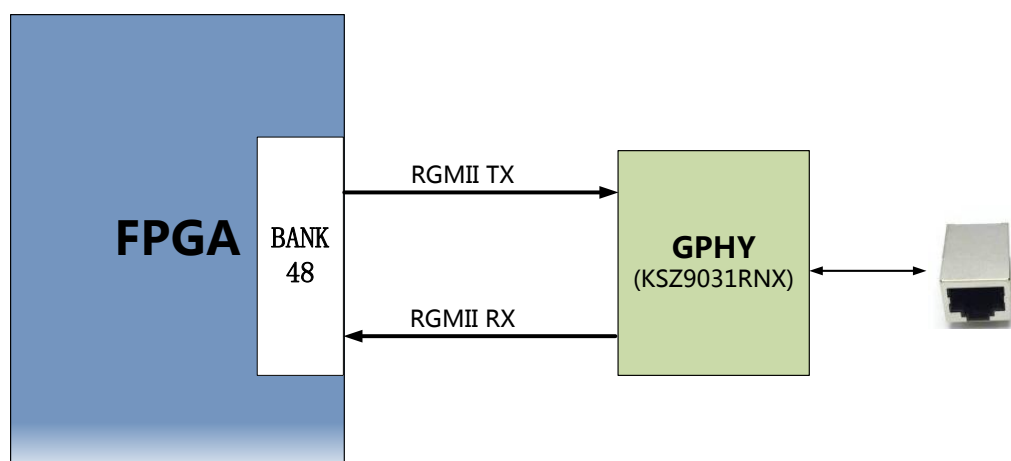


图 2-4-1

千兆以太网 FPGA 引脚分配如下：

信号名称	引脚名	引脚号	备注
PHY_GTXC	B48_L21_N	W34	以太网 1 发送时钟

PHY_TXD0	B48_L18_N	AD33	以太网 1 发送数据 bit 0
PHY_TXD1	B48_L18_P	AC33	以太网 1 发送数据 bit1
PHY_TXD2	B48_L23_N	V34	以太网 1 发送数据 bit2
PHY_TXD3	B48_L23_P	U34	以太网 1 发送数据 bit3
PHY_TXEN	B48_L21_P	V33	以太网 1 发送使能信号
PHY_RXC	B48_L12_P	AC31	以太网 1 接收时钟
PHY_RXD3	B48_L17_N	AB34	以太网 1 接收数据 Bit0
PHY_RXD2	B48_L17_P	AA34	以太网 1 接收数据 Bit1
PHY_RXD1	B48_L15_N	AD34	以太网 1 接收数据 Bit2
PHY_RXD0	B48_L15_P	AC34	以太网 1 接收数据 Bit3
PHY_RXDV	B48_L12_N	AC32	以太网 1 接收数据有效信号
PHY_MDC	B48_T2U	AA33	以太网 1MDIO 管理时钟
PHY_MDIO	B48_T1U	AE31	以太网 1MDIO 管理数据
PHY_RESET	B48_T3U	V32	以太网芯片复位

(五) USB 转串口

AXKU062 开发板上配备了一个 Uart 转 USB 接口，用于开发板串口通信和调试。转换芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片，CP2102 串口芯片和 FPGA 之间用一个电平转换芯片连接，来适应不同的 FPGA BANK 电压。USB 接口采用 MINI USB 接口，可以用一根 USB 线将它连接到上 PC 的 USB 口进行开发板的串口数据通信。USB Uart 电路设计的示意图如下图 6-1 所示：

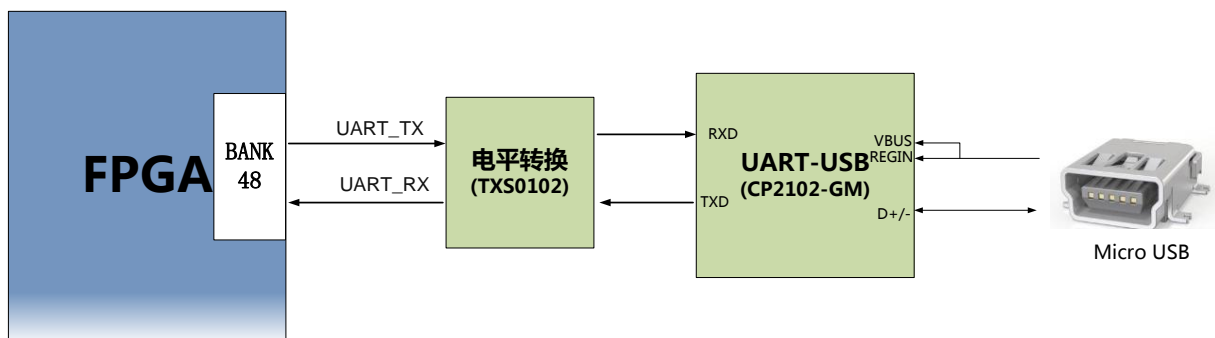


图 2-5-1 USB 转串口示意图

USB 转串口的 FPGA 引脚分配：

信号名称	FPGA 引脚名	FPGA 引脚	备注
------	----------	---------	----

		号	
UART_RXD	B64_T1U	AJ11	Uart 数据输入
UART_TXD	B64_T3U	AM9	Uart 数据输出

(六) FMC 扩展口

AXKU062 开发板带有 2 路 FMC LPC 的扩展口和 1 路 FMC HPC 扩展口,可以外接 XILINX 或者我们黑金的各种 FMC 模块(HDMI 输入输出模块,双目摄像头模块,高速 AD 模块等等)。

LPC FMC1 扩展口有 36 对差分信号,分别连接到 FPGA 芯片的 BANK47, BANK48 的 IO 上, BANK47 和 BANK48 的 IO 电平为 1.8V。1 对速 GTH 收发器信号连接到 BNAK226 上。

LPC FMC2 扩展口有 36 对差分信号,分别连接到 FPGA 芯片的 BANK64 和 BANK65 的 IO 上, IO 电平为 3.3V。

FMC HPC 扩展口包含 58 对差分 IO 信号,分别连接 FPGA 芯片 BANK66, BANK67, BANK68,电平标准为 1.8V。8 路高速 GTH 收发信号连接 FPGA 芯片 BANK227, BANK228 的 IO 上。

FPGA 和 FMC LPC 连接器的原理图如图 2-6-1, 2-6-2 和 2-6-3 所示:

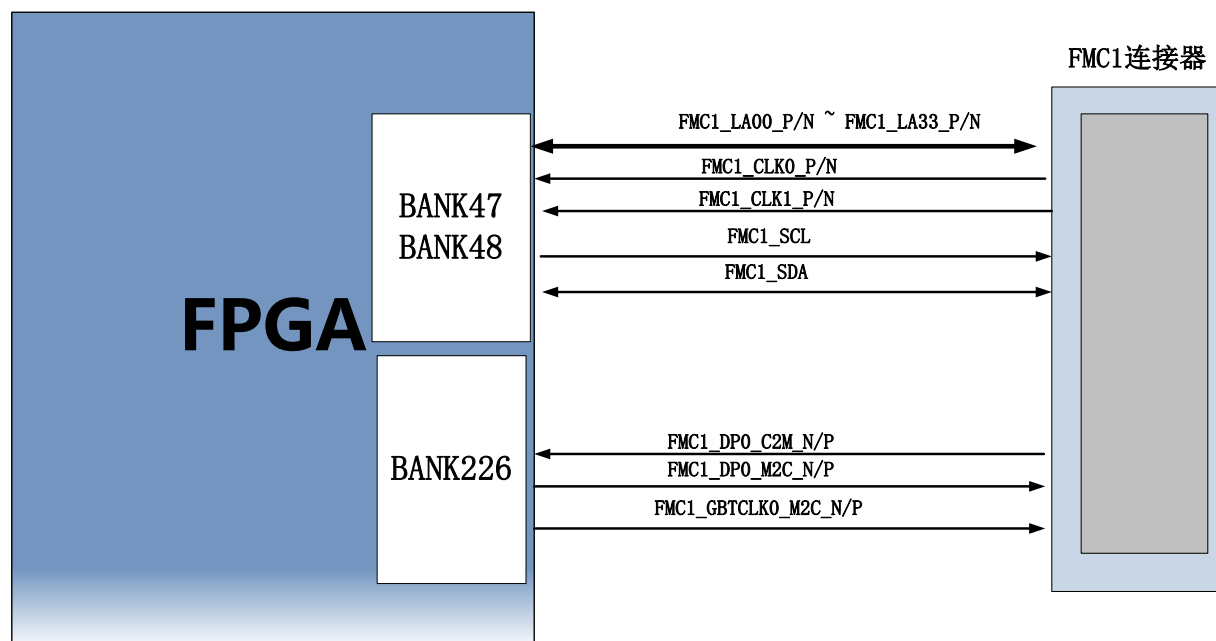


图 2-6-1 LPC FMC1 连接示意图

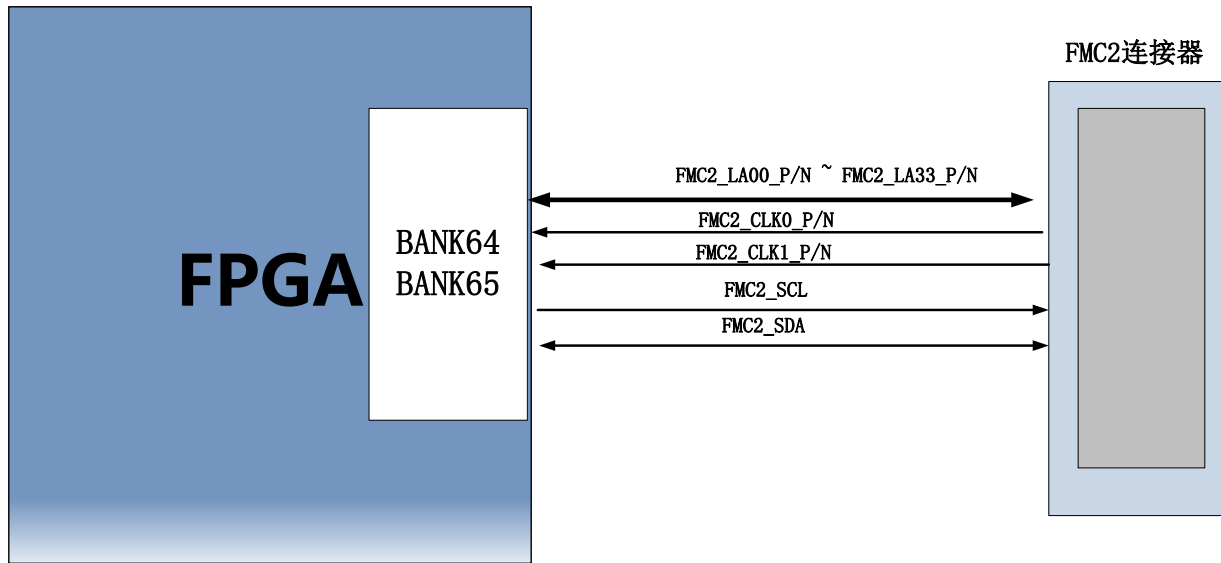


图 2-6-2 LPC FMC2 连接示意图

FPGA 和 FMC3 HPC 连接器的原理图如图 9-3 所示：

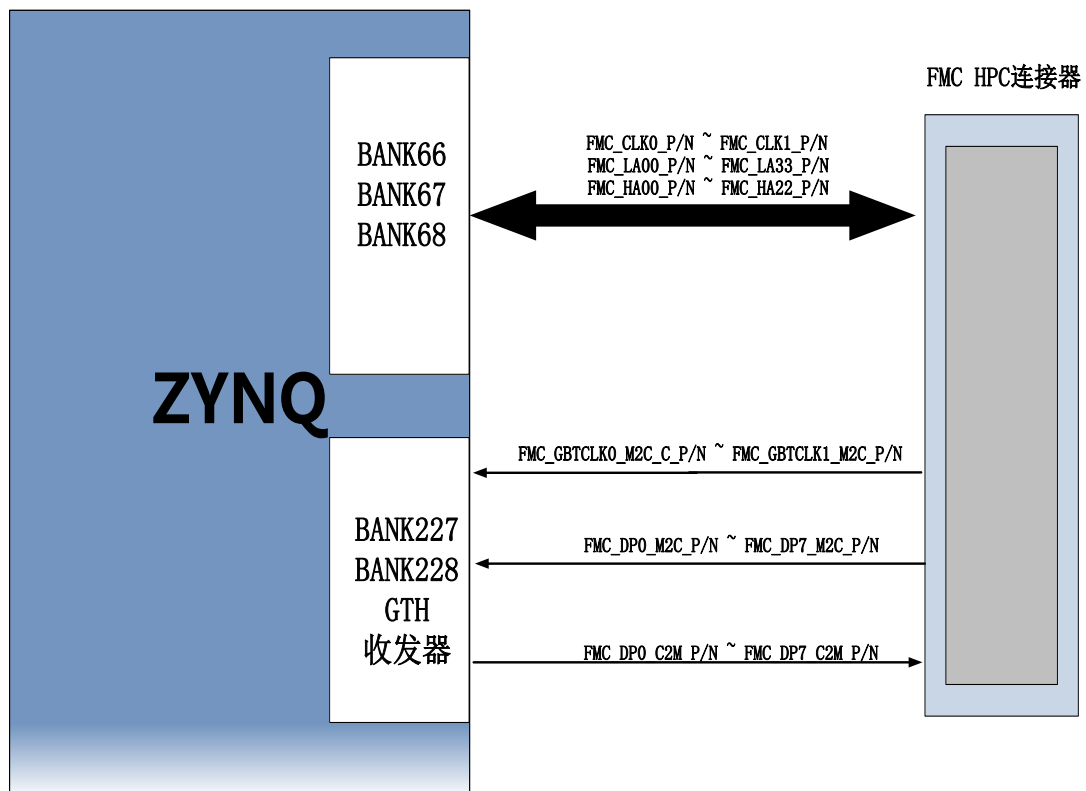


图 2-6-3 HPC FMC3 连接示意图

第 1 路 FMC LPC 连接器引脚分配如下：

信号名称	FPGA 引脚名	FPGA 引脚号	备注
FMC1_LPC_CLK0_N	B47_L11_N	AA23	FMC参考第1路参考时钟N
FMC1_LPC_CLK0_P	B47_L11_P	Y23	FMC参考第1路参考时钟P
FMC1_LPC_CLK1_N	B48_L14_N	AB31	FMC参考第2路参考时钟N
FMC1_LPC_CLK1_P	B48_L14_P	AB30	FMC参考第2路参考时钟P
FMC1_LPC_LA00_CC_N	B47_L13_N	W24	FMC参考第0路数据(时钟)N
FMC1_LPC_LA00_CC_P	B47_L13_P	W23	FMC参考第0路数据(时钟)P
FMC1_LPC_LA01_CC_N	B47_L12_N	AA25	FMC参考第1路数据(时钟)N
FMC1_LPC_LA01_CC_P	B47_L12_P	AA24	FMC参考第1路数据(时钟)P
FMC1_LPC_LA02_N	B47_L18_N	W21	FMC参考第2路数据N
FMC1_LPC_LA02_P	B47_L18_P	V21	FMC参考第2路数据P
FMC1_LPC_LA03_N	B47_L16_N	V23	FMC参考第3路数据N
FMC1_LPC_LA03_P	B47_L16_P	V22	FMC参考第3路数据P
FMC1_LPC_LA04_N	B47_L6_N	AB26	FMC参考第4路数据N
FMC1_LPC_LA04_P	B47_L6_P	AB25	FMC参考第4路数据P
FMC1_LPC_LA05_N	B47_L23_N	W29	FMC参考第5路数据N
FMC1_LPC_LA05_P	B47_L23_P	V29	FMC参考第5路数据P
FMC1_LPC_LA06_N	B47_L1_N	Y27	FMC参考第6路数据N
FMC1_LPC_LA06_P	B47_L1_P	Y26	FMC参考第6路数据P
FMC1_LPC_LA07_N	B47_L15_N	U22	FMC参考第7路数据N
FMC1_LPC_LA07_P	B47_L15_P	U21	FMC参考第7路数据P
FMC1_LPC_LA08_N	B47_L24_N	W26	FMC参考第8路数据N
FMC1_LPC_LA08_P	B47_L24_P	V26	FMC参考第8路数据P
FMC1_LPC_LA09_N	B47_L17_N	T23	FMC参考第9路数据N
FMC1_LPC_LA09_P	B47_L17_P	T22	FMC参考第9路数据P
FMC1_LPC_LA10_N	B47_L20_N	U25	FMC参考第10路数据N
FMC1_LPC_LA10_P	B47_L20_P	U24	FMC参考第10路数据P
FMC1_LPC_LA11_N	B47_L3_N	AC24	FMC参考第11路数据N
FMC1_LPC_LA11_P	B47_L3_P	AB24	FMC参考第11路数据P
FMC1_LPC_LA12_N	B47_L22_N	U27	FMC参考第12路数据N
FMC1_LPC_LA12_P	B47_L22_P	U26	FMC参考第12路数据P

FMC1_LPC_LA13_N	B47_L21_N	Y28	FMC参考第13路数据N
FMC1_LPC_LA13_P	B47_L21_P	W28	FMC参考第13路数据P
FMC1_LPC_LA14_N	B47_L19_N	V28	FMC参考第14路数据N
FMC1_LPC_LA14_P	B47_L19_P	V27	FMC参考第14路数据P
FMC1_LPC_LA15_N	B47_L14_N	Y25	FMC参考第15路数据N
FMC1_LPC_LA15_P	B47_L14_P	W25	FMC参考第15路数据P
FMC1_LPC_LA16_N	B47_L7_N	AB22	FMC参考第16路数据N
FMC1_LPC_LA16_P	B47_L7_P	AA22	FMC参考第16路数据P
FMC1_LPC_LA17_CC_N	B48_L13_N	AB32	FMC参考第17路数据（时钟） N
FMC1_LPC_LA17_CC_P	B48_L13_P	AA32	FMC参考第17路数据（时钟） P
FMC1_LPC_LA18_CC_N	B48_L11_N	AD31	FMC参考第18路数据（时钟） N
FMC1_LPC_LA18_CC_P	B48_L11_P	AD30	FMC参考第18路数据（时钟） P
FMC1_LPC_LA19_N	B48_L16_N	AB29	FMC参考第19路数据N
FMC1_LPC_LA19_P	B48_L16_P	AA29	FMC参考第19路数据P
FMC1_LPC_LA20_N	B48_L24_N	W31	FMC参考第20路数据N
FMC1_LPC_LA20_P	B48_L24_P	V31	FMC参考第20路数据P
FMC1_LPC_LA21_N	B48_L6_N	AG30	FMC参考第21路数据N
FMC1_LPC_LA21_P	B48_L6_P	AF30	FMC参考第21路数据P
FMC1_LPC_LA22_N	B48_L5_N	AE30	FMC参考第22路数据N
FMC1_LPC_LA22_P	B48_L5_P	AD29	FMC参考第22路数据P
FMC1_LPC_LA23_N	B48_L8_N	AG34	FMC参考第23路数据N
FMC1_LPC_LA23_P	B48_L8_P	AF33	FMC参考第23路数据P
FMC1_LPC_LA24_N	B48_L4_N	AG29	FMC参考第24路数据N
FMC1_LPC_LA24_P	B48_L4_P	AF29	FMC参考第24路数据P
FMC1_LPC_LA25_N	B48_L9_N	AF32	FMC参考第25路数据N
FMC1_LPC_LA25_P	B48_L9_P	AE32	FMC参考第25路数据P
FMC1_LPC_LA26_N	B48_L7_N	AG32	FMC参考第26路数据N
FMC1_LPC_LA26_P	B48_L7_P	AG31	FMC参考第26路数据P
FMC1_LPC_LA27_N	B48_L10_N	AF34	FMC参考第27路数据N
FMC1_LPC_LA27_P	B48_L10_P	AE33	FMC参考第27路数据N
FMC1_LPC_LA28_N	B48_L1_N	AF27	FMC参考第28路数据N

FMC1_LPC_LA28_P	B48_L1_P	AE27	FMC参考第28路数据P
FMC1_LPC_LA29_N	B48_L2_N	AF28	FMC参考第29路数据N
FMC1_LPC_LA29_P	B48_L2_P	AE28	FMC参考第29路数据P
FMC1_LPC_LA30_N	B48_L3_N	AD28	FMC参考第30路数据N
FMC1_LPC_LA30_P	B48_L3_P	AC28	FMC参考第30路数据P
FMC1_LPC_LA31_N	B48_L19_N	Y33	FMC参考第31路数据N
FMC1_LPC_LA31_P	B48_L19_P	W33	FMC参考第31路数据P
FMC1_LPC_LA32_N	B48_L22_N	Y32	FMC参考第32路数据N
FMC1_LPC_LA32_P	B48_L22_P	Y31	FMC参考第32路数据P
FMC1_LPC_LA33_N	B48_L20_N	Y30	FMC参考第33路数据N
FMC1_LPC_LA33_P	B48_L20_P	W30	FMC参考第33路数据P
FMC1_LPC_SCL	B47_L10_N	AC21	FMC I2C总线时钟
FMC1_LPC_SDA	B47_L10_P	AB21	FMC I2C总线数据
FMC1_DP0_C2M_N	226_TX3_N	R3	收发器数据输出P
FMC1_DP0_C2M_P	226_TX3_P	R4	收发器数据输出N
FMC1_DP0_M2C_N	226_RX3_N	P1	收发器数据输入P
FMC1_DP0_M2C_P	226_RX3_P	P2	收发器数据输入N
FMC1_GBTCLK0_M2C_N	226_CLK0_N	V5	收发器参考时钟P
FMC1_GBTCLK0_M2C_P	226_CLK0_P	V6	收发器参考时钟N

第 2 路 FMC LPC 连接器引脚分配如下：

信号名称	FPGA 引脚名	FPGA 引脚号	备注
FMC2_LPC_CLK0_N	B65_L13_N	AG11	FMC参考第1路参考时钟N
FMC2_LPC_CLK0_P	B65_L13_P	AH11	FMC参考第1路参考时钟P
FMC2_LPC_CLK1_N	B64_L11_N	P24	FMC参考第2路参考时钟N
FMC2_LPC_CLK1_P	B64_L11_P	P25	FMC参考第2路参考时钟P
FMC2_LPC_LA01_CC_N	B65_L11_N	AG12	FMC参考第0路数据（时钟）N
FMC2_LPC_LA01_CC_P	B65_L11_P	AH12	FMC参考第0路数据（时钟）P
FMC2_LPC_LA00_CC_N	B65_L14_N	AF10	FMC参考第1路数据（时钟）N
FMC2_LPC_LA00_CC_P	B65_L14_P	AG10	FMC参考第1路数据（时钟）P
FMC2_LPC_LA02_N	B65_L17_N	AN13	FMC参考第2路数据N
FMC2_LPC_LA02_P	B65_L17_P	AP13	FMC参考第2路数据P
FMC2_LPC_LA03_N	B65_L7_N	AM12	FMC参考第3路数据N

FMC2_LPC_LA03_P	B65_L7_P	AN12	FMC参考第3路数据P
FMC2_LPC_LA04_N	B65_L15_N	AK13	FMC参考第4路数据N
FMC2_LPC_LA04_P	B65_L15_P	AL13	FMC参考第4路数据P
FMC2_LPC_LA05_N	B65_L4_N	AL10	FMC参考第5路数据N
FMC2_LPC_LA05_P	B65_L4_P	AM10	FMC参考第5路数据P
FMC2_LPC_LA06_N	B65_L3_N	AP11	FMC参考第6路数据N
FMC2_LPC_LA06_P	B65_L3_P	AP10	FMC参考第6路数据P
FMC2_LPC_LA07_N	B65_L5_N	AK12	FMC参考第7路数据N
FMC2_LPC_LA07_P	B65_L5_P	AL12	FMC参考第7路数据P
FMC2_LPC_LA08_N	B65_L18_N	AM11	FMC参考第8路数据N
FMC2_LPC_LA08_P	B65_L18_P	AN11	FMC参考第8路数据P
FMC2_LPC_LA09_N	B65_L1_N	AH9	FMC参考第9路数据N
FMC2_LPC_LA09_P	B65_L1_P	AH8	FMC参考第9路数据P
FMC2_LPC_LA10_N	B65_L20_N	AE8	FMC参考第10路数据N
FMC2_LPC_LA10_P	B65_L20_P	AF8	FMC参考第10路数据P
FMC2_LPC_LA11_N	B65_L9_N	AE12	FMC参考第11路数据N
FMC2_LPC_LA11_P	B65_L9_P	AF12	FMC参考第11路数据P
FMC2_LPC_LA12_N	B65_L12_N	AH13	FMC参考第12路数据N
FMC2_LPC_LA12_P	B65_L12_P	AJ13	FMC参考第12路数据P
FMC2_LPC_LA13_N	B65_L19_N	AD10	FMC参考第13路数据N
FMC2_LPC_LA13_P	B65_L19_P	AE10	FMC参考第13路数据P
FMC2_LPC_LA14_N	B65_L23_N	AD9	FMC参考第14路数据N
FMC2_LPC_LA14_P	B65_L23_P	AD8	FMC参考第14路数据P
FMC2_LPC_LA15_N	B65_L10_N	AD11	FMC参考第15路数据N
FMC2_LPC_LA15_P	B65_L10_P	AE11	FMC参考第15路数据P
FMC2_LPC_LA16_N	B65_L6_N	AE13	FMC参考第16路数据N
FMC2_LPC_LA16_P	B65_L6_P	AF13	FMC参考第16路数据P
FMC2_LPC_LA17_CC_N	B64_L13_N	N24	FMC参考第17路数据 (时钟) N
FMC2_LPC_LA17_CC_P	B64_L13_P	M24	FMC参考第17路数据 (时钟) P
FMC2_LPC_LA18_CC_N	B64_L12_N	M25	FMC参考第18路数据 (时钟) N
FMC2_LPC_LA18_CC_P	B64_L12_P	M26	FMC参考第18路数据 (时钟) P
FMC2_LPC_LA19_N	B64_L17_N	T24	FMC参考第19路数据N
FMC2_LPC_LA19_P	B64_L17_P	T25	FMC参考第19路数据P

FMC2_LPC_LA20_N	B64_L23_N	T27	FMC参考第20路数据N
FMC2_LPC_LA20_P	B64_L23_P	R27	FMC参考第20路数据P
FMC2_LPC_LA21_N	B64_L14_N	R25	FMC参考第21路数据N
FMC2_LPC_LA21_P	B64_L14_P	R26	FMC参考第21路数据P
FMC2_LPC_LA22_N	B64_L15_N	P26	FMC参考第22路数据N
FMC2_LPC_LA22_P	B64_L15_P	N26	FMC参考第22路数据P
FMC2_LPC_LA23_N	B64_L16_N	J26	FMC参考第23路数据N
FMC2_LPC_LA23_P	B64_L16_P	H26	FMC参考第23路数据P
FMC2_LPC_LA24_N	B64_L1_N	L23	FMC参考第24路数据N
FMC2_LPC_LA24_P	B64_L1_P	L24	FMC参考第24路数据P
FMC2_LPC_LA25_N	B64_L4_N	M27	FMC参考第25路数据N
FMC2_LPC_LA25_P	B64_L4_P	L27	FMC参考第25路数据P
FMC2_LPC_LA26_N	B64_L21_N	J24	FMC参考第26路数据N
FMC2_LPC_LA26_P	B64_L21_P	J25	FMC参考第26路数据P
FMC2_LPC_LA27_N	B64_L24_N	H27	FMC参考第27路数据N
FMC2_LPC_LA27_P	B64_L24_P	G27	FMC参考第27路数据P
FMC2_LPC_LA28_N	B64_L18_N	R23	FMC参考第28路数据N
FMC2_LPC_LA28_P	B64_L18_P	P23	FMC参考第28路数据P
FMC2_LPC_LA29_N	B64_L6_N	L22	FMC参考第29路数据N
FMC2_LPC_LA29_P	B64_L6_P	K23	FMC参考第29路数据P
FMC2_LPC_LA30_N	B64_L8_N	L25	FMC参考第30路数据N
FMC2_LPC_LA30_P	B64_L8_P	K25	FMC参考第30路数据P
FMC2_LPC_LA31_N	B64_L10_N	N22	FMC参考第31路数据N
FMC2_LPC_LA31_P	B64_L10_P	M22	FMC参考第31路数据P
FMC2_LPC_LA32_N	B64_L7_N	J23	FMC参考第32路数据N
FMC2_LPC_LA32_P	B64_L7_P	H24	FMC参考第32路数据P
FMC2_LPC_LA33_N	B64_L9_N	K26	FMC参考第33路数据N
FMC2_LPC_LA33_P	B64_L9_P	K27	FMC参考第33路数据P
FMC2_LPC_SCL	B65_L24_N	N21	FMC I2C总线时钟
FMC2_LPC_SDA	B65_L24_P	M21	FMC I2C总线数据

第 3 路 FMC HPC 连接器引脚分配如下：

信号名	FPGA 引脚名	FPGA 引脚号	备注
-----	----------	----------	----

FMC_HPC_CLK0_M2C_N	B67_L11_N	D25	FMC 第 0 路输入参考时钟 N
FMC_HPC_CLK0_M2C_P	B67_L11_P	E25	FMC 第 0 路输入参考时钟 P
FMC_HPC_CLK1_M2C_N	B66_L13_N	G11	FMC 第 1 路输入参考时钟 N
FMC_HPC_CLK1_M2C_P	B66_L13_P	H11	FMC 第 1 路输入参考时钟 P
FMC_HPC_LA00_CC_N	B67_L14_N	E23	FMC LA 第 0 路数据 (时钟) N
FMC_HPC_LA00_CC_P	B67_L14_P	E22	FMC LA 第 0 路数据 (时钟) P
FMC_HPC_LA01_CC_N	B67_L13_N	C23	FMC LA 第 1 路数据 (时钟) N
FMC_HPC_LA01_CC_P	B67_L13_P	D23	FMC LA 第 1 路数据 (时钟) P
FMC_HPC_LA02_N	B67_L8_N	A25	FMC LA 第 2 路数据 N
FMC_HPC_LA02_P	B67_L8_P	B25	FMC LA 第 2 路数据 P
FMC_HPC_LA03_N	B67_L6_N	A28	FMC LA 第 3 路数据 N
FMC_HPC_LA03_P	B67_L6_P	A27	FMC LA 第 3 路数据 P
FMC_HPC_LA04_N	B67_L2_N	B27	FMC LA 第 4 路数据 N
FMC_HPC_LA04_P	B67_L2_P	C27	FMC LA 第 4 路数据 P
FMC_HPC_LA05_N	B67_L12_N	C24	FMC LA 第 5 路数据 N
FMC_HPC_LA05_P	B67_L12_P	D24	FMC LA 第 5 路数据 P
FMC_HPC_LA06_N	B67_L4_N	A29	FMC LA 第 6 路数据 P
FMC_HPC_LA06_P	B67_L4_P	B29	FMC LA 第 6 路数据 P
FMC_HPC_LA07_N	B67_L5_N	C28	FMC LA 第 7 路数据 N
FMC_HPC_LA07_P	B67_L5_P	D28	FMC LA 第 7 路数据 P
FMC_HPC_LA08_N	B67_L1_N	E27	FMC LA 第 8 路数据 N
FMC_HPC_LA08_P	B67_L1_P	F27	FMC LA 第 8 路数据 P
FMC_HPC_LA09_N	B67_L9_N	B26	FMC LA 第 9 路数据 N
FMC_HPC_LA09_P	B67_L9_P	C26	FMC LA 第 9 路数据 P
FMC_HPC_LA10_N	B67_L10_N	A24	FMC LA 第 10 路数据 N
FMC_HPC_LA10_P	B67_L10_P	B24	FMC LA 第 10 路数据 P
FMC_HPC_LA11_N	B67_L7_N	D26	FMC LA 第 11 路数据 N
FMC_HPC_LA11_P	B67_L7_P	E26	FMC LA 第 11 路数据 P
FMC_HPC_LA12_N	B67_L3_N	D29	FMC LA 第 12 路数据 N
FMC_HPC_LA12_P	B67_L3_P	E28	FMC LA 第 12 路数据 P
FMC_HPC_LA13_N	B67_L15_N	B22	FMC LA 第 13 路数据 N
FMC_HPC_LA13_P	B67_L15_P	B21	FMC LA 第 13 路数据 P
FMC_HPC_LA14_N	B67_L18_N	D21	FMC LA 第 14 路数据 N
FMC_HPC_LA14_P	B67_L18_P	D20	FMC LA 第 14 路数据 P
FMC_HPC_LA15_N	B67_L17_N	A20	FMC LA 第 15 路数据 N

FMC_HPC_LA15_P	B67_L17_P	B20	FMC LA 第 15 路数据 P
FMC_HPC_LA16_N	B67_L16_N	C22	FMC LA 第 16 路数据 N
FMC_HPC_LA16_P	B67_L16_P	C21	FMC LA 第 16 路数据 P
FMC_HPC_LA17_CC_N	B66_L11_N	F9	FMC LA 第 17 路数据(时钟)N
FMC_HPC_LA17_CC_P	B66_L11_P	G9	FMC LA 第 17 路数据(时钟)P
FMC_HPC_LA18_CC_N	B66_L12_N	F10	FMC LA 第 18 路数据(时钟)N
FMC_HPC_LA18_CC_P	B66_L12_P	G10	FMC LA 第 18 路数据(时钟)P
FMC_HPC_LA19_N	B66_L21_N	B11	FMC LA 第 19 路数据 N
FMC_HPC_LA19_P	B66_L21_P	C11	FMC LA 第 19 路数据 P
FMC_HPC_LA20_N	B66_L23_N	A12	FMC LA 第 20 路数据 N
FMC_HPC_LA20_P	B66_L23_P	A13	FMC LA 第 20 路数据 P
FMC_HPC_LA21_N	B66_L15_N	J11	FMC LA 第 21 路数据 N
FMC_HPC_LA21_P	B66_L15_P	K11	FMC LA 第 21 路数据 P
FMC_HPC_LA22_N	B66_L19_N	D11	FMC LA 第 22 路数据 N
FMC_HPC_LA22_P	B66_L19_P	E11	FMC LA 第 22 路数据 P
FMC_HPC_LA23_N	B66_L18_N	H13	FMC LA 第 23 路数据 N
FMC_HPC_LA23_P	B66_L18_P	J13	FMC LA 第 23 路数据 P
FMC_HPC_LA24_N	B66_L8_N	H9	FMC LA 第 24 路数据 N
FMC_HPC_LA24_P	B66_L8_P	J9	FMC LA 第 24 路数据 P
FMC_HPC_LA25_N	B66_L10_N	J10	FMC LA 第 25 路数据 N
FMC_HPC_LA25_P	B66_L10_P	K10	FMC LA 第 25 路数据 P
FMC_HPC_LA26_N	B66_L6_N	D10	FMC LA 第 26 路数据 N
FMC_HPC_LA26_P	B66_L6_P	E10	FMC LA 第 26 路数据 P
FMC_HPC_LA27_N	B66_L5_N	C9	FMC LA 第 27 路数据 N
FMC_HPC_LA27_P	B66_L5_P	D9	FMC LA 第 27 路数据 P
FMC_HPC_LA28_N	B66_L2_N	A9	FMC LA 第 28 路数据 N
FMC_HPC_LA28_P	B66_L2_P	B9	FMC LA 第 28 路数据 P
FMC_HPC_LA29_N	B66_L4_N	A10	FMC LA 第 29 路数据 N
FMC_HPC_LA29_P	B66_L4_P	B10	FMC LA 第 29 路数据 P
FMC_HPC_LA30_N	B66_L9_N	H8	FMC LA 第 30 路数据 N
FMC_HPC_LA30_P	B66_L9_P	J8	FMC LA 第 30 路数据 P
FMC_HPC_LA31_N	B66_L1_N	E8	FMC LA 第 31 路数据 N
FMC_HPC_LA31_P	B66_L1_P	F8	FMC LA 第 31 路数据 P
FMC_HPC_LA32_N	B66_L3_N	C8	FMC LA 第 32 路数据 N
FMC_HPC_LA32_P	B66_L3_P	D8	FMC LA 第 32 路数据 P

FMC_HPC_LA33_N	B66_L7_N	K8	FMC LA 第 33 路数据 N
FMC_HPC_LA33_P	B66_L7_P	L8	FMC LA 第 33 路数据 P
FMC_HPC_HA00_CC_N	B68_L14_N	F17	FMC HA 第 0 路数据 (时钟) N
FMC_HPC_HA00_CC_P	B68_L14_P	F18	FMC HA 第 0 路数据 (时钟) P
FMC_HPC_HA01_CC_N	B68_L12_N	E17	FMC HA 第 1 路数据 (时钟) N
FMC_HPC_HA01_CC_P	B68_L12_P	E18	FMC HA 第 1 路数据 (时钟) P
FMC_HPC_HA02_N	B68_L17_N	H16	FMC HA 第 2 路数据 N
FMC_HPC_HA02_P	B68_L17_P	H17	FMC HA 第 2 路数据 P
FMC_HPC_HA03_N	B68_L24_N	L18	FMC HA 第 3 路数据 N
FMC_HPC_HA03_P	B68_L24_P	L19	FMC HA 第 3 路数据 P
FMC_HPC_HA04_N	B68_L6_N	C17	FMC HA 第 4 路数据 N
FMC_HPC_HA04_P	B68_L6_P	C18	FMC HA 第 4 路数据 P
FMC_HPC_HA05_N	B68_L2_N	A18	FMC HA 第 5 路数据 N
FMC_HPC_HA05_P	B68_L2_P	A19	FMC HA 第 5 路数据 P
FMC_HPC_HA06_N	B68_L22_N	J18	FMC HA 第 6 路数据 N
FMC_HPC_HA06_P	B68_L22_P	J19	FMC HA 第 6 路数据 P
FMC_HPC_HA07_N	B68_L4_N	B19	FMC HA 第 7 路数据 N
FMC_HPC_HA07_P	B68_L4_P	C19	FMC HA 第 7 路数据 P
FMC_HPC_HA08_N	B68_L18_N	H18	FMC HA 第 8 路数据 N
FMC_HPC_HA08_P	B68_L18_P	H19	FMC HA 第 8 路数据 P
FMC_HPC_HA09_N	B68_L7_N	C14	FMC HA 第 9 路数据 N
FMC_HPC_HA09_P	B68_L7_P	D14	FMC HA 第 9 路数据 P
FMC_HPC_HA10_N	B68_L1_N	A14	FMC HA 第 10 路数据 N
FMC_HPC_HA10_P	B68_L1_P	B14	FMC HA 第 10 路数据 P
FMC_HPC_HA11_N	B68_L5_N	B16	FMC HA 第 11 路数据 N
FMC_HPC_HA11_P	B68_L5_P	B17	FMC HA 第 11 路数据 P
FMC_HPC_HA12_N	B68_L16_N	F19	FMC HA 第 12 路数据 N
FMC_HPC_HA12_P	B68_L16_P	G19	FMC HA 第 12 路数据 P
FMC_HPC_HA13_N	B68_L3_N	A15	FMC HA 第 13 路数据 N
FMC_HPC_HA13_P	B68_L3_P	B15	FMC HA 第 13 路数据 P
FMC_HPC_HA14_N	B68_L23_N	J16	FMC HA 第 14 路数据 N
FMC_HPC_HA14_P	B68_L23_P	K16	FMC HA 第 14 路数据 P
FMC_HPC_HA15_N	B68_L20_N	K17	FMC HA 第 15 路数据 N
FMC_HPC_HA15_P	B68_L20_P	K18	FMC HA 第 15 路数据 P
FMC_HPC_HA16_N	B68_L10_N	D18	FMC HA 第 16 路数据 N

FMC_HPC_HA16_P	B68_L10_P	D19	FMC HA 第 16 路数据 P
FMC_HPC_HA17_CC_N	B68_L13_N	G16	FMC HA 第 17 路数据 (时钟) N
FMC_HPC_HA17_CC_P	B68_L13_P	G17	FMC HA 第 17 路数据 (时钟) P
FMC_HPC_HA18_N	B68_L21_N	K15	FMC HA 第 18 路数据 N
FMC_HPC_HA18_P	B68_L21_P	L15	FMC HA 第 18 路数据 P
FMC_HPC_HA19_N	B68_L15_N	G14	FMC HA 第 19 路数据 N
FMC_HPC_HA19_P	B68_L15_P	G15	FMC HA 第 19 路数据 P
FMC_HPC_HA20_N	B68_L11_N	D16	FMC HA 第 20 路数据 N
FMC_HPC_HA20_P	B68_L11_P	E16	FMC HA 第 20 路数据 P
FMC_HPC_HA21_N	B68_L19_N	J14	FMC HA 第 21 路数据 N
FMC_HPC_HA21_P	B68_L19_P	J15	FMC HA 第 21 路数据 P
FMC_HPC_HA22_N	B68_L8_N	D15	FMC HA 第 22 路数据 N
FMC_HPC_HA22_P	B68_L8_P	E15	FMC HA 第 22 路数据 P
FMC_HPC_HA23_N	B68_L9_N	F14	FMC HA 第 23 路数据 N
FMC_HPC_HA23_P	B68_L9_P	F15	FMC HA 第 23 路数据 P
FMC_HPC_SCL	B66_L17_N	K12	FMC I2C 总线时钟
FMC_HPC_SDA	B66_L17_P	L12	FMC I2C 总线数据
FMC_GBTCLK0_M2C_P	227_CLK1_P	M6	收发器参考时钟 0 输入 P
FMC_GBTCLK0_M2C_N	227_CLK1_N	M5	收发器参考时钟 0 输入 N
FMC_GBTCLK1_M2C_P	228_CLK1_P	H6	收发器参考时钟 1 输入 P
FMC_GBTCLK1_M2C_N	228_CLK1_N	H5	收发器参考时钟 1 输入 N
FMC_DP0_M2C_P	227_RX0_P	M2	收发器数据 0 输入 P
FMC_DP0_M2C_N	227_RX0_N	M1	收发器数据 0 输入 N
FMC_DP1_M2C_P	227_RX1_P	K2	收发器数据 1 输入 P
FMC_DP1_M2C_N	227_RX1_N	K1	收发器数据 1 输入 N
FMC_DP2_M2C_P	227_RX2_P	H2	收发器数据 2 输入 P
FMC_DP2_M2C_N	227_RX2_N	H1	收发器数据 2 输入 N
FMC_DP3_M2C_P	227_RX3_P	F2	收发器数据 3 输入 P
FMC_DP3_M2C_N	227_RX3_N	F1	收发器数据 3 输入 N
FMC_DP4_M2C_P	228_RX1_P	D2	收发器数据 4 输入 P
FMC_DP4_M2C_N	228_RX1_N	D1	收发器数据 4 输入 N
FMC_DP5_M2C_P	228_RX3_P	A4	收发器数据 5 输入 P
FMC_DP5_M2C_N	228_RX3_N	A3	收发器数据 5 输入 N

FMC_DP6_M2C_P	228_RX2_P	B2	收发器数据 6 输入 P
FMC_DP6_M2C_N	228_RX2_N	B1	收发器数据 6 输入 N
FMC_DP7_M2C_P	228_RX0_P	E4	收发器数据 7 输入 P
FMC_DP7_M2C_N	228_RX0_N	E3	收发器数据 7 输入 N
FMC_DP0_C2M_P	227_TX0_P	N4	收发器数据 0 输出 P
FMC_DP0_C2M_N	227_TX0_N	N3	收发器数据 0 输出 N
FMC_DP1_C2M_P	227_TX1_P	L4	收发器数据 1 输出 P
FMC_DP1_C2M_N	227_TX1_N	L3	收发器数据 1 输出 N
FMC_DP2_C2M_P	227_TX2_P	J4	收发器数据 2 输出 P
FMC_DP2_C2M_N	227_TX2_N	J3	收发器数据 2 输出 N
FMC_DP3_C2M_P	227_TX3_P	G4	收发器数据 3 输出 P
FMC_DP3_C2M_N	227_TX3_N	G3	收发器数据 3 输出 N
FMC_DP4_C2M_P	228_TX1_P	D6	收发器数据 4 输出 P
FMC_DP4_C2M_N	228_TX1_N	D5	收发器数据 4 输出 N
FMC_DP5_C2M_P	228_TX3_P	B6	收发器数据 5 输出 P
FMC_DP5_C2M_N	228_TX3_N	B5	收发器数据 5 输出 N
FMC_DP6_C2M_P	228_TX2_P	C4	收发器数据 6 输出 P
FMC_DP6_C2M_N	228_TX2_N	C3	收发器数据 6 输出 N
FMC_DP7_C2M_P	228_TX0_P	F6	收发器数据 7 输出 P
FMC_DP7_C2M_N	228_TX0_N	F5	收发器数据 7 输出 N

(七) SD 卡槽

AXKU062开发板包含了一个Micro型的SD卡接口，以提供用户访问SD卡存储器，用于存储图片，音乐或者其他用户数据文件。

信号与FPGA的 BANK64的IO信号相连，FPGA和SD卡连接器的原理图如图2-7-1所示。

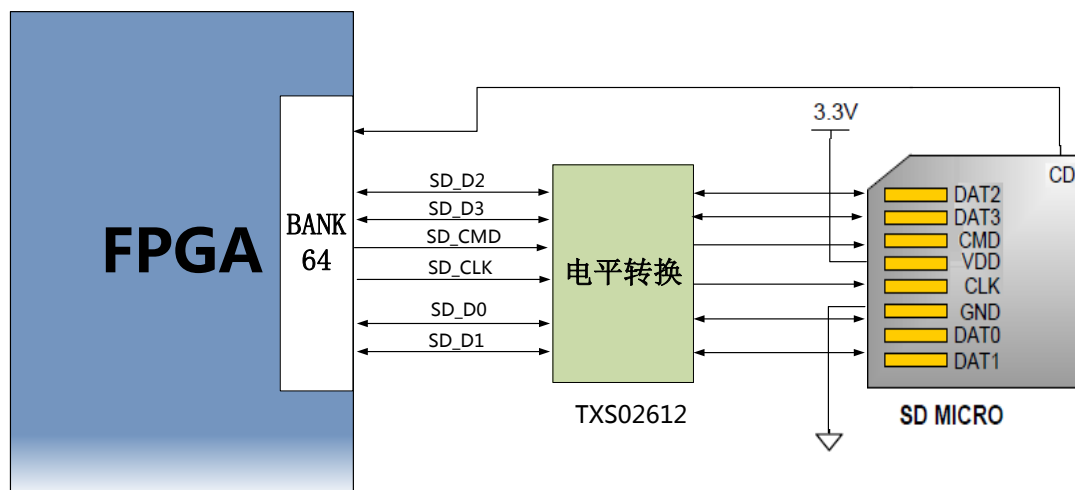


图 2-7-1 SD 卡连接示意图

SD 卡槽引脚分配

信号名称	FPGA 引脚名	FPGA 引脚号	备注
SD_CLK	B64_L22_P	AN8	SD时钟信号
SD_CMD	B64_L19_N	AM10	SD命令信号
SD_D0	B64_L5_N	AL12	SD数据Data0
SD_D1	B64_L19_P	AL10	SD数据Data1
SD_D2	B64_L2_P	AN13	SD数据Data2
SD_D3	B64_L2_N	AP13	SD数据Data3
SD_CD	B64_L22_N	AP8	SD卡插入信号

(八) SMA 接口

AXKU062 开发板提供 2 路 SMA 接口，差分信号连接到 BANK66 普通时钟 IO 口，为客户提供外接时钟接口或是可以按照普通 IO 口来看，接口电平为 1.8V。

FPGA 和 SMA 接口连接示意图，如图 2-8-1 所示。

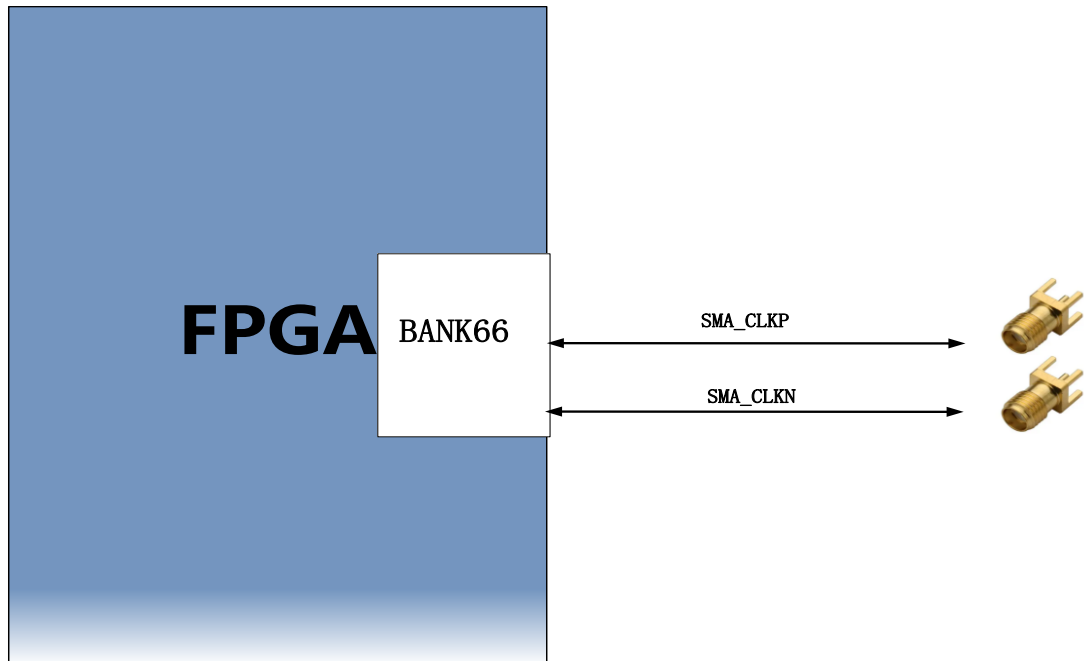


图 2-8-1 SMA 连接器示意图

SMA 接口引脚分配

信号名称	FPGA 引脚名	FPGA 引脚号	备注
SMA_CLKIN_N	B66_L14_N	G12	收发器时钟信号N
SMA_CLKIN_P	B66_L14_P	H12	收发器时钟信号P

(九) 温度传感器和 EEPROM

AXKU062 开发板上安装了一个高精度、低功耗、数字温度传感器芯片，型号为 ON Semiconductor 公司的 LM75A。LM75A 芯片的温度精度为 0.5 度，传感器和 FPGA 直接为 I2C 数字接口，FPGA 通过 I2C 接口来读取当前开发板附近的温度。跟 I2C 总线连接的还有一片 4K 字节大小的 EEPROM，型号为 24LC04。

LM75 传感器和 EEPROM 芯片的设计示意图如图 2-9-1

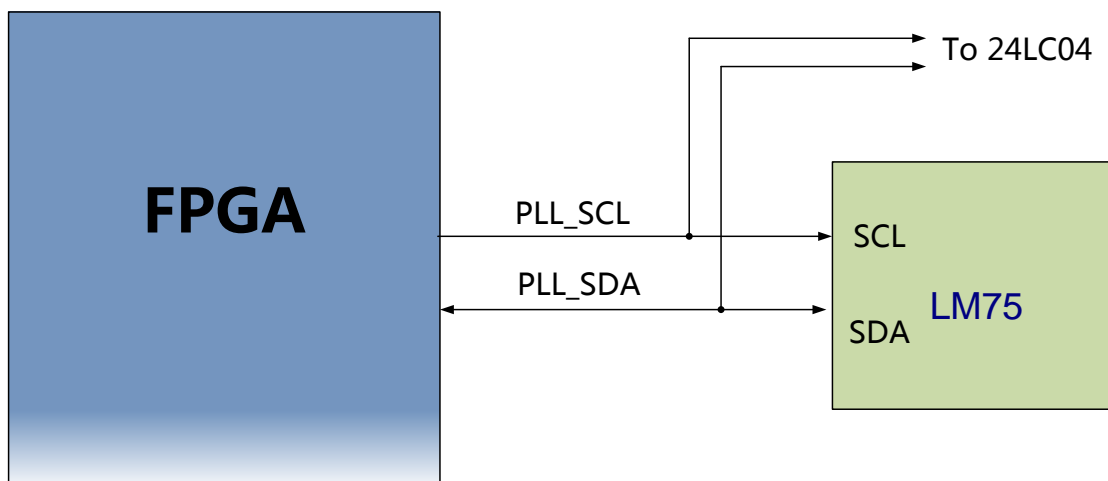


图 2-9-1 I2C 连接示意图

I2C 引脚分配：

引脚名称	FPGA 引脚名	FPGA 引脚
I2C_SDA	B66_L16_N	K13
I2C_SCL	B66_L16_P	L13

(十) LED 灯

AXKU062 底板上有 7 个发光二极管 LED,包括 1 个电源指示灯；4 个 FPGA 控制指示灯，还有 2 个面板指示灯。当开发板上电后电源指示灯会亮起，4 个用户 LED 灯和 2 个面板指示灯连接到 FPGA BANK65 和 BANK66 的 IO 上，用户可以通过程序来控制亮和灭，当连接用户 LED 灯的 IO 电压为低时，用户 LED 灯熄灭，当连接 IO 电压为高时，用户 LED 会被点亮。用户 LED 灯硬件连接的示意图如图 2-10-1 所示：

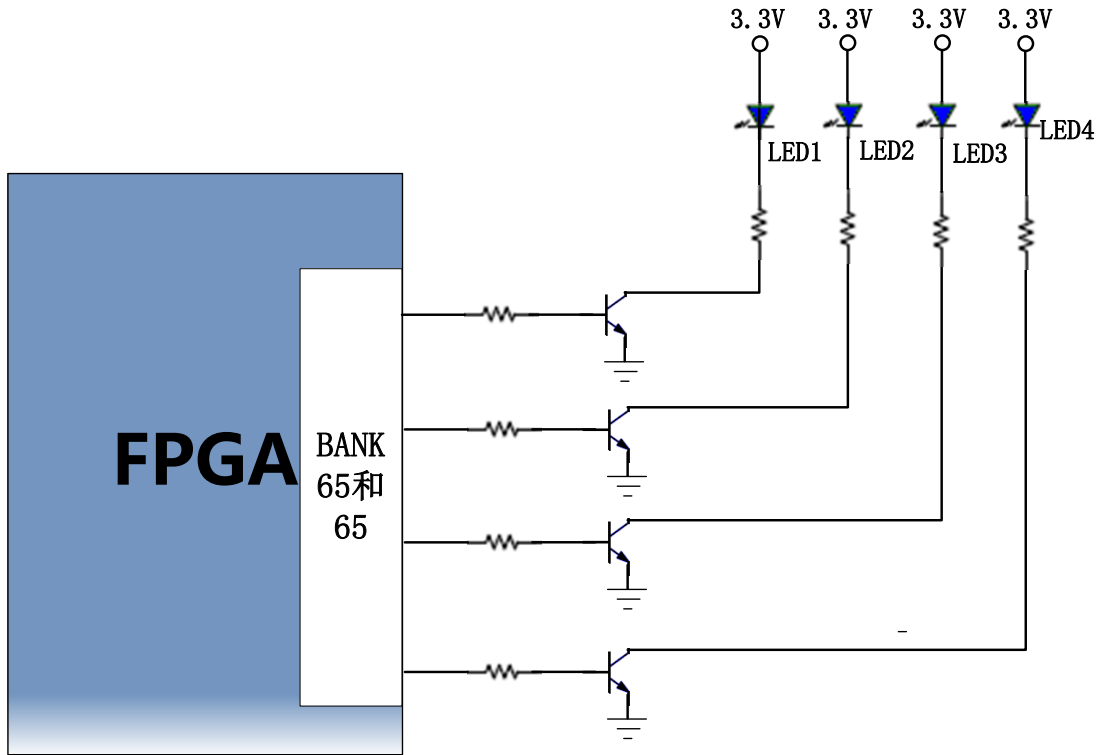


图 2-10-1 用户 LED

面板指示灯如图 2-10-2

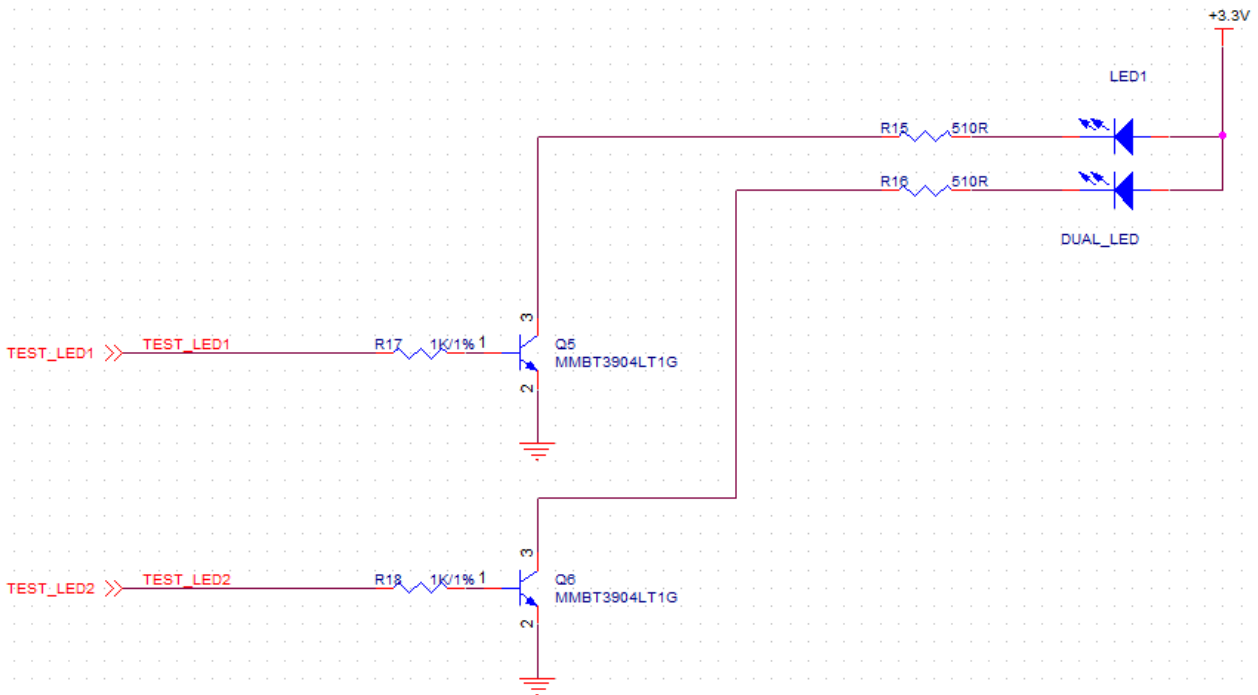


图 2-10-2 面板 LED

LED 灯管脚分配

信号名称	FPGA 引脚名	FPGA 引脚号	备注
LED1	B66_T3U	E12	用户定义指示灯
LED2	B66_T2U	F12	用户定义指示灯
LED3	B66_T1U	L9	用户定义指示灯
LED4	B65_T0U	H23	用户定义指示灯
TEST_LED1	B66_L22_N	E13	面板指示灯
TEST_LED2	B66_L22_P	F13	面板指示灯

(十一) 按键

AXKU062 开发板上有 2 个按键，其中 1 个复位按键。1 个用户按键，用户按键和复位按键连接到 FPGA BANK65 的 IO 上。用户按键低电平有效，为客户实现板子某些功能；复位按键用于系统复位。

按键的连接示意图如图 2-11-1 所示：

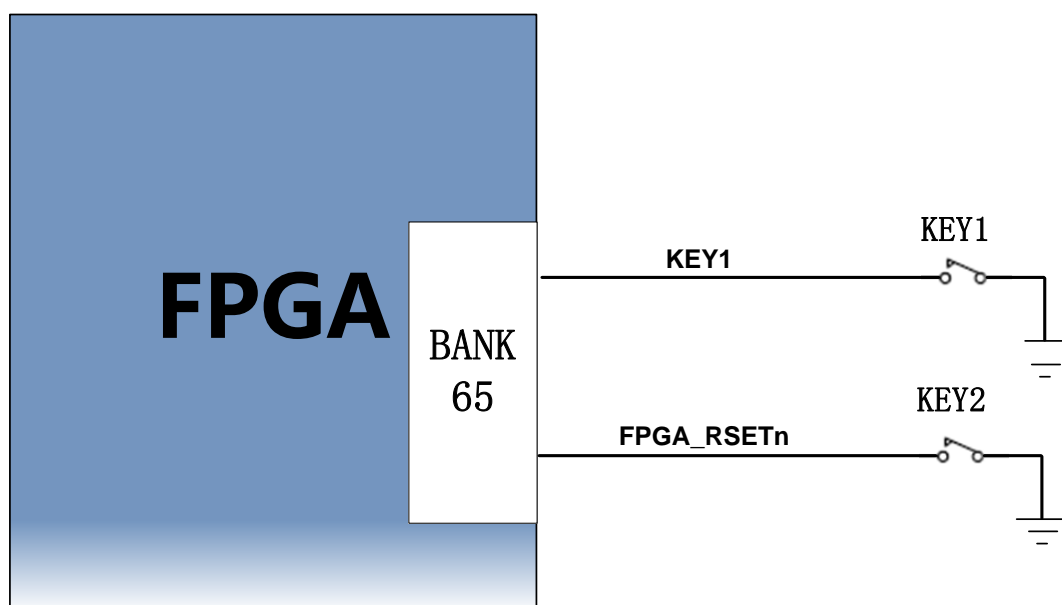


图 2-11-1 按键连接

按键的 FPGA 管脚分配：

信号名称	FPGA 引脚名	FPGA 引脚号	备注
------	----------	----------	----

KEY1	B65_T1U	N23	用户按键
FPGA_RSETN	B65_T2U	N27	系统复位

(十二) JTAG 调试口

在 AXKU062 开发板上预留了一个 JTAG 接口，用于下载 FPGA 程序或者固化程序到 FLASH。为了带电插拔造成对 FPGA 芯片的损坏，我们在 JTAG 信号上添加了保护二极管来保证信号的电压在 FPGA 接受的范围，避免 FPGA 的损坏。

JTAG 的原理图如图 2-12-1

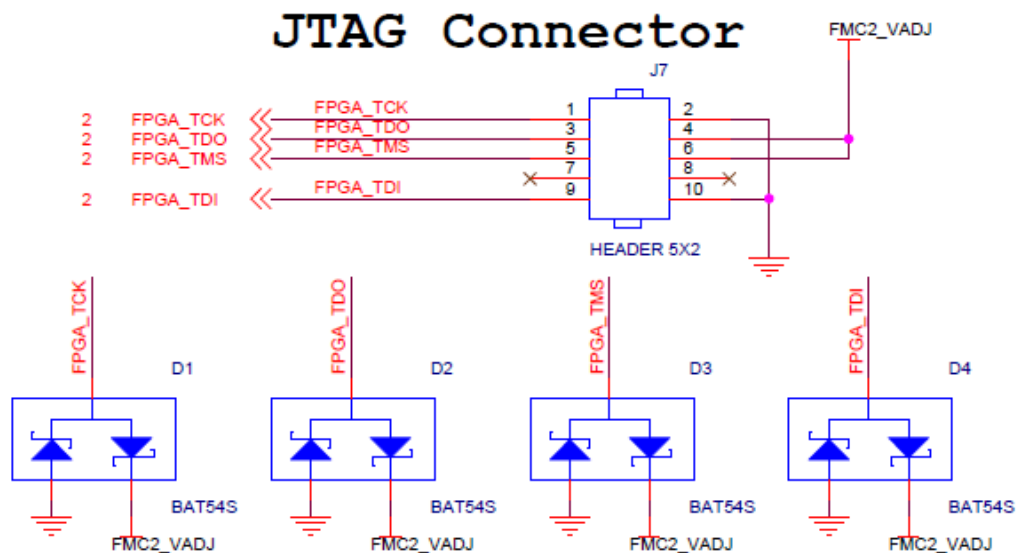


图 2-12-1 JTAG 连接图

(十三) 电源

开发板的电源输入电压为 DC12V，外接+12V 电源或者通过 PCIE 给板子供电。外接电源供电时请使用开发板自带的电源，不要用其他规格电源，以免损坏开发板。

板上的电源设计示意图如下图 2-13-1 所示：

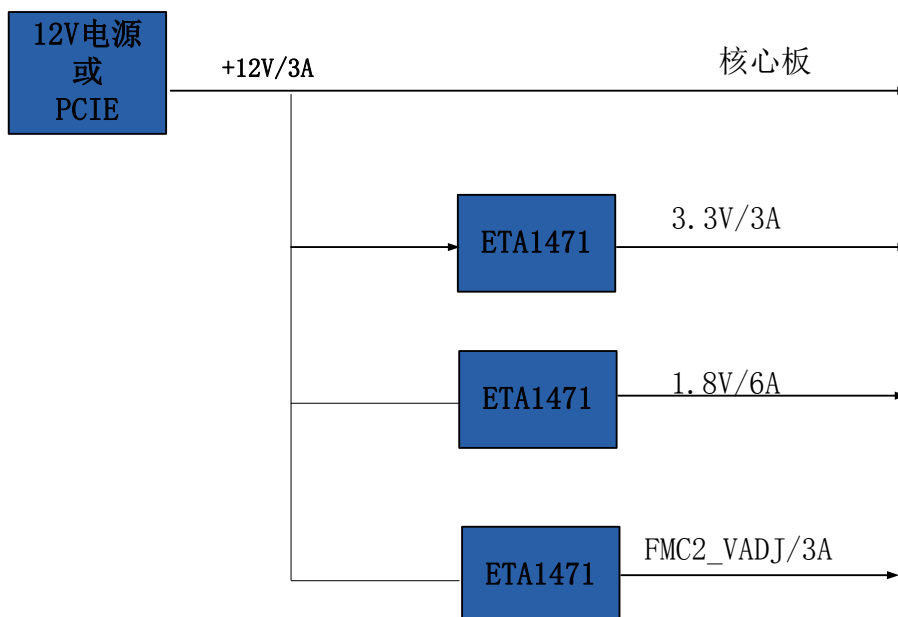


图 2-13-1 原理图中电源接口部分

(十四) 风扇

因为 FPGA 正常工作时会产生大量的热量，我们在板上为芯片增加了一个散热片和风扇，防止芯片过热。风扇的控制由 FPGA 芯片来控制，控制管脚连接到 BANK48 的 IO 上，如果 IO 电平输出为高，MOSFET 管导通，风扇工作。板上的风扇设计图如下图 2-14-1 所示：

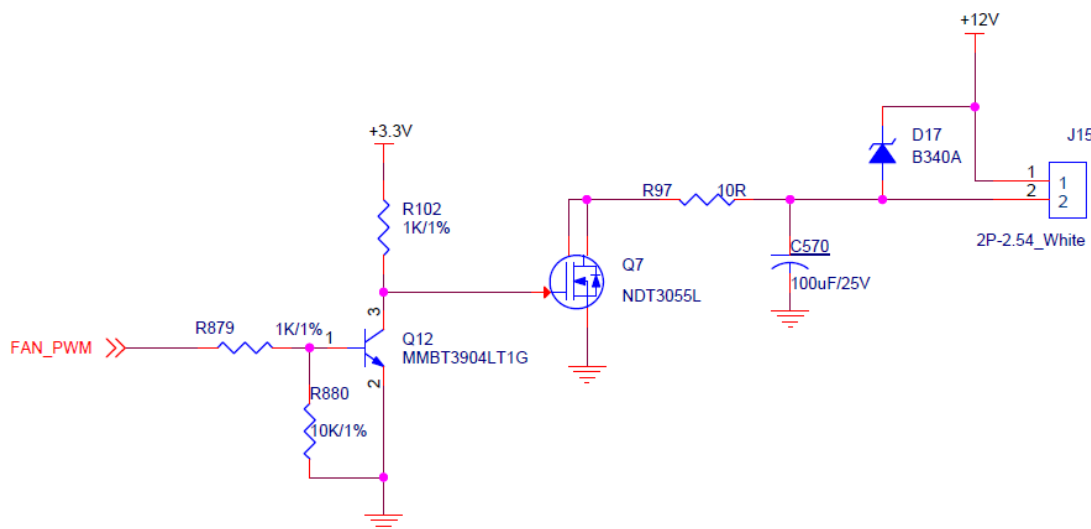
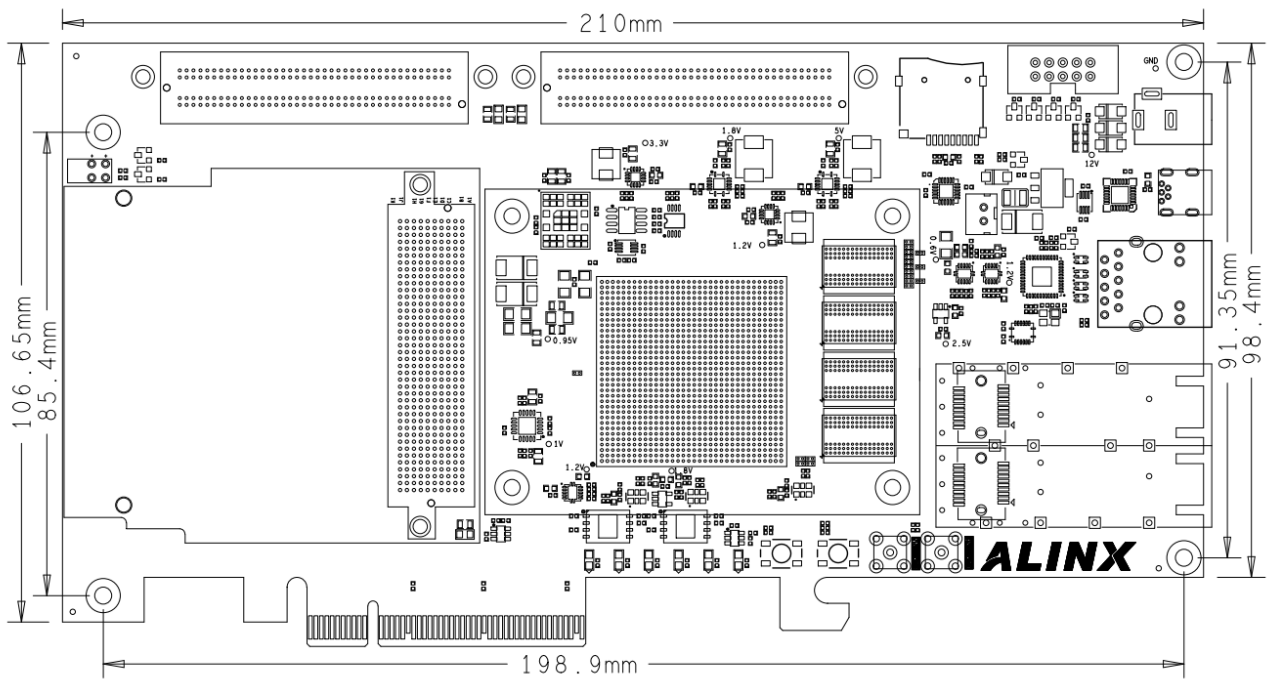


图 2-14-1

风扇的控制引脚分配：

信号名称	FPGA 引脚名	FPGA 引脚号	备注
FAN_PWM	B64_T0U	AK11	风扇控制引脚

(十五) 结构尺寸图



正面图 (Top View)