

**Zynq UltraScale+**  
**开发平台**  
**ACU9EG 核心板**

**ALINX**

## 文档版本控制

文档版本	修改内容记录
REV1.0	创建文档

## 目 录

文档版本控制.....	2
(一) 简介.....	4
(二) ZYNQ 芯片.....	5
(三) DDR4 DRAM.....	6
(四) QSPI Flash.....	13
(五) eMMC Flash.....	14
(六) 时钟配置.....	16
(七) 电源.....	18
(八) 结构图.....	19
(九) 连接器管脚定义.....	19

## (一) 简介

ACU9EG(核心板型号,下同)核心板, ZYNQ 芯片是基于 XILINX 公司的 Zynq UltraScale+ MPSoCs EG 系列的 XCZU9EG-2FFVB1156I。

这款核心板使用了 6 片 Micron 的 DDR4 芯片 MT40A512M16GE,其中 PS 端挂载 4 片 DDR4, 组成 64 位数据总线带宽和 4GB 的容量。PL 端挂载 2 片, 为 32 位的数据总线宽度和 2GB 的容量。PS 端的 DDR4 SDRAM 的最高运行速度可达 1200MHz(数据速率 2400Mbps), PL 端的 DDR4 SDRAM 的最高运行速度可达 1200MHz(数据速率 2400Mbps)。另外核心板上也集成了 2 片 256MBit 大小的 QSPI FLASH 和 8GB 大小的 eMMC FLASH 芯片, 用于启动存储配置和系统文件。

为了和底板连接, 这款核心板的 4 个板对板连接器扩展出了 PS 端的 USB2.0 接口, 千兆以太网接口, SD 卡接口及其它剩余的 MIO 口; 也扩展出了 4 对 PS MGT 高速收发器接口; 以及 PL 端的 16 路 GTH 收发器和几乎所有 IO 口(HP I/O: 96 个, HD I/O: 66 个), XCZU9EG 芯片到接口之间走线做了等长和差分处理, 并且核心板尺寸仅为 80\*60 (mm), 对于二次开发来说, 非常适合。



ACU9EG 核心板正面图

## (二) ZYNQ 芯片

开发板使用的是 Xilinx 公司的 Zynq UltraScale+ MPSoCs EG 系列的系列的芯片，型号为 XCZU9EG-2FFVB1156I。ZU9EG 芯片的 PS 系统集成了 4 个 ARM Cortex™-A53 处理器，速度高达 1.3Ghz，支持 2 级 Cache；另外 ZU9EG 还包含 2 个 Cortex-R5 处理器（速度高达 533Mhz）。

ZU9EG 芯片支持 32 位或者 64 位的 DDR4，LPDDR4，DDR3,DDR3L, LPDDR3 存储芯片，在 PS 端带有丰富的高速接口如 PCIE Gen2, USB3.0, SATA 3.1, DisplayPort；同时另外也支持 USB2.0, 千兆以太网, SD/SDIO, I2C, CAN, UART, GPIO 等接口。PL 端内部含有丰富的可编程逻辑单元，DSP 和内部 RAM。ZU9EG 芯片的总体框图如图 2-2-1 所示

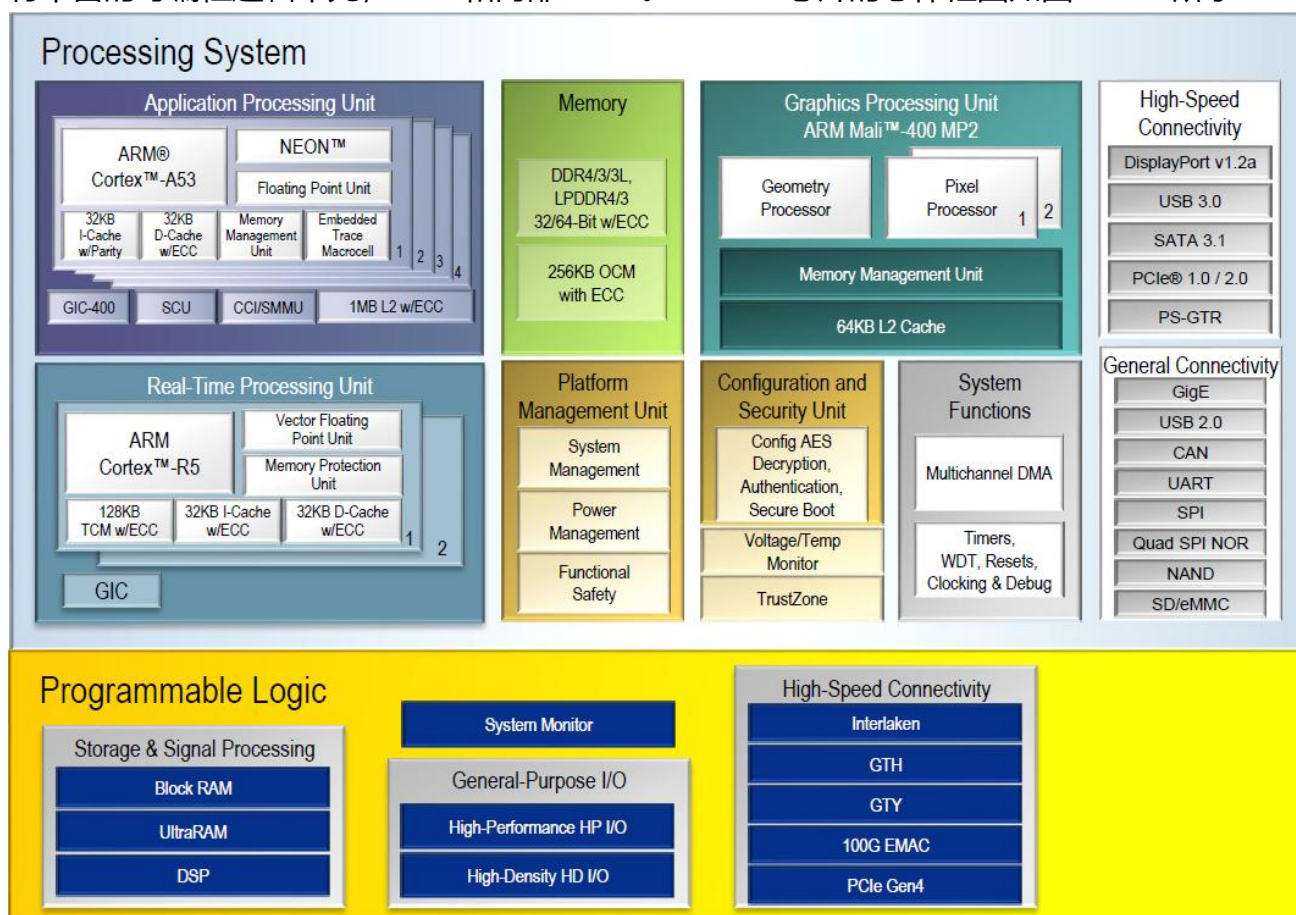


图2-2-1 ZYNQ ZU9EG芯片的总体框图

其中 PS 系统部分的主要参数如下：

- ARM 四核 Cortex™-A53 处理器，速度高达 1.3GHz，每个 CPU 32KB 1 级指令和数据缓存，1MB 2 级缓存 2 个 CPU 共享。
- ARM 双核 Cortex-R5 处理器，速度高达 533MHz，每个 CPU 32KB 1 级指令和数据缓存，及 128K 紧耦合内存。
- 外部存储接口，支持 32/64bit DDR4/3/3L、LPDDR4/3 接口。

- 静态存储接口，支持 NAND, 2xQuad-SPI FLASH。
- 高速连接接口，支持 PCIe Gen2 x4, 2xUSB3.0, Sata 3.1, DisplayPort, 4x Tri-mode Gigabit Ethernet。
- 普通连接接口：2xUSB2.0, 2x SD/SDIO, 2x UART, 2x CAN 2.0B, 2x I2C, 2x SPI, 4x 32b GPIO。
- 电源管理：支持 Full/Low/PL/Battery 四部分电源的划分。
- 加密算法：支持 RSA, AES 和 SHA。
- 系统监控：10 位 1Mbps 的 AD 采样，用于温度和电压的检测。

其中 PL 逻辑部分的主要参数如下：

- 逻辑单元(System Logic Cells)：600K；
- 触发器(CLB flip-flops)：548K；
- 查找表(CLBLUTs)：274K；
- Block RAM：32.1Mb；
- 时钟管理单元 (CMTs)：4 个
- DSP Slices：2520 个
- GTH 16.3Gb/s 收发器：24 个

XCZU9EG-2FFVB1156I芯片的速度等级为-2，工业级，封装为FFVB1156。

### (三) DDR4 DRAM

ACU9EG核心板上配有6片Micron(美光) 的1GB的DDR4芯片,型号为MT40A512M16LY-062E, 其中PS端挂载4片DDR4, 组成64位数据总线带宽和4GB的容量。PL端挂载2片, 为32位的数据总线宽度和2GB的容量。PS端的DDR4 SDRAM的最高运行速度可达1200MHz(数据速率2400Mbps), 4片DDR4存储系统直接连接到了PS的BANK504的存储器接口上。PL端的DDR4 SDRAM的最高运行速度可达1200MHz(数据速率2400Mbps), 2片DDR4连接到了FPGA的BANK64, 65的接口上。DDR4 SDRAM的具体配置如下表2-3-1所示。

位号	芯片型号	容量	厂家
U4,U5,U6,U7	MT40A512M16LY-062E	512M x 16bit	Micron

表 2-3-1 DDR4 SDRAM 配置

DDR4 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制，走线等长控制，保证 DDR4 的高速稳定的工作。

PS 端的 DDR4 的硬件连接方式如图 2-3-1 所示:

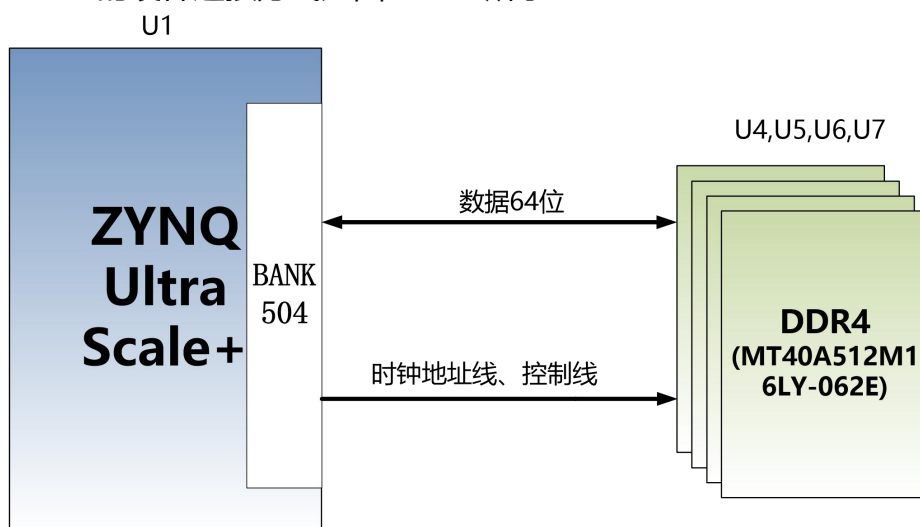


图2-3-1 PS端DDR4 DRAM原理图部分

PL 端的 DDR4 DRAM 的硬件连接方式如图 2-3-2 所示:

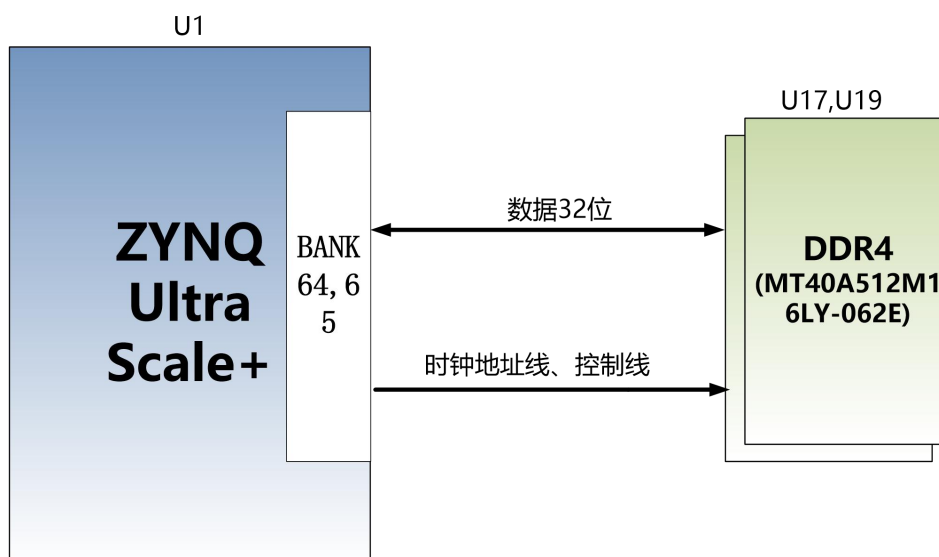


图2-3-2 PL端DDR4 DRAM原理图部分

**PS 端 DDR4 SDRAM 引脚分配:**

信号名称	引脚名	引脚号
PS_DDR4_DQS0_N	PS_DDR_DQS_N0_504	AN19
PS_DDR4_DQS0_P	PS_DDR_DQS_P0_504	AN18
PS_DDR4_DQS1_N	PS_DDR_DQS_N1_504	AN22
PS_DDR4_DQS1_P	PS_DDR_DQS_P1_504	AN21
PS_DDR4_DQS2_N	PS_DDR_DQS_N2_504	AJ19
PS_DDR4_DQS2_P	PS_DDR_DQS_P2_504	AH19



PS_DDR4_DQS3_N	PS_DDR_DQS_N3_504	AH23
PS_DDR4_DQS3_P	PS_DDR_DQS_P3_504	AH22
PS_DDR4_DQS4_N	PS_DDR_DQS_N4_504	AH29
PS_DDR4_DQS4_P	PS_DDR_DQS_P4_504	AH28
PS_DDR4_DQS5_N	PS_DDR_DQS_N5_504	AE29
PS_DDR4_DQS5_P	PS_DDR_DQS_P5_504	AE28
PS_DDR4_DQS6_N	PS_DDR_DQS_N6_504	AK32
PS_DDR4_DQS6_P	PS_DDR_DQS_P6_504	AJ32
PS_DDR4_DQS7_N	PS_DDR_DQS_N7_504	AE33
PS_DDR4_DQS7_P	PS_DDR_DQS_P7_504	AE32
PS_DDR4_DQ0	PS_DDR_DQ0_504	AP20
PS_DDR4_DQ1	PS_DDR_DQ1_504	AP18
PS_DDR4_DQ2	PS_DDR_DQ2_504	AP19
PS_DDR4_DQ3	PS_DDR_DQ3_504	AP17
PS_DDR4_DQ4	PS_DDR_DQ4_504	AM20
PS_DDR4_DQ5	PS_DDR_DQ5_504	AM19
PS_DDR4_DQ6	PS_DDR_DQ6_504	AM18
PS_DDR4_DQ7	PS_DDR_DQ7_504	AL18
PS_DDR4_DQ8	PS_DDR_DQ8_504	AP22
PS_DDR4_DQ9	PS_DDR_DQ9_504	AP21
PS_DDR4_DQ10	PS_DDR_DQ10_504	AP24
PS_DDR4_DQ11	PS_DDR_DQ11_504	AN23
PS_DDR4_DQ12	PS_DDR_DQ12_504	AL21
PS_DDR4_DQ13	PS_DDR_DQ13_504	AL22
PS_DDR4_DQ14	PS_DDR_DQ14_504	AM23
PS_DDR4_DQ15	PS_DDR_DQ15_504	AL23
PS_DDR4_DQ16	PS_DDR_DQ16_504	AL20
PS_DDR4_DQ17	PS_DDR_DQ17_504	AK20
PS_DDR4_DQ18	PS_DDR_DQ18_504	AJ20
PS_DDR4_DQ19	PS_DDR_DQ19_504	AK18
PS_DDR4_DQ20	PS_DDR_DQ20_504	AG20
PS_DDR4_DQ21	PS_DDR_DQ21_504	AH18
PS_DDR4_DQ22	PS_DDR_DQ22_504	AG19
PS_DDR4_DQ23	PS_DDR_DQ23_504	AG18
PS_DDR4_DQ24	PS_DDR_DQ24_504	AG21



PS_DDR4_DQ25	PS_DDR_DQ25_504	AH21
PS_DDR4_DQ26	PS_DDR_DQ26_504	AG24
PS_DDR4_DQ27	PS_DDR_DQ27_504	AG23
PS_DDR4_DQ28	PS_DDR_DQ28_504	AK22
PS_DDR4_DQ29	PS_DDR_DQ29_504	AJ21
PS_DDR4_DQ30	PS_DDR_DQ30_504	AJ22
PS_DDR4_DQ31	PS_DDR_DQ31_504	AK23
PS_DDR4_DQ32	PS_DDR_DQ32_504	AG31
PS_DDR4_DQ33	PS_DDR_DQ33_504	AG30
PS_DDR4_DQ34	PS_DDR_DQ34_504	AG29
PS_DDR4_DQ35	PS_DDR_DQ35_504	AG28
PS_DDR4_DQ36	PS_DDR_DQ36_504	AJ30
PS_DDR4_DQ37	PS_DDR_DQ37_504	AK29
PS_DDR4_DQ38	PS_DDR_DQ38_504	AK30
PS_DDR4_DQ39	PS_DDR_DQ39_504	AJ29
PS_DDR4_DQ40	PS_DDR_DQ40_504	AE27
PS_DDR4_DQ41	PS_DDR_DQ41_504	AF28
PS_DDR4_DQ42	PS_DDR_DQ42_504	AF30
PS_DDR4_DQ43	PS_DDR_DQ43_504	AF31
PS_DDR4_DQ44	PS_DDR_DQ44_504	AD28
PS_DDR4_DQ45	PS_DDR_DQ45_504	AD27
PS_DDR4_DQ46	PS_DDR_DQ46_504	AD29
PS_DDR4_DQ47	PS_DDR_DQ47_504	AD30
PS_DDR4_DQ48	PS_DDR_DQ48_504	AH33
PS_DDR4_DQ49	PS_DDR_DQ49_504	AJ34
PS_DDR4_DQ50	PS_DDR_DQ50_504	AH34
PS_DDR4_DQ51	PS_DDR_DQ51_504	AH32
PS_DDR4_DQ52	PS_DDR_DQ52_504	AK34
PS_DDR4_DQ53	PS_DDR_DQ53_504	AK33
PS_DDR4_DQ54	PS_DDR_DQ54_504	AL32
PS_DDR4_DQ55	PS_DDR_DQ55_504	AL31
PS_DDR4_DQ56	PS_DDR_DQ56_504	AG33
PS_DDR4_DQ57	PS_DDR_DQ57_504	AG34
PS_DDR4_DQ58	PS_DDR_DQ58_504	AF32
PS_DDR4_DQ59	PS_DDR_DQ59_504	AF33

PS_DDR4_DQ60	PS_DDR_DQ60_504	AD31
PS_DDR4_DQ61	PS_DDR_DQ61_504	AD32
PS_DDR4_DQ62	PS_DDR_DQ62_504	AD34
PS_DDR4_DQ63	PS_DDR_DQ63_504	AD33
PS_DDR4_DM0	PS_DDR_DM0_504	AG20
PS_DDR4_DM1	PS_DDR_DM0_504	AN17
PS_DDR4_DM2	PS_DDR_DM1_504	AM21
PS_DDR4_DM3	PS_DDR_DM2_504	AK19
PS_DDR4_DM4	PS_DDR_DM3_504	AH24
PS_DDR4_DM5	PS_DDR_DM4_504	AH31
PS_DDR4_DM6	PS_DDR_DM5_504	AE30
PS_DDR4_DM7	PS_DDR_DM6_504	AJ31
PS_DDR4_A0	PS_DDR_A0_504	AP29
PS_DDR4_A1	PS_DDR_A1_504	AP30
PS_DDR4_A2	PS_DDR_A2_504	AP26
PS_DDR4_A3	PS_DDR_A3_504	AP27
PS_DDR4_A4	PS_DDR_A4_504	AP25
PS_DDR4_A5	PS_DDR_A5_504	AN24
PS_DDR4_A6	PS_DDR_A6_504	AM29
PS_DDR4_A7	PS_DDR_A7_504	AM28
PS_DDR4_A8	PS_DDR_A8_504	AM26
PS_DDR4_A9	PS_DDR_A9_504	AM25
PS_DDR4_A10	PS_DDR_A10_504	AL28
PS_DDR4_A11	PS_DDR_A11_504	AK27
PS_DDR4_A12	PS_DDR_A12_504	AJ25
PS_DDR4_A13	PS_DDR_A13_504	AL25
PS_DDR4_WE_B	PS_DDR_A14_504	AK25
PS_DDR4_CAS_B	PS_DDR_A15_504	AK24
PS_DDR4_RAS_B	PS_DDR_A16_504	AM24
PS_DDR4_ACT_B	PS_DDR_ACT_N_504	AG25
PS_DDR4_ALERT_B	PS_DDR_ALERT_N_504	AF22
PS_DDR4_BA0	PS_DDR_BA0_504	AH26
PS_DDR4_BA1	PS_DDR_BA1_504	AG26
PS_DDR4_BG0	PS_DDR_BG0_504	AK28
PS_DDR4_CS0_B	PS_DDR_CS_N0_504	AN28

PS_DDR4_ODT0	PS_DDR_ODT0_504	AM30
PS_DDR4_PARITY	PS_DDR_PARITY_504	AF20
PS_DDR4_RESET_B	PS_DDR_RST_N_504	AF21
PS_DDR4_CLK0_P	PS_DDR_CK0_504	AN26
PS_DDR4_CLK0_N	PS_DDR_CK_N0_504	AN27
PS_DDR4_CKE0	PS_DDR_CKE0_504	AN29

### PL 端 DDR4 SDRAM 引脚分配:

信号名称	引脚名	引脚号
PL_DDR4_DQS0_N	IO_L22N_T3U_N7_DBC_AD0N_65	AJ1
PL_DDR4_DQS0_P	IO_L22P_T3U_N6_DBC_AD0P_65	AH1
PL_DDR4_DQS1_N	IO_L16N_T2U_N7_QBC_AD3N_65	AJ5
PL_DDR4_DQS1_P	IO_L16P_T2U_N6_QBC_AD3P_65	AJ6
PL_DDR4_DQS2_N	IO_L10N_T1U_N7_QBC_AD4N_65	AF8
PL_DDR4_DQS2_P	IO_L10P_T1U_N6_QBC_AD4P_65	AE8
PL_DDR4_DQS3_N	IO_L4N_T0U_N7_DBC_AD7N_65	AG11
PL_DDR4_DQS3_P	IO_L4P_T0U_N6_DBC_AD7P_65	AF11
PL_DDR4_DQ0	IO_L24P_T3U_N10_I2C_SDA_65	AE2
PL_DDR4_DQ1	IO_L20P_T3L_N2_AD1P_65	AG3
PL_DDR4_DQ2	IO_L23N_T3U_N9_65	AD1
PL_DDR4_DQ3	IO_L21P_T3L_N4_AD8P_65	AF2
PL_DDR4_DQ4	IO_L23P_T3U_N8_I2C_SCLK_65	AD2
PL_DDR4_DQ5	IO_L20N_T3L_N3_AD1N_65	AH3
PL_DDR4_DQ6	IO_L24N_T3U_N11_PERSTN0_65	AE1
PL_DDR4_DQ7	IO_L21N_T3L_N5_AD8N_65	AF1
PL_DDR4_DQ8	IO_L17P_T2U_N8_AD10P_65	AE3
PL_DDR4_DQ9	IO_L15P_T2L_N4_AD11P_65	AH4
PL_DDR4_DQ10	IO_L18P_T2U_N10_AD2P_65	AD4
PL_DDR4_DQ11	IO_L14N_T2L_N3_GC_65	AG4
PL_DDR4_DQ12	IO_L18N_T2U_N11_AD2N_65	AE4
PL_DDR4_DQ13	IO_L14P_T2L_N2_GC_65	AG5
PL_DDR4_DQ14	IO_L17N_T2U_N9_AD10N_65	AF3
PL_DDR4_DQ15	IO_L15N_T2L_N5_AD11N_65	AJ4
PL_DDR4_DQ16	IO_L9N_T1L_N5_AD12N_65	AD6

PL_DDR4_DQ17	IO_L8P_T1L_N2_AD5P_65	AG8
PL_DDR4_DQ18	IO_L11P_T1U_N8_GC_65	AF6
PL_DDR4_DQ19	IO_L12N_T1U_N11_GC_65	AF7
PL_DDR4_DQ20	IO_L9P_T1L_N4_AD12P_65	AD7
PL_DDR4_DQ21	IO_L8N_T1L_N3_AD5N_65	AH8
PL_DDR4_DQ22	IO_L12P_T1U_N10_GC_65	AE7
PL_DDR4_DQ23	IO_L11N_T1U_N9_GC_65	AG6
PL_DDR4_DQ24	IO_L3P_T0L_N4_AD15P_65	AE12
PL_DDR4_DQ25	IO_L5N_T0U_N9_AD14N_65	AG9
PL_DDR4_DQ26	IO_L2N_T0L_N3_65	AH11
PL_DDR4_DQ27	IO_L6N_T0U_N11_AD6N_65	AE9
PL_DDR4_DQ28	IO_L2P_T0L_N2_65	AH12
PL_DDR4_DQ29	IO_L5P_T0U_N8_AD14P_65	AG10
PL_DDR4_DQ30	IO_L3N_T0L_N5_AD15N_65	AF12
PL_DDR4_DQ31	IO_L6P_T0U_N10_AD6P_65	AD10
PL_DDR4_DM0	IO_L19P_T3L_N0_DBC_AD9P_65	AH2
PL_DDR4_DM1	IO_L13P_T2L_N0_GC_QBC_65	AE5
PL_DDR4_DM2	IO_L7P_T1L_N0_QBC_AD13P_65	AH7
PL_DDR4_DM3	IO_L1P_T0L_N0_DBC_65	AE10
PL_DDR4_A0	IO_L5P_T0U_N8_AD14P_64	AN9
PL_DDR4_A1	IO_L16P_T2U_N6_QBC_AD3P_64	AN6
PL_DDR4_A2	IO_L10P_T1U_N6_QBC_AD4P_64	AN7
PL_DDR4_A3	IO_L15P_T2L_N4_AD11P_64	AP5
PL_DDR4_A4	IO_L11P_T1U_N8_GC_64	AK8
PL_DDR4_A5	IO_L10N_T1U_N7_QBC_AD4N_64	AP7
PL_DDR4_A6	IO_L3N_T0L_N5_AD15N_64	AM10
PL_DDR4_A7	IO_L7P_T1L_N0_QBC_AD13P_64	AN8
PL_DDR4_A8	IO_L11N_T1U_N9_GC_64	AK7
PL_DDR4_A9	IO_L4N_T0U_N7_DBC_AD7N_64	AP10
PL_DDR4_A10	IO_L14P_T2L_N2_GC_64	AM6
PL_DDR4_A11	IO_L8N_T1L_N3_AD5N_64	AM8
PL_DDR4_A12	IO_L15N_T2L_N5_AD11N_64	AP4
PL_DDR4_A13	IO_L7N_T1L_N1_QBC_AD13N_64	AP8
PL_DDR4_BA0	IO_L6P_T0U_N10_AD6P_64	AJ10
PL_DDR4_BA1	IO_L5N_T0U_N9_AD14N_64	AP9

PL_DDR4_RAS_B	IO_L4P_T0U_N6_DBC_AD7P_64	AP11
PL_DDR4_CAS_B	IO_L16N_T2U_N7_QBC_AD3N_64	AP6
PL_DDR4_WE_B	IO_L9P_T1L_N4_AD12P_64	AJ9
PL_DDR4_ACT_B	IO_L8P_T1L_N2_AD5P_64	AM9
PL_DDR4_CS_B	IO_L17N_T2U_N9_AD10N_64	AN4
PL_DDR4_CKE	IO_L6N_T0U_N11_AD6N_64	AK10
PL_DDR4_OTD	IO_L9N_T1L_N5_AD12N_64	AK9
PL_DDR4_BG0	IO_L3P_T0L_N4_AD15P_64	AL10
PL_DDR4_CLK_N	IO_L13N_T2L_N1_GC_QBC_64	AL5
PL_DDR4_CLK_P	IO_L13P_T2L_N0_GC_QBC_64	AL6
PL_DDR4_RST	IO_L14N_T2L_N3_GC_64	AM5

#### (四) QSPI Flash

ACU9EG 核心板配有 2 片 256MBit 大小的 Quad-SPI FLASH 芯片组成 8 位带宽数据总线, FLASH 型号为 MT25QU256ABA1EW9-0SIT, 它使用 1.8V CMOS 电压标准。由于 QSPI FLASH 的非易失特性, 在使用中, 它可以作为系统的启动设备来存储系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、ARM 的应用程序代码以及其它的用户数据文件。QSPI FLASH 的具体型号和相关参数见表 2-4-1。

位号	芯片类型	容量	厂家
U2,U3	MT25QU256ABA1EW9-0SIT	256M bit	Micron

表2-4-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 ZYNQ 芯片的 PS 部分 BANK500 的 GPIO 口上, 在系统设计中需要配置这些 PS 端的 GPIO 口功能为 QSPI FLASH 接口。为图 4-1 为 QSPI Flash 在原理图中的部分。

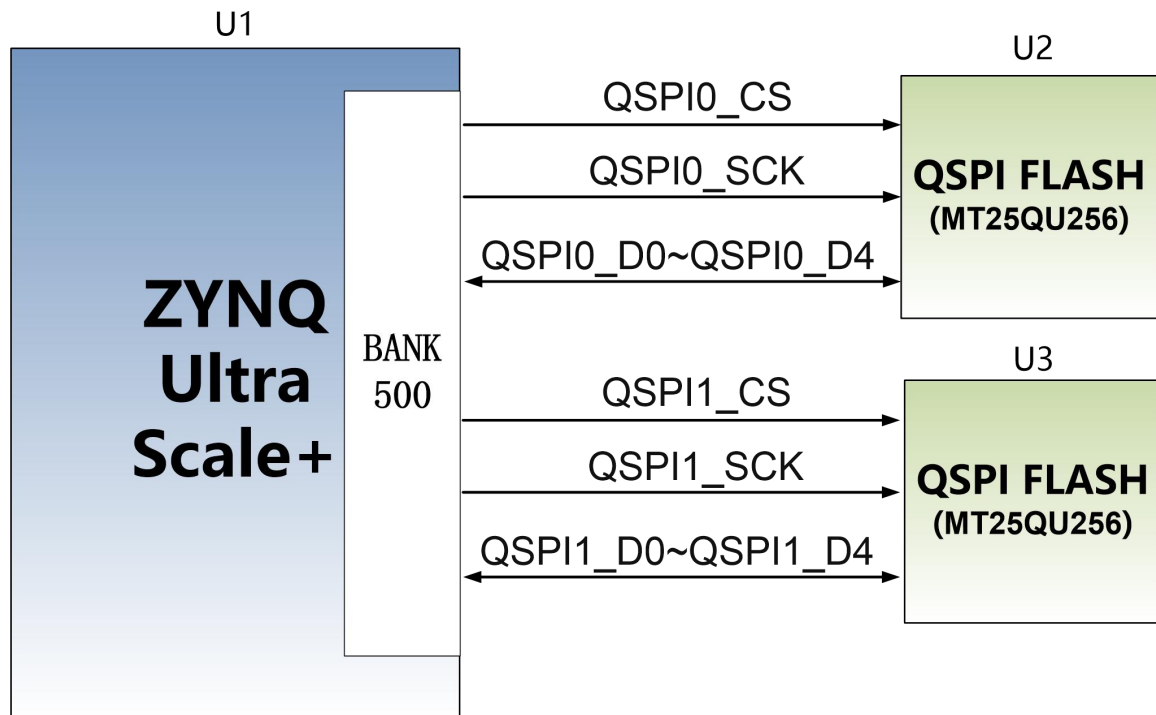


图 2-4-1 QSPI Flash 连接示意图

## 配置芯片引脚分配:

信号名称	引脚名	引脚号
MIO5_QSPI0_SS_B	PS_MIO5_500	AM15
MIO0_QSPI0_SCLK	PS_MIO0_500	AF16
MIO1_QSPI0_IO1	PS_MIO1_500	AJ16
MIO1_QSPI0_IO2	PS_MIO2_500	AD16
MIO1_QSPI0_IO3	PS_MIO3_500	AG16
MIO1_QSPI0_IO0	PS_MIO4_500	AH16
MIO7_QSPI1_SS_B	PS_MIO7_500	AD17
MIO12_QSPI1_SCLK	PS_MIO12_500	AJ17
MIO8_QSPI1_IO0	PS_MIO8_500	AE17
MIO8_QSPI1_IO1	PS_MIO9_500	AP15
MIO8_QSPI1_IO2	PS_MIO10_500	AH17
MIO8_QSPI1_IO3	PS_MIO11_500	AF17

**(五) eMMC Flash**

ACU9EG 核心板配有一片大容量的 8GB 大小的 eMMC FLASH 芯片，型号为 MTFC8GAKAJCN-4M，它支持 JEDEC e-MMC V5.0 标准的 HS-MMC 接口，电平支持 1.8V

或者 3.3V。eMMC FLASH 和 ZYNQ 连接的数据宽度为 8bit。由于 eMMC FLASH 的大容量和非易失特性，在 ZYNQ 系统使用中，它可以作为系统大容量的存储设备，比如存储 ARM 的应用程序、系统文件以及其它的用户数据文件。eMMC FLASH 的具体型号和相关参数见表 2-5-1。

位号	芯片类型	容量	厂家
U19	MTFC8GAKAJCN-4M	8G Byte	Micron

表2-5-1 eMMC Flash的型号和参数

eMMC FLASH 连接到 ZYNQ UltraScale+ 的 PS 部分 BANK500 的 GPIO 口上，在系统设计中需要配置这些 PS 端的 GPIO 口功能为 EMMC 接口。为图 2-5-1 为 eMMC Flash 在原理图中的部分。

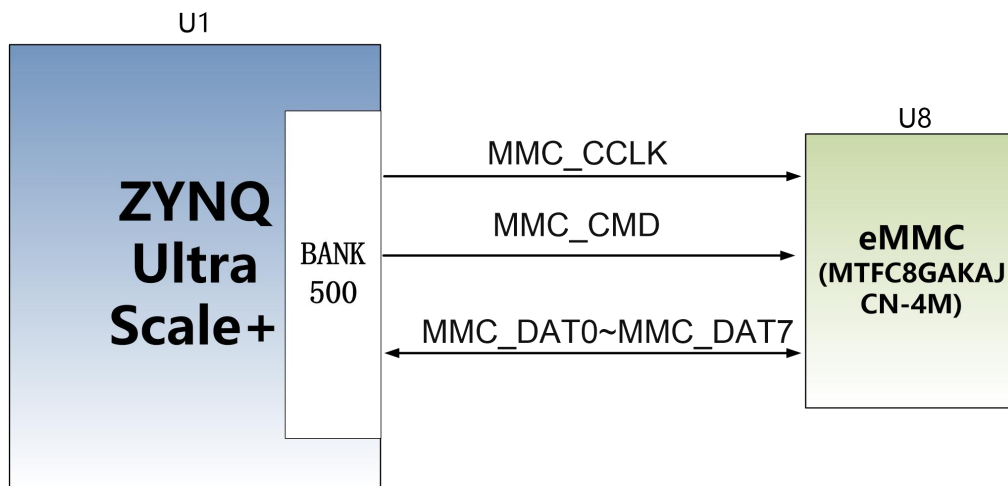


图 2-5-1 eMMC Flash 连接示意图

#### 配置芯片引脚分配:

信号名称	引脚名	引脚号
MMC_CCLK	PS_MIO22_500	AD20
MMC_CMD	PS_MIO21_500	AF18
MMC_DAT0	PS_MIO13_500	AK17
MMC_DAT1	PS_MIO14_500	AL16
MMC_DAT2	PS_MIO15_500	AN16
MMC_DAT3	PS_MIO16_500	AM16
MMC_DAT4	PS_MIO17_500	AP16
MMC_DAT5	PS_MIO18_500	AE18
MMC_DAT6	PS_MIO19_500	AL17
MMC_DAT7	PS_MIO20_500	AD18



MMC_CCLK	PS_MIO22_500	AD20
----------	--------------	------

## (六) 时钟配置

核心板上分别为 PS 系统, PL 逻辑部分提供了参考时钟和 RTC 实时时钟, 使 PS 系统和 PL 逻辑可以单独工作。时钟电路设计的示意图如下图 2-6-1 所示:

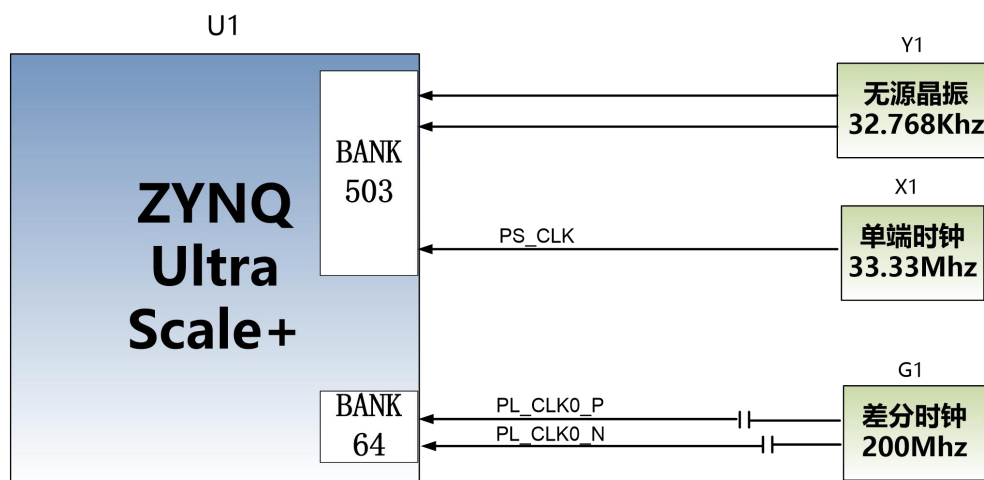


图 2-6-1 核心板时钟源

### PS 系统 RTC 实时时钟

核心板上的无源晶体 Y1 为 PS 系统的提供 32.768KHz 的实时时钟源。晶体连接到 ZYNQ 芯片的 BANK503 的 PS\_PADI\_503 和 PS\_PADO\_503 的管脚上。其原理图如图 2-6-2 所示:



图 2-6-2 RTC 的无源晶振

### 时钟引脚分配:

信号名称	引脚
PS_PADI_503	V21
PS_PADO_503	V22

### PS 系统时钟源

核心板上的 X1 晶振为 PS 部分提供 33.333MHz 的时钟输入。时钟的输入连接到 ZYNQ

芯片的 BANK503 的 PS\_REF\_CLK\_503 的管脚上。其原理图如图 2-6-3 所示：

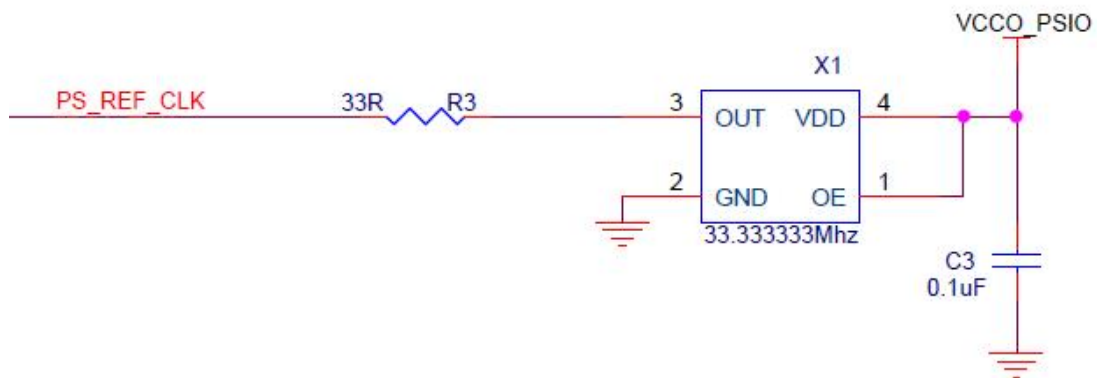


图 2-6-3 PS 部分的有源晶振

时钟引脚分配：

信号名称	引脚
PS_REF_CLK	U24

### PL 系统时钟源

板上提供了一个差分 200MHz 的 PL 系统时钟源，用于 DDR4 控制器的参考时钟。晶振输出连接到 PL BANK64 的全局时钟(MRCC)，这个全局时钟可以用来驱动 FPGA 内的 DDR4 控制器和用户逻辑电路。该时钟源的原理图如图 2-6-4 所示

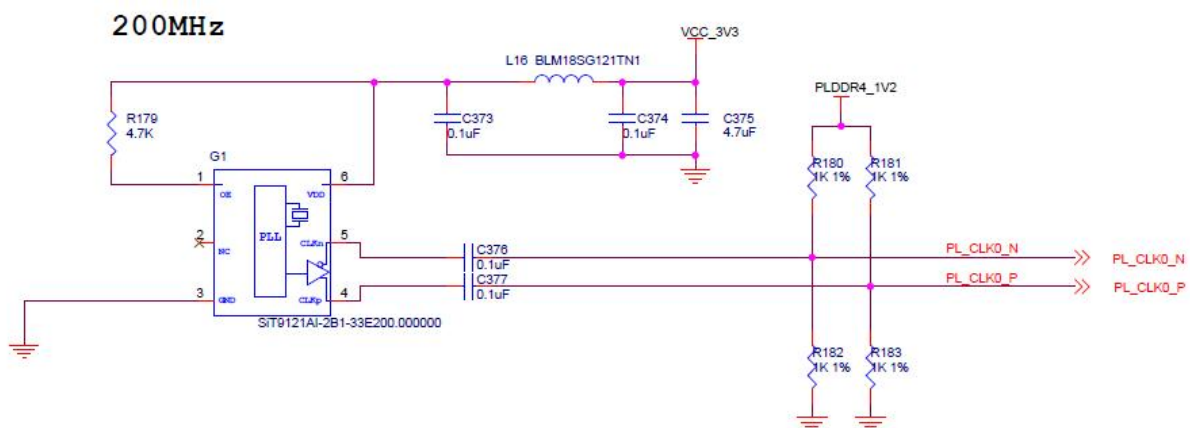


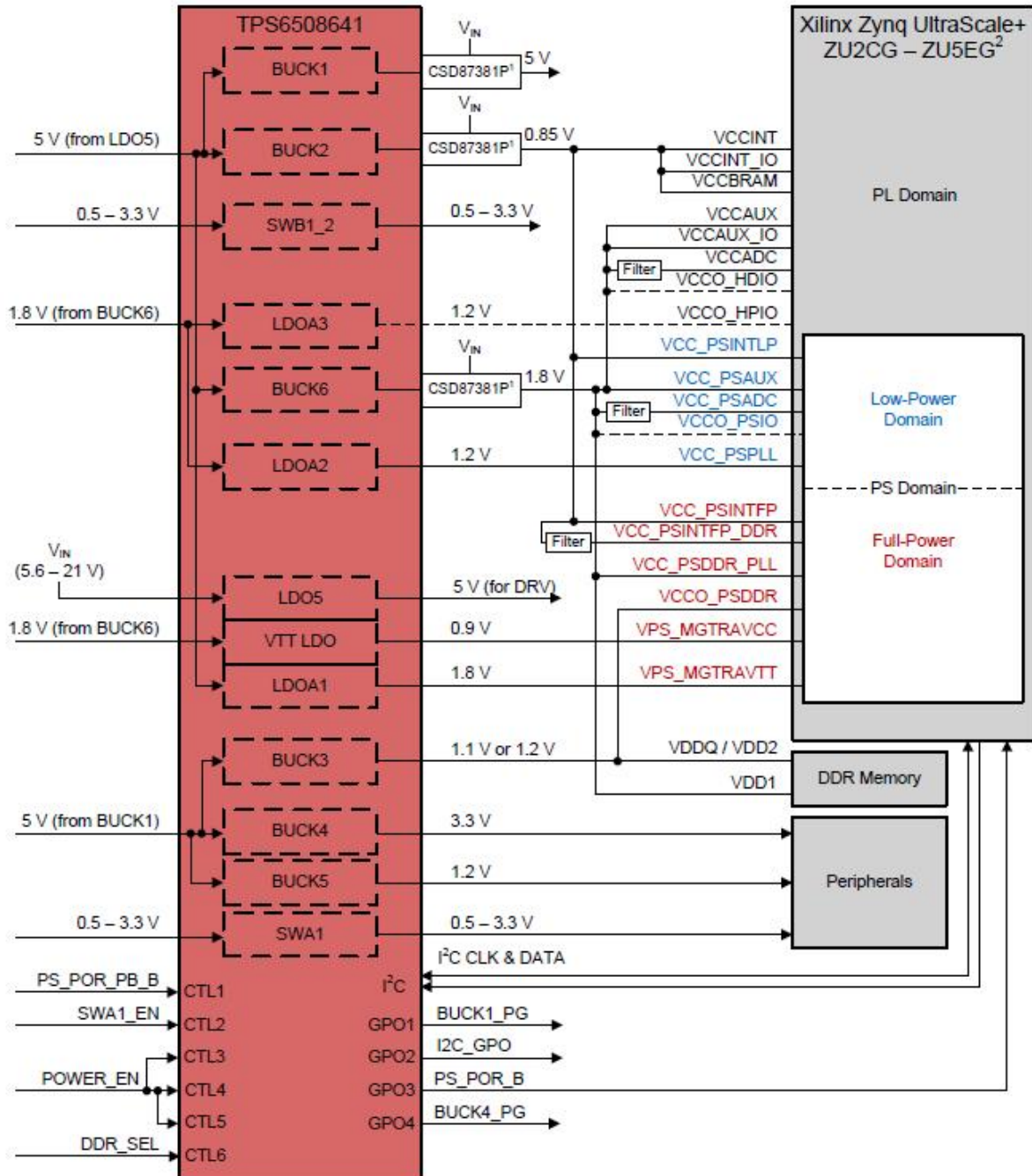
图 2-6-4 PL系统时钟源

PL 时钟引脚分配：

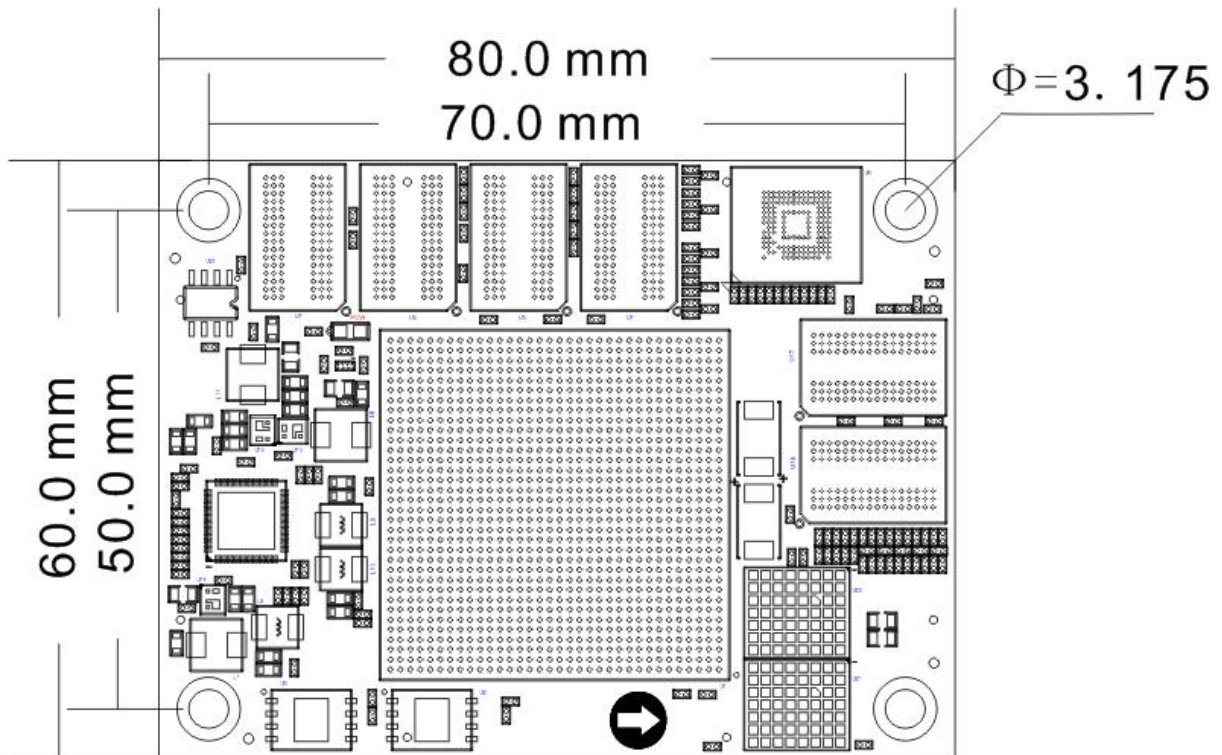
信号名称	引脚
PL_CLK0_P	AL8
PL_CLK0_N	AL7

## (七) 电源

ACU9EG 核心板供电电压为+12V，通过连接底板给核心板供电。核心板上通过 2 个 MYMGM1R824 电源芯片并联实现 50A 的电流为 XCZU9EG 提供核心电源 0.85V，另外使用一个 PMIC 芯片 TPS6508640 产生 XCZU9EG 芯片所需要的其它所有电源，TPS6508640 电源设计请参考电源芯片手册，设计框图如下：



## (八) 结构图



正面图 (Top View)

## (九) 连接器管脚定义

核心板一共扩展出 4 个高速扩展口，使用 4 个 120Pin 的板间连接器 (J29~J32) 和底板连接，连接器使用松下的 AXK5A2137YG，对应底板的连接器型号为 AXK6A2337YG。

### J29 连接器

J29 连接 BANK66,BANK67 的 IO 和 BANK228 的 GTX 信号；**BANK66,67 的电平标准由底板的 VCCO\_66, VCCO\_67 电源决定，默认底板提供+1.8V。**

J29 管脚	信号名称	引脚号	J29 管脚	信号名称	引脚号
1	-	-	2	-	-
3	B66_L3_P	AA11	4	B67_L1_P	W12
5	B66_L3_N	AA10	6	B67_L1_N	W11
7	B66_L2_P	AB11	8	B66_L7_P	AC7
9	B66_L2_N	AB10	10	B66_L7_N	AC6
11	GND	-	12	GND	-

13	B66_L5_N	AA12	14	B66_L8_P	AB8
15	B66_L5_P	Y12	16	B66_L8_N	AC8
17	B67_L2_N	R13	18	B66_L1_N	AC11
19	B67_L2_P	T13	20	B66_L1_P	AC12
21	GND	-	22	GND	-
23	B66_L19_P	AC2	24	B66_L11_N	Y7
25	B66_L19_N	AC1	26	B66_L11_P	Y8
27	B67_L16_P	N9	28	B67_L6_P	U11
29	B67_L16_N	N8	30	B67_L6_N	T11
31	GND	-	32	GND	-
33	B67_L19_N	K16	34	B66_L14_N	AA5
35	B67_L19_P	L16	36	B66_L14_P	Y5
37	B66_L9_P	W7	38	B66_L21_P	AA2
39	B66_L9_N	W6	40	B66_L21_N	AA1
41	GND	-	42	GND	-
43	B67_L8_P	V6	44	B67_L21_N	N12
45	B67_L8_N	U6	46	B67_L21_P	P12
47	B67_L5_P	V12	48	B67_L24_N	K15
49	B67_L5_N	V11	50	B67_L24_P	L15
51	GND	-	52	GND	-
53	B66_L22_N	Y1	54	B66_L13_P	Y4
55	B66_L22_P	Y2	56	B66_L13_N	Y3
57	B66_L24_N	W1	58	B67_L4_P	T12
59	B66_L24_P	W2	60	B67_L4_N	R12
61	GND	-	62	GND	-
63	B67_L20_P	M15	64	B67_L22_P	N13
65	B67_L20_N	M14	66	B67_L22_N	M13
67	B67_L23_N	K13	68	B67_L17_P	M11
69	B67_L23_P	L13	70	B67_L17_N	L11
71	GND	-	72	GND	-
73	B67_L7_N	V7	74	B67_L13_P	P11
75	B67_L7_P	V8	76	B67_L13_N	N11

77	B67_L9_P	U9	78	B66_L23_N	V1
79	B67_L9_N	U8	80	B66_L23_P	V2
81	GND	-	82	GND	-
83	B67_L18_P	L12	84	B67_L12_P	T8
85	B67_L18_N	K12	86	B67_L12_N	R8
87	B67_L10_P	T7	88	B67_L14_P	P10
89	B67_L10_N	T6	90	B67_L14_N	P9
91	GND	-	92	GND	-
93	228_RX1_N	P1	94	228_RX0_N	T1
95	228_RX1_P	P2	96	228_RX0_P	T2
97	GND	-	98	GND	-
99	228_TX1_N	P5	100	228_TX0_N	R3
101	228_TX1_P	P6	102	228_TX0_P	R4
103	GND	-	104	GND	-
105	228_RX3_N	L3	106	228_RX2_N	M1
107	228_RX3_P	L4	108	228_RX2_P	M2
109	GND	-	110	GND	D1
111	228_TX3_N	M5	112	228_TX2_N	N3
113	228_TX3_P	M6	114	228_TX2_P	N4
115	GND	-	116	GND	-
117	228_CLK0_N	L7	118	228_CLK1_N	J7
119	228_CLK0_P	L8	120	228_CLK1_P	J8

### J30 连接器

J30 连接 BANK505 MGT 的收发器信号, PS 的 MIO, VCCO\_66, VCCO\_67 和+12V 电源。PS 的 MIO 的电平为 1.8V 标准

J30 管脚	信号名称	引脚号	J30 管脚	信号名称	引脚号
1	505_TX0_P	AB29	2	505_CLK0_P	AA27
3	505_TX0_N	AB30	4	505_CLK0_N	AA28
5	GND	-	6	GND	-
7	505_RX0_P	AB33	8	505_TX3_P	V29



9	505_RX0_N	AB34	10	505_TX3_N	V30
11	GND	-	12	GND	-
13	505_CLK1_P	W27	14	505_TX2_P	W31
15	505_CLK1_N	W28	16	505_TX2_N	W32
17	GND	-	18	GND	-
19	505_RX2_N	Y34	20	505_CLK2_P	U27
21	505_RX2_P	Y33	22	505_CLK2_N	U28
23	GND	-	24	GND	-
25	505_RX3_P	V33	26	505_RX1_N	AA32
27	505_RX3_N	V34	28	505_RX1_P	AA31
29	GND	-	30	GND	-
31	505_CLK3_P	U31	32	505_TX1_N	Y30
33	505_CLK3_N	U32	34	505_TX1_P	Y29
35	GND	-	36	GND	-
37	PS_MIO26	P21	38	USB_STP	G23
39	PS_MIO35	P22	40	USB_DIR	E23
41	GND	-	42	GND	-
43	PS_MIO28	N21	44	USB_CLK	F22
45	PS_MIO37	N22	46	USB_NXT	B23
47	PS_MIO39	N23	48	USB_DATA0	C23
49	PS_MIO27	M21	50	USB_DATA1	A23
51	GND	-	52	GND	-
53	PS_MIO40	M23	54	USB_DATA2	F23
55	PS_MIO30	L21	56	USB_DATA3	B24
57	PS_MIO34	L22	58	USB_DATA4	E24
59	PS_MIO29	K22	60	USB_DATA5	C24
61	GND	-	62	GND	-
63	PS_MIO31	J22	64	USB_DATA6	G24
65	PS_MIO32	H22	66	USB_DATA7	D24
67	PS_MIO42	M24	68	PHY1_MDC	H25
69	PS_MIO36	K23	70	PHY1_MDIO	F25
71	GND	-	72	GND	-



73	PS_MIO33	H23	74	PHY1_TXD0	A26
75	PS_MIO38	L23	76	PHY1_TXD1	A27
77	PS_MIO43	K24	78	PHY1_TXD2	B25
79	PS_MIO41	J24	80	PHY1_TXD3	B26
81	GND	-	82	GND	-
83	PS_MIO44	N24	84	PHY1_TXCK	A25
85	SD_CD	P24	86	PHY1_TXCTL	B27
87	SD_D0	J25	88	PHY1_RXD3	G25
89	SD_D3	K25	90	PHY1_RXD2	H24
91	GND	-	92	GND	-
93	SD_D1	L25	94	PHY1_RXD1	E25
95	SD_D2	M25	96	PHY1_RXD0	C27
97	SD_CLK	N25	98	PHY1_RXCTL	D25
99	SD_CMD	P25	100	PHY1_RXCK	C26
101	GND	-	102	GND	-
103	VCCO_66	-	104	VCCO_67	-
105	VCCO_66	-	106	VCCO_67	-
107	GND	-	108	GND	-
109	+12V	-	110	+12V	-
111	+12V	-	112	+12V	-
113	+12V	-	114	+12V	-
115	+12V	-	116	+12V	-
117	+12V	-	118	+12V	-
119	+12V	-	120	+12V	-

### J31 连接器

J31 连接 BANK44, BANK50, BANK66, BANK67 的 IO, BANK25, BANK26, BANK66 的 IO 和 BANK505 MGT 的收发器信号。BANK66,67 的电平标准由底板的 VCCO\_66, VCCO\_67 电源决定, 默认底板提供+1.8V。

J31 管脚	信号名称	引脚号	J31 管脚	信号名称	引脚号
			2	FPGA_TCK	R25
3	POWER_SW	-	4	FPGA_TMS	R24

5	PS_MODE3	R23	6	FPGA_TDO	T25
7	PS_MODE2	T23	8	FPGA_TDI	U25
9	GND	-	10	GND	-
11	PS_MODE1	R22	12	VBAT_IN	-
13	PS_MODE0	T22	14	PS_POR_B	V23
15	PS_ERROR_STATUS	R21	16	FPGA_DONE	W21
17	PS_ERROR_OUT	T21	18	GND	-
19	GND	-	20	GND	-
21	B44_L5_P	AK15	22	B50_L11_N	G16
23	B44_L5_N	AK14	24	B50_L11_P	H16
25	B50_L9_P	G15	26	B50_L12_P	J16
27	B50_L9_N	G14	28	B50_L12_N	J15
29	GND	-	30	GND	-
31	B44_L12_P	AE15	32	B50_L10_N	H14
33	B44_L12_N	AE14	34	B50_L10_P	J14
35	B44_L7_P	AH14	36	B44_L8_P	AJ15
37	B44_L7_N	AH13	38	B44_L8_N	AJ14
39	GND	-	40	GND	-
41	B44_L11_N	AG15	42	B44_L6_P	AK13
43	B44_L11_P	AF15	44	B44_L6_N	AL12
45	B44_L1_N	AP14	46	B44_L2_N	AN13
47	B44_L1_P	AN14	48	B44_L2_P	AM14
49	GND	-	50	GND	-
51	B44_L3_N	AP12	-	-	-
53	B44_L3_P	AN12	-	-	-
55	B44_L4_N	AM13	-	-	-
57	B44_L4_P	AL13	-	-	-
59	GND	-	60	GND	-
61	B44_L10_P	AG14	-	-	-
63	B44_L10_N	AG13	-	-	-
65	B50_L8_N	G13	66	B44_L9_N	AF13
67	B50_L8_P	H13	68	B44_L9_P	AE13

69	GND	-	70	GND	-
71	B50_L7_N	H12	72	B50_L6_P	F12
73	B50_L7_P	J12	74	B50_L6_N	F11
75	-	-	76	B50_L5_N	G11
77	-	-	78	B50_L5_P	H11
79	GND	-	80	GND	-
81	B50_L2_P	H10	82	B50_L1_P	J11
83	B50_L2_N	G10	84	B50_L1_N	J10
85	B50_L3_N	E10	86	B50_L4_P	D11
87	B50_L3_P	F10	88	B50_L4_N	D10
89	GND	-	90	GND	-
91	B66_L17_P	V4	92	B66_L15_P	W5
93	B66_L17_N	V3	94	B66_L15_N	W4
95	B66_L12_P	AA7	96	B66_L16_N	AC4
97	B66_L12_N	AA6	98	B66_L16_P	AB4
99	GND	-	100	GND	-
101	B66_L10_P	AB6	102	B66_L20_N	AC3
103	B66_L10_N	AB5	104	B66_L20_P	AB3
105	B66_L4_P	AB9	106	B67_L15_P	M10
107	B66_L4_N	AC9	108	B67_L15_N	L10
109	GND	-	110	GND	-
111	B66_L6_P	Y10	112	B67_L3_P	U10
113	B66_L6_N	Y9	114	B67_L3_N	T10
115	B66_L18_P	U5	116	B67_L11_P	R10
117	B66_L18_N	U4	118	B67_L11_N	R9
119	GND	-	120	GND	-

### J32 连接器的引脚分配

J32 连接 BANK47, 48, 49 的 IO 和 BANK128,129,130 的收发器信号。

J32 管脚	信号名称	引脚号	J32 管脚	信号名称	引脚号
1	B48_L5_P	G18	2	B48_L10_N	B19
3	B48_L5_N	G19	4	B48_L10_P	B18

5	B48_L11_P	C18	6	B49_L9_N	A12
7	B48_L11_N	C19	8	B49_L9_P	A13
9	GND	-	10	GND	-
11	B49_L8_N	B13	12	B47_L12_N	A20
13	B49_L8_P	C13	14	B47_L12_P	B20
15	B47_L11_N	A22	16	B49_L4_N	A15
17	B47_L11_P	A21	18	B49_L4_P	B15
19	GND	-	20	GND	-
21	-	-	22	-	-
23	-	-	24	-	-
25	-	-	26	B49_L10_N	B12
27	-	-	28	B49_L10_P	C12
29	-	-	30	-	-
31	GND	-	32	GND	-
33	130_RX3_N	B34	34	130_TX2_N	B30
35	130_RX3_P	B33	36	130_TX2_P	B29
37	GND	-	38	GND	-
39	130_TX3_N	A32	40	130_RX2_N	C32
41	130_TX3_P	A31	42	130_RX2_P	C31
43	GND	-	44	GND	-
45	130_RX0_N	E32	46	130_RX1_N	D34
47	130_RX0_P	E31	48	130_RX1_P	D33
49	GND	-	50	GND	-
51	130_TX0_N	F30	52	130_TX1_N	D30
53	130_TX0_P	F29	54	130_TX1_P	D29
55	GND	-	56	GND	-
57	130_CLK0_N	G28	58	130_CLK1_N	E28
59	130_CLK0_P	G27	60	130_CLK1_P	E27
61	GND	-	62	GND	-
63	129_TX3_N	G32	64	129_RX3_N	F34
65	129_TX3_P	G31	66	129_RX3_P	F33
67	GND	-	68	GND	-

69	129_RX1_N	K34	70	129_TX2_N	H30
71	129_RX1_P	K33	72	129_TX2_P	H29
73	GND	-	74	GND	-
75	129_TX1_N	J32	76	129_RX2_N	H34
77	129_TX1_P	J31	78	129_RX2_P	H33
79	GND	-	80	GND	-
81	129_RX0_N	L32	82	129_TX0_N	K30
83	129_RX0_P	L31	84	129_TX0_P	K29
85	GND	-	86	GND	-
87	129_CLK0_N	L28	88	129_CLK1_N	J28
89	129_CLK0_P	L27	90	129_CLK1_P	J27
91	GND	-	92	GND	-
93	128_TX3_N	M30	94	128_RX3_N	M34
95	128_TX3_P	M29	96	128_RX3_P	M33
97	GND	-	98	GND	-
99	128_TX2_N	P30	100	128_RX1_P	P33
101	128_TX2_P	P29	102	128_RX1_N	P34
103	GND	-	104	GND	-
105	128_TX0_N	T30	106	128_RX0_P	T33
107	128_TX0_P	T29	108	128_RX0_N	T34
109	GND	-	110	GND	-
111	128_TX1_N	R32	112	128_RX2_P	N31
113	128_TX1_P	R31	114	128_RX2_N	N32
115	GND	-	116	GND	-
117	128_CLK0_N	R28	118	128_CLK1_P	N27
119	128_CLK0_P	R27	120	128_CLK1_N	N28