

ZYNQ7000 开发平台 用户手册

AC7021B 开发板

ALINX

文档版本控制

文档版本	修改内容记录
REV1.0	创建文档
REV1.1	修改 EMMC 容量和板对板连接器
REV1.2	交换 B13_L19_N 和 B13_L19_P 的 PIN 定义

目 录

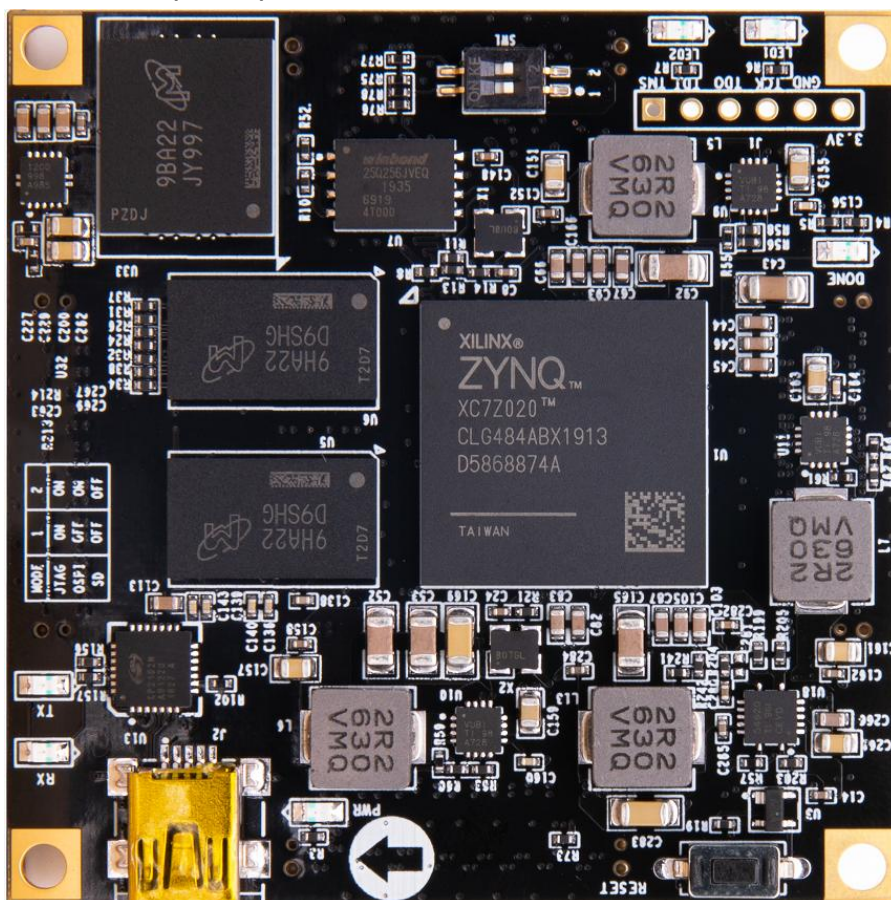
文档版本控制	2
(一) 简介	4
(二) ZYNQ 芯片	5
(三) DDR3 DRAM	7
(四) QSPI Flash	11
(五) eMMC Flash	12
(六) 时钟配置	14
(七) USB 转串口	15
(八) LED 灯	16
(九) 复位按键	18
(十) JTAG 接口	18
(十一) 拨码开关配置	19
(十二) 电源	20
(十三) 结构图	21
(十四) 连接器管脚定义	22

(一) 简介

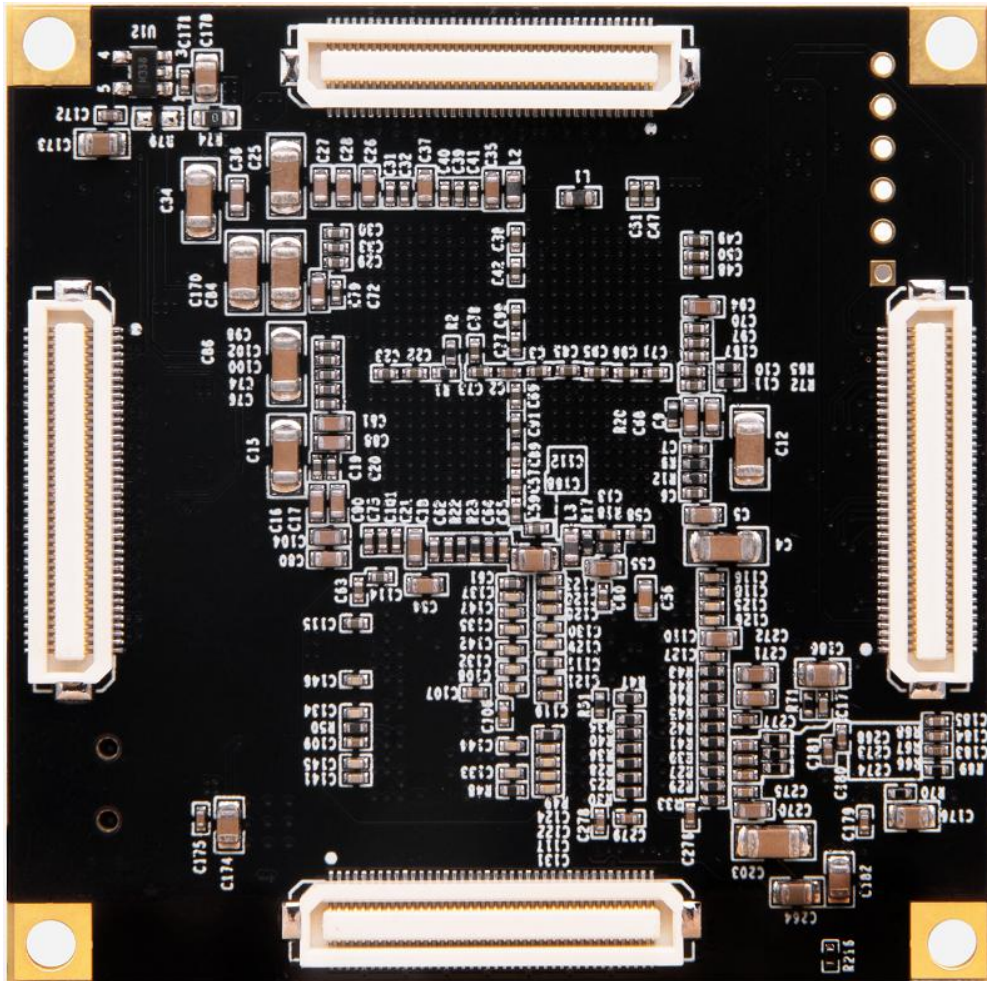
AC7021B(核心板型号,下同)核心板,ZYNQ 芯片是基于 XILINX 公司的 ZYNQ7000 系列的 XC7Z020-2CLG484I。ZYNQ 芯片的 PS 系统集成了两个 ARM Cortex™-A9 处理器,AMBA®互连,内部存储器,外部存储器接口和外设。ZYNQ 芯片的 FPGA 内部含有丰富的可编程逻辑单元,DSP 和内部 RAM。

这款核心板使用了 2 片 SK Hynix 公司的 H5TQ4G63AFR-PBI 这款 DDR3 芯片,每片 DDR 的容量为 4Gbit;2 片 DDR 芯片组合成 32bit 的数据总线宽度,ZYNQ 和 DDR3 之间的读写数据时钟频率高达 533Mhz;这样的配置,可以满足系统的高带宽的数据处理的需求。

为了和底板连接,这款核心板的 4 个板对板连接器扩展出了 PS 端的 USB 接口,千兆以太网接口,SD 卡接口及其它剩余的 MIO 口。以及 PL 端的 BANK13, BANK33, BANK34 和 BANK35 的几乎所有 IO 口(198 个),其中 BANK33 和 BANK34 的 IO 的电平可以通过更换核心板上的 LDO 芯片来修改,满足用户不用电平接口的要求。对于需要大量 IO 的用户,此核心板将是不错的选择。而且 IO 连接部分,ZYNQ 芯片到接口之间走线做了等长和差分处理,并且核心板尺寸仅为 60*60 (mm),对于二次开发来说,非常适合。



AC7021B 核心板正面图



AC7021B 核心板背面图

(二) ZYNQ 芯片

开发板使用的是 Xilinx 公司的 Zynq7000 系列的芯片，型号为 XC7Z020-2CLG484I。芯片的 PS 系统集成了两个 ARM Cortex™-A9 处理器，AMBA®互连，内部存储器，外部存储器接口和外设。这些外设主要包括 USB 总线接口，以太网接口，SD/SDIO 接口，I2C 总线接口，CAN 总线接口，UART 接口，GPIO 等。PS 可以独立运行并在上电或复位下启动。ZYNQ7000 芯片的总体框图如图 2-2-1 所示

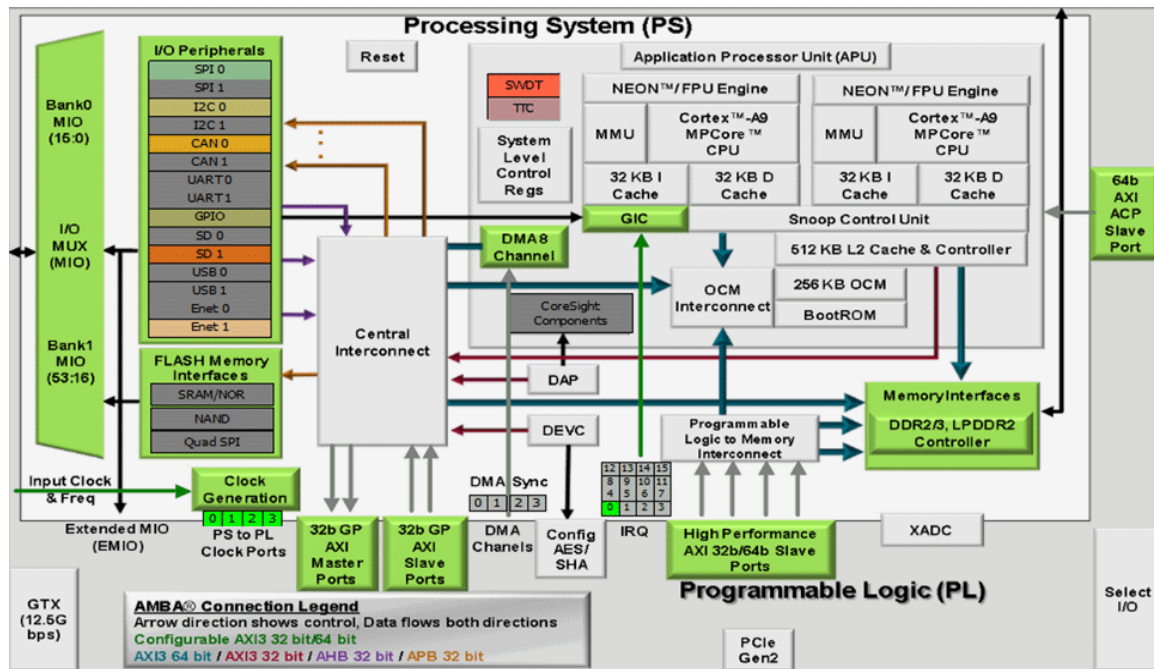


图2-2-1 ZYNQ7000芯片的总体框图

其中 PS 系统部分的主要参数如下：

- 基于 ARM 双核 CortexA9 的应用处理器，ARM-v7 架构 高达 1GHz
- 每个 CPU 32KB 1 级指令和数据缓存，512KB 2 级缓存 2 个 CPU 共享
- 片上 boot ROM 和 256KB 片内 RAM
- 外部存储接口，支持 16/32 bit DDR2、DDR3 接口
- 两个千兆网卡支持：发散-聚集 DMA，GMII，RGMII，SGMII 接口
- 两个 USB2.0 OTG 接口，每个最多支持 12 节点
- 两个 CAN2.0B 总线接口
- 两个 SD 卡、SDIO、MMC 兼容控制器
- 2 个 SPI，2 个 UARTs，2 个 I2C 接口
- 4 组 32bit GPIO，54 (32+22) 作为 PS 系统 IO，64 连接到 PL
- PS 内和 PS 到 PL 的高带宽连接

其中 PL 逻辑部分的主要参数如下：

- 逻辑单元 Logic Cells：85K；
- 查找表 LUTs: 53,200
- 触发器(flip-flops):106,400
- 乘法器 18x25MACCs：220;
- Block RAM：4.9Mb；
- 两个 AD 转换器,可以测量片上电压、温度感应和高达 17 外部差分输入通道，1MBPS

XC7Z020-2CLG484I 芯片的速度等级为-2，工业级，封装为 BGA484，引脚间距为 0.8mm，ZYNQ7000 系列的具体的芯片型号定义如下图 2-2-2 所示。

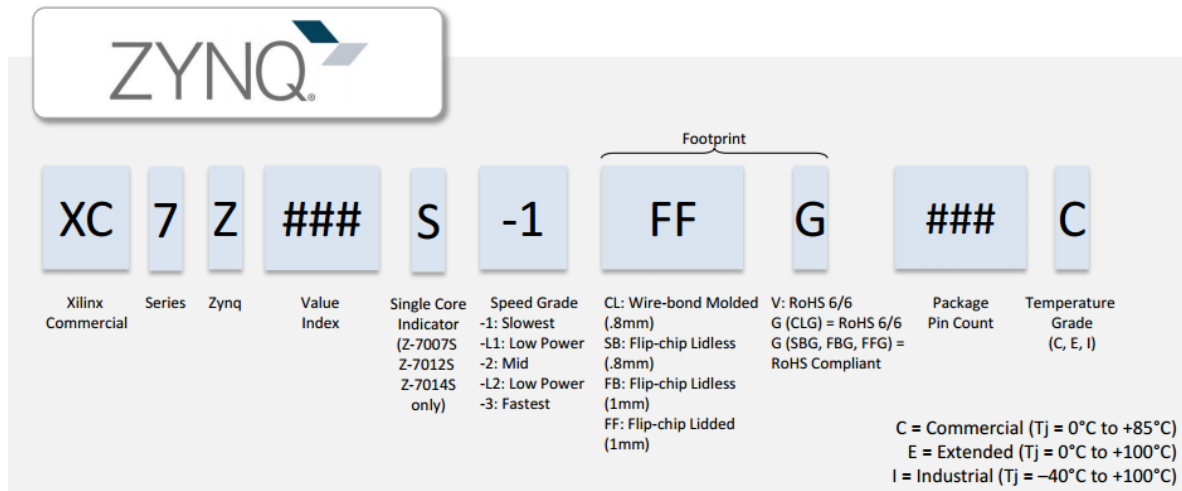


图2-2-2 ZYNQ型号命名规则定义

图 2-2-3 为开发板所用的 XC7Z020 芯片实物图。



图2-2-3 XC7Z020芯片实物

(三) DDR3 DRAM

AC7021B核心板上配有两片美光公司的DDR3 SDRAM芯片(共计1GB),型号为 MT41K256M16TW-107(兼容H5TQ4G63AFR-PBI)。DDR3 SDRAM的总线宽度共为32bit。DDR3 SDRAM的最高运行速度可达533MHz(数据速率1066Mbps)。该DDR3存储系统直接

连接到了ZYNQ处理系统 (PS) 的BANK 502的存储器接口上。DDR3 SDRAM的具体配置如下表2-3-1所示。

表5-1 DDR3 SDRAM配置

位号	芯片型号	容量	厂家
U5,U6	MT41K256M16TW-107	256M x 16bit	美光

DDR3 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制 ,走线等长控制，保证 DDR3 的高速稳定的工作。

DDR3 DRAM 的硬件连接方式如图 2-3-1 所示:

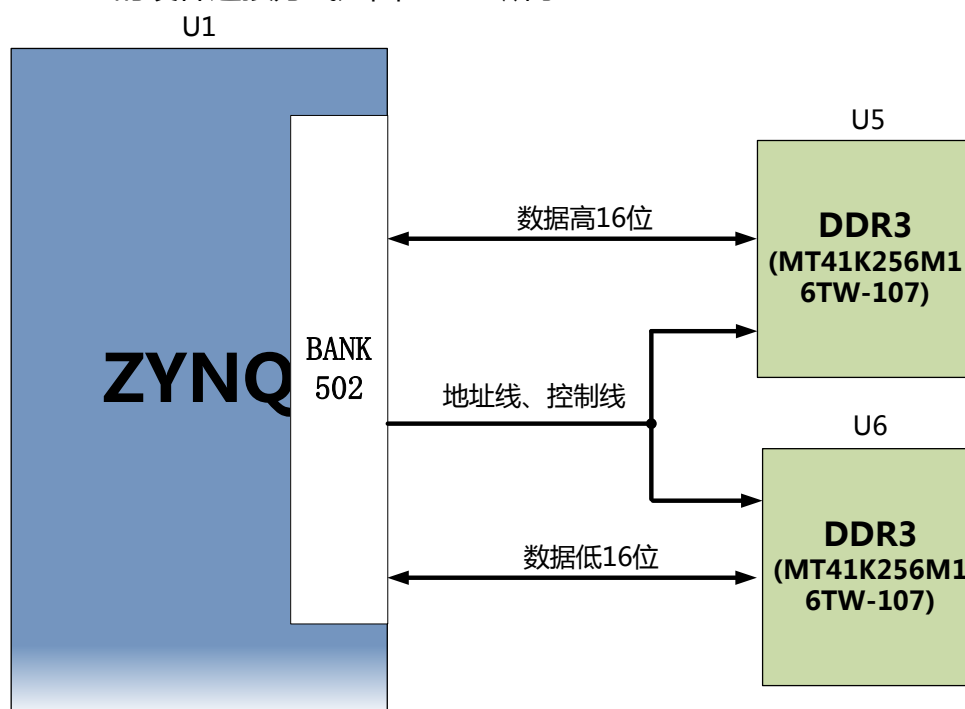


图2-3-1 DDR3 DRAM原理图部分

DDR3 DRAM 引脚分配：

信号名称	ZYNQ 引脚名	ZYNQ 引脚号
DDR3_DQS0_P	PS_DDR_DQS_P0_502	C2
DDR3_DQS0_N	PS_DDR_DQS_N0_502	D2
DDR3_DQS1_P	PS_DDR_DQS_P1_502	H2
DDR3_DQS1_N	PS_DDR_DQS_N1_502	J2
DDR3_DQS2_P	PS_DDR_DQS_P2_502	N2
DDR3_DQS2_N	PS_DDR_DQS_N2_502	P2
DDR3_DQS3_P	PS_DDR_DQS_P3_502	V2

DDR3_DQS4_N	PS_DDR_DQS_N3_502	W2
DDR3_D0	PS_DDR_DQ0_502	D1
DDR3_D1	PS_DDR_DQ1_502	C3
DDR3_D2	PS_DDR_DQ2_502	B2
DDR3_D3	PS_DDR_DQ3_502	D3
DDR3_D4	PS_DDR_DQ4_502	E3
DDR3_D5	PS_DDR_DQ5_502	E1
DDR3_D6	PS_DDR_DQ6_502	F2
DDR3_D7	PS_DDR_DQ7_502	F1
DDR3_D8	PS_DDR_DQ8_502	G2
DDR3_D9	PS_DDR_DQ9_502	G1
DDR3_D10	PS_DDR_DQ10_502	L1
DDR3_D11	PS_DDR_DQ11_502	L2
DDR3_D12	PS_DDR_DQ12_502	L3
DDR3_D13	PS_DDR_DQ13_502	K1
DDR3_D14	PS_DDR_DQ14_502	J1
DDR3_D15	PS_DDR_DQ15_502	K3
DDR3_D16	PS_DDR_DQ16_502	M1
DDR3_D17	PS_DDR_DQ17_502	T3
DDR3_D18	PS_DDR_DQ18_502	N3
DDR3_D19	PS_DDR_DQ19_502	T1
DDR3_D20	PS_DDR_DQ20_502	R3
DDR3_D21	PS_DDR_DQ21_502	T2
DDR3_D22	PS_DDR_DQ22_502	M2
DDR3_D23	PS_DDR_DQ23_502	R1
DDR3_D24	PS_DDR_DQ24_502	AA3
DDR3_D25	PS_DDR_DQ25_502	U1
DDR3_D26	PS_DDR_DQ26_502	AA1
DDR3_D27	PS_DDR_DQ27_502	U2
DDR3_D28	PS_DDR_DQ28_502	W1
DDR3_D29	PS_DDR_DQ29_502	Y3
DDR3_D30	PS_DDR_DQ30_502	W3

DDR3_D31	PS_DDR_DQ31_502	Y1
DDR3_DM0	PS_DDR_DM0_502	B1
DDR3_DM1	PS_DDR_DM1_502	H3
DDR3_DM2	PS_DDR_DM2_502	P1
DDR3_DM3	PS_DDR_DM3_502	AA2
DDR3_A0	PS_DDR_A0_502	M4
DDR3_A1	PS_DDR_A1_502	M5
DDR3_A2	PS_DDR_A2_502	K4
DDR3_A3	PS_DDR_A3_502	L4
DDR3_A4	PS_DDR_A4_502	K6
DDR3_A5	PS_DDR_A5_502	K5
DDR3_A6	PS_DDR_A6_502	J7
DDR3_A7	PS_DDR_A7_502	J6
DDR3_A8	PS_DDR_A8_502	J5
DDR3_A9	PS_DDR_A9_502	H5
DDR3_A10	PS_DDR_A10_502	J3
DDR3_A11	PS_DDR_A11_502	G5
DDR3_A12	PS_DDR_A12_502	H4
DDR3_A13	PS_DDR_A13_502	F4
DDR3_A14	PS_DDR_A14_502	G4
DDR3_BA0	PS_DDR_BA0_502	L7
DDR3_BA1	PS_DDR_BA1_502	L6
DDR3_BA2	PS_DDR_BA2_502	M6
DDR3_S0	PS_DDR_CS_B_502	P6
DDR3_RAS	PS_DDR_RAS_B_502	R5
DDR3_CAS	PS_DDR_CAS_B_502	P3
DDR3_WE	PS_DDR_WE_B_502	R4
DDR3_ODT	PS_DDR_ODT_502	P5
DDR3_RESET	PS_DDR_DRST_B_502	F3
DDR3_CLK0_P	PS_DDR_CKP_502	N4
DDR3_CLK0_N	PS_DDR_CKN_502	N5
DDR3_CKE	PS_DDR_CKE_502	V3

(四) QSPI Flash

核心板配有一片 256MBit 大小的 Quad-SPI FLASH 芯片，型号为 W25Q256FVEI，它使用 3.3V CMOS 电压标准。由于 QSPI FLASH 的非易失特性，在使用中，它可以作为系统的启动设备来存储系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、ARM 的应用程序代码以及其它的用户数据文件。QSPI FLASH 的具体型号和相关参数见表 2-4-1。

位号	芯片类型	容量	厂家
U7	W25Q256FVEI	32M Byte	Winbond

表2-4-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 ZYNQ 芯片的 PS 部分 BANK500 的 GPIO 口上，在系统设计中需要配置这些 PS 端的 GPIO 口功能为 QSPI FLASH 接口。为图 2-4-1 为 QSPI Flash 在原理图中的部分。

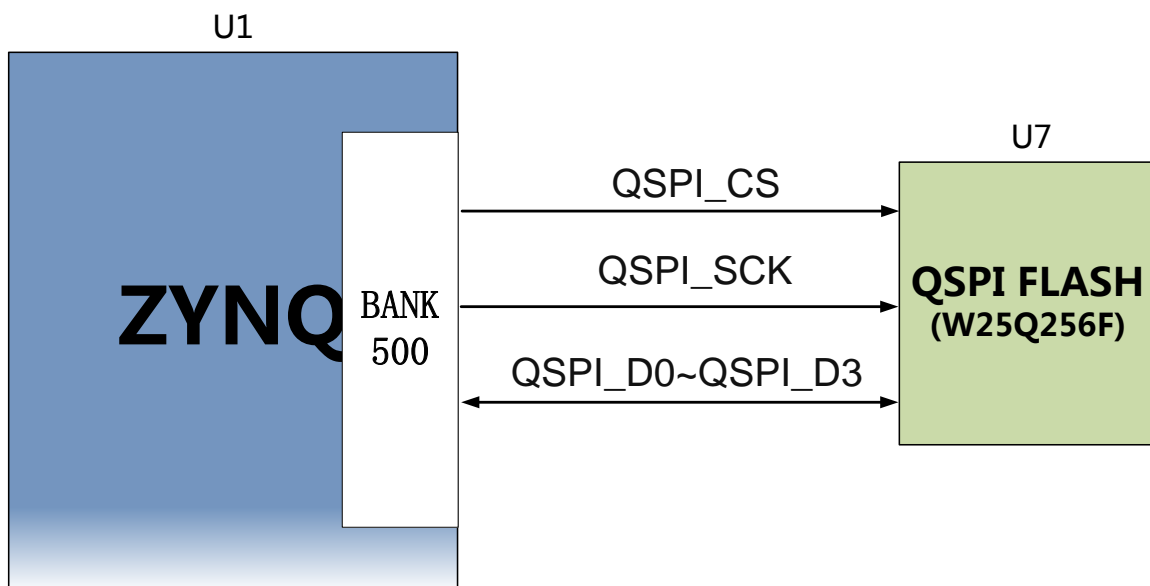


图 2-4-1 QSPI Flash 连接示意图

图 2-4-2 为 QSPI Flash 的实物图



2-4-2 为 QSPI Flash 的实物图

配置芯片引脚分配：

信号名称	ZYNQ 引脚名	ZYNQ 引脚号
QSPI_SCK	PS_MIO6_500	A4
QSPI_CS	PS_MIO1_500	A1
QSPI_D0	PS_MIO2_500	A2
QSPI_D1	PS_MIO3_500	F6
QSPI_D2	PS_MIO4_500	E4
QSPI_D3	PS_MIO5_500	A3

(五) eMMC Flash

核心板配有一片大容量的8GB大小的eMMC FLASH芯片，型号为MTFC8GAKAJCN-4MIT，它支持JEDEC e-MMC V5.0标准的HS-MMC接口，电平支持1.8V或者3.3V。eMMC FLASH和ZYNQ连接的数据宽度为4bit。由于eMMC FLASH的大容量和非易失特性，在ZYNQ系统使用中，它可以作为系统大容量的存储设备，比如存储ARM的应用程序、系统文件以及其它的用户数据文件。eMMC FLASH的具体型号和相关参数见表2-5-1。

位号	芯片类型	容量	厂家
U33	MTFC8GAKAJCN-4MIT	8G Byte	TOSHIBA

表2-5-1 eMMC Flash的型号和参数

eMMC FLASH 连接到 ZYNQ 芯片的 PS 部分 BANK501 的 GPIO 口上，在系统设计中需

要配置这些 PS 端的 GPIO 口功能为 SD 接口。为图 2-5-1 为 eMMC Flash 在原理图中的部分。

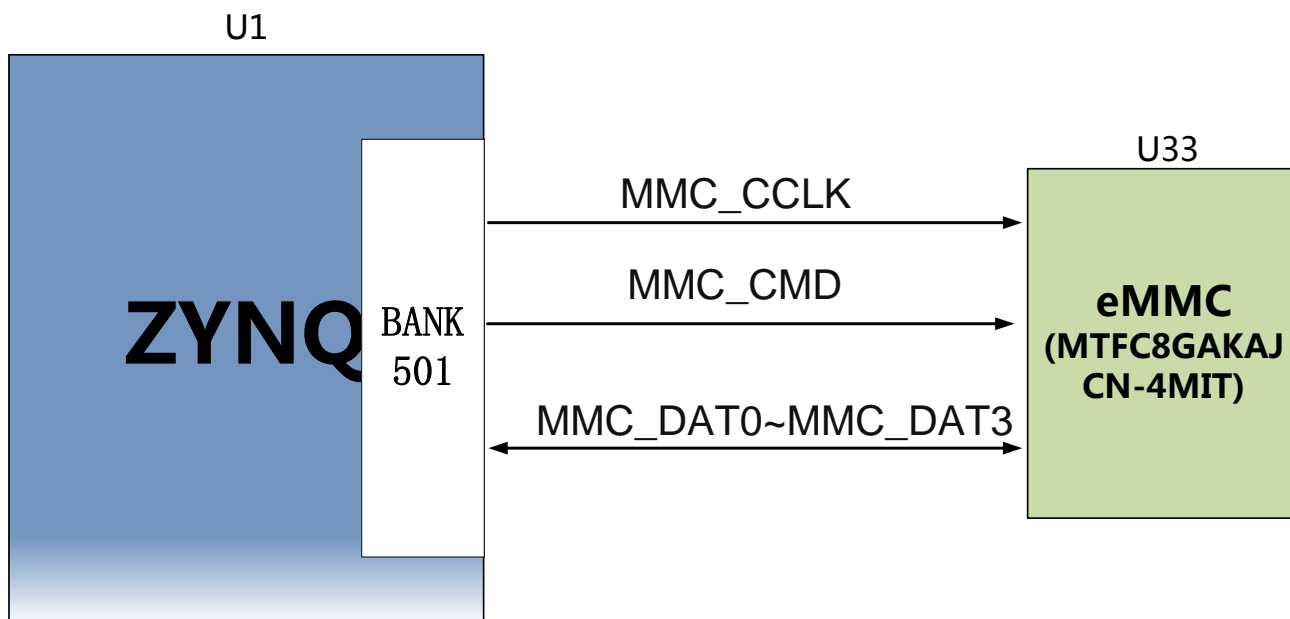


图 2-5-1 eMMC Flash 连接示意图

图 2-5-2 为 eMMC Flash 的实物图



2-5-2 为 eMMC Flash 的实物图

配置芯片引脚分配：

信号名称	ZYNQ 引脚名	ZYNQ 引脚号
MMC_CCLK	PS_MIO48_501	D11
MMC_CMD	PS_MIO47_501	B10
MMC_D0	PS_MIO46_501	D12
MMC_D1	PS_MIO49_501	C14
MMC_D2	PS_MIO50_501	D13
MMC_D3	PS_MIO51_501	C10

(六) 时钟配置

AC7021B 核心板上分别为 PS 系统和 PL 逻辑部分提供了有源时钟，使 PS 系统和 PL 逻辑可以单独工作。

PS 系统时钟源

ZYNQ 芯片通过开发板上的 X1 晶振为 PS 部分提供 33.333MHz 的时钟输入。时钟的输入连接到 ZYNQ 芯片的 BANK500 的 PS_CLK_500 的管脚上。其原理图如图 2-6-1 所示：

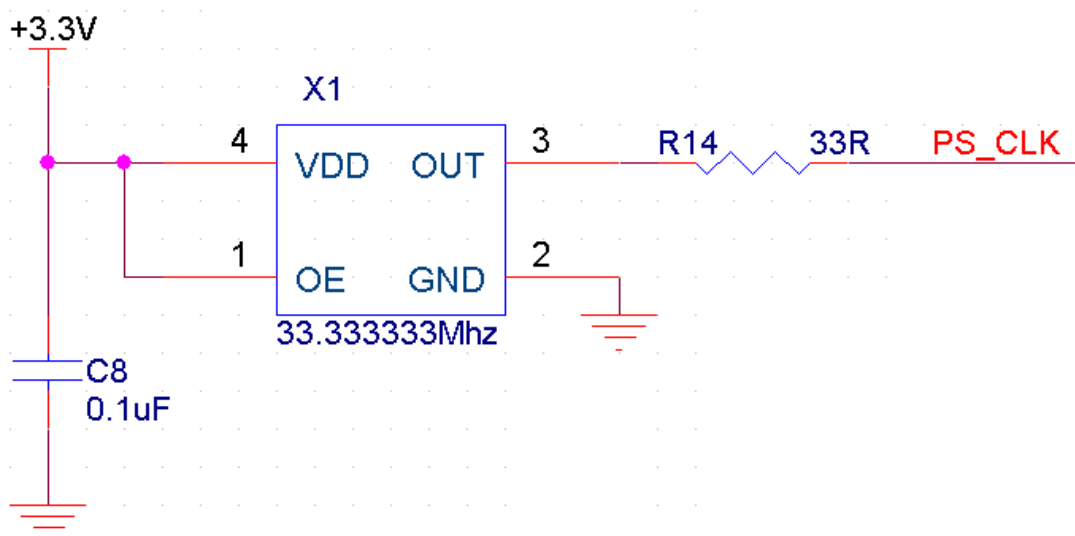


图 2-6-1 PS 部分的有源晶振

时钟引脚分配：

信号名称	ZYNQ 引脚
PS_CLK_500	F7

4.2 PL 系统时钟源

AC7021B 核心板上提供了单端 50MHz 的 PL 系统时钟源，3.3V 供电。晶振输出连接到 FPGA BANK13 的全局时钟(MRCC)，这个 GCLK 可以用来驱动 FPGA 内的用户逻辑电路。该时钟源的原理图如图 2-6-3 所示

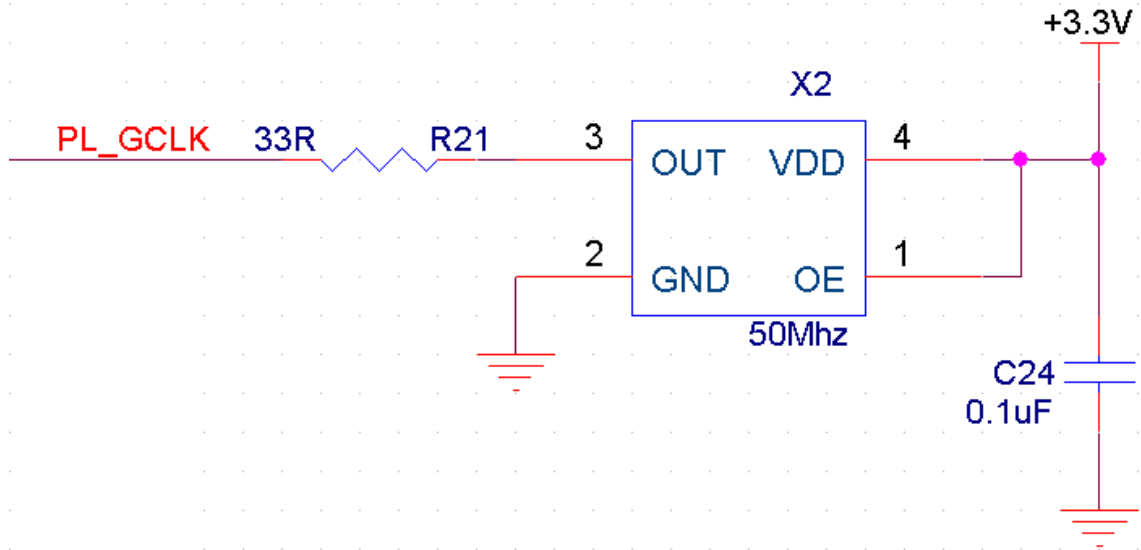


图 2-6-3 PL系统时钟源

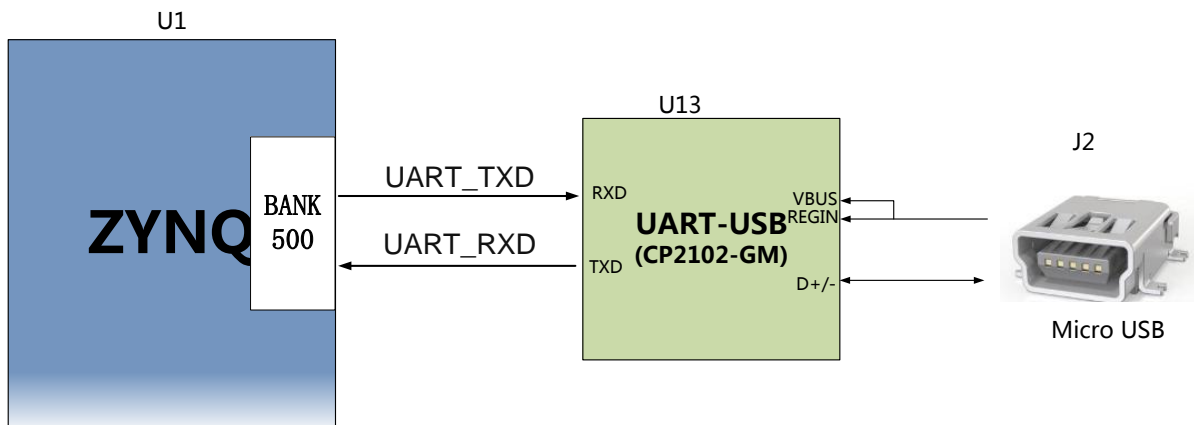
PL 时钟引脚分配：

信号名称	ZYNQ 引脚
PL_GCLK	Y9

(七) USB 转串口

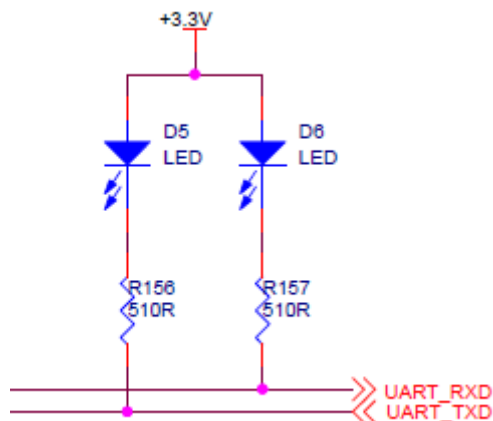
为了 AC7021B 核心板单独工作和调试，我们为核心板配备了一个 Uart 转 USB 接口。用于核心板单独供电和调试。转换芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片，USB 接口采用 MINI USB 接口，可以用一根 USB 线将它连接到上 PC 的 USB 口进行核心板的单独供电和串口数据通信。

USB Uart 电路设计的示意图如下图所示：



2-7-1 USB 转串口示意图

同时对串口信号设置了 2 个 PCB 上丝印为 RX 和 TX 的 LED 指示灯(D5 和 D6)，RX 和 TX LED 灯会指示串口是否有数据接受或者是否有数据发出，如下图所示，



2-7-3 USB 转串口信号指示灯

UART 转串口的 ZYNQ 引脚分配：

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
UART_RXD	PS_MIO14_500	B6	Uart数据输入
UART_TXD	PS_MIO15_500	E6	Uart数据输出

(八) LED 灯

AC7021B 核心板上有 6 个红色 LED 灯，其中 1 个是电源指示灯(PWR)，1 个是配置 LED 灯(DONE)，2 个是用户 LED 灯(LED1~LED2)，另外两个是 UART 的发送接收指示灯(TX,RX)。当核心板供电后，电源指示灯会亮起；当 FPGA 配置程序后，配置 LED 灯会亮起。2 个用户 LED 灯一个连接到 PS 的 MIO 上，一个连接到 PL 的 IO 上，用户可以通过程序来控制亮和灭，当连接用户 LED 灯的 IO 电压为高时，用户 LED 灯熄灭，当连接 IO 电压为低时，用户 LED 会被点亮。LED 灯硬件连接的示意图如图 2-8-1 所示：

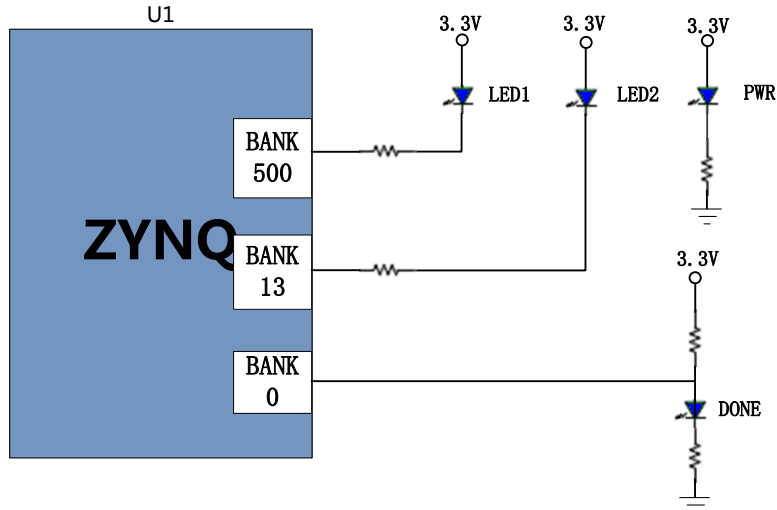


图 2-8-1 核心板 LED 灯硬件连接示意图

图 2-8-2 为核心板上的 LED 灯实物图

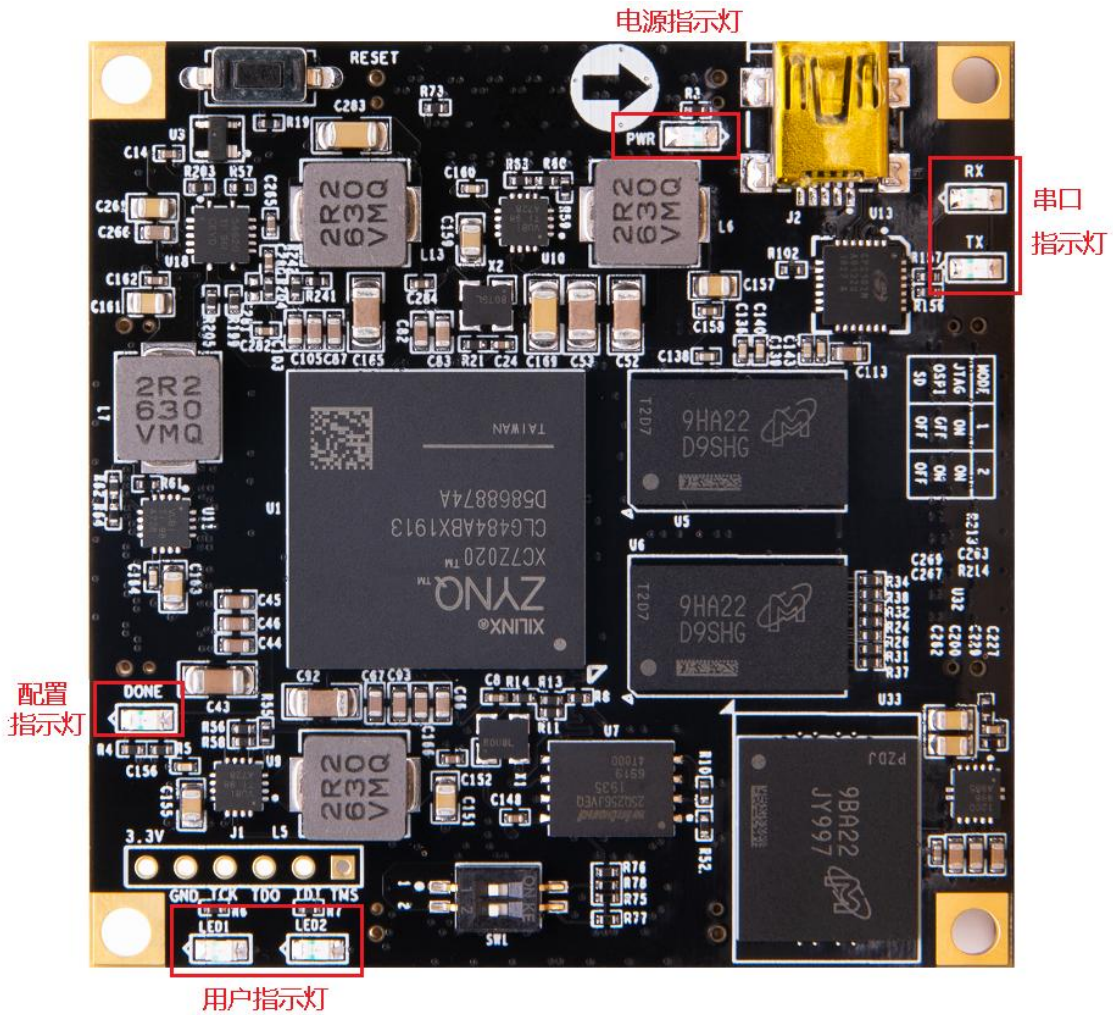


图 2-8-2 核心板的 LED 灯实物图

用户 LED 灯的引脚分配

信号名称	ZYNQ 引脚名	ZYNQ 管脚号	备注
MIO0_LED	PS_MIO0_500	G6	用户LED1灯
PL_LED	IO_0_13	R7	用户LED2灯

(九) 复位按键

AC7021B 核心板上有一个复位按键 RESET 和电路,复位信号连接到 ZYNQ 芯片 PS 复位管脚上,用户可以使用这个复位按键来复位 ZYNQ 系统。复位按键按下,复位芯片会产生低电平的复位信号给 ZYNQ 芯片。复位按键和复位芯片连接的示意图如图 2-9-1 所示:

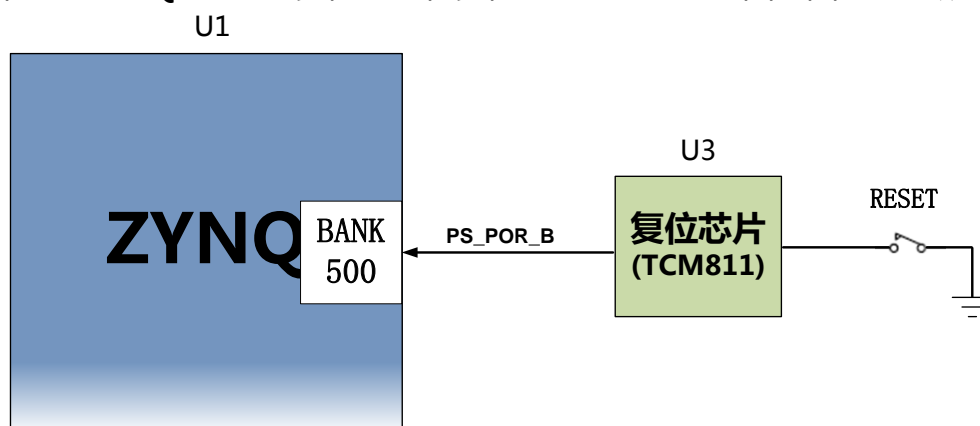


图 2-9-1 复位按键连接示意图

图 2-9-2 为复位按键和复位电路的实物图



图 2-9-2 复位按键实物图

复位按键的 ZYNQ 管脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
PS_POR_B	PS_POR_B_500	B5	ZYNQ系统复位信号

(十) JTAG 接口

在 AC7021B 核心板上我们也预留了 JTAG 的测试座 J1,用来核心板单独 JTAG 下载和调试,图 2-10-1 就是 JTAG 口的原理图部分,其中涉及到 TMS,TDI,TDO,TCK,GND,+3.3V 这六个信号。

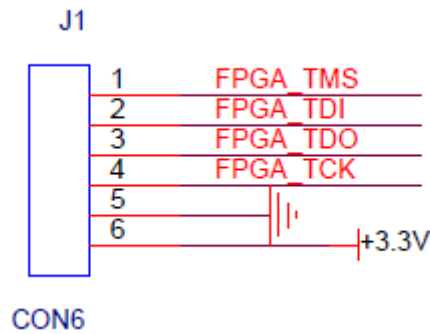


图 2-10-1 核心板原理图中 JTAG 接口部分

核心板上 JTAG 接口 J1 采用 6 针的 2.54mm 间距的单排测试孔，用户如果需要在核心板上用 JTAG 连接调试的话，需要焊接 6 针的单排排针。图 2-10-2 为 JTAG 接口在开发板上的实物图



图 2-10-2 JTAG 接口实物图

(十一) 拨码开关配置

AC7021B 核心板上有一个 2 位的拨码开关 SW1 用来配置 ZYNQ 系统的启动模式。AC7021B 系统开发平台支持三种启动模式。这三种启动模式分别是 JTAG 调试模式, QSPI FLASH 和 SD 卡启动模式。XC7Z020 芯片上电后会检测响应 MIO 口 (MIO5 和 MIO4) 的电平来决定那种启动模式。用户可以通过核心板上的拨码开关 SW1 来选择不同的启动模式。SW1 启动模式配置如下表 2-11-1 所示。

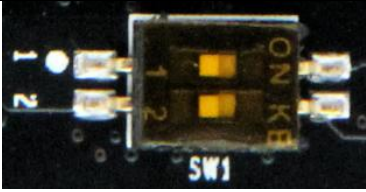
SW1	拨码位置 (1 , 2)	MIO5,MIO4电平	启动模式
	ON、ON	0、0	JTAG
	OFF、OFF	1、1	SD卡
	OFF、ON	1、0	QSPI FLASH

表2-11-1 SW1启动模式配置

(十二) 电源

AC7021B 核心板供电电压为 DC5V，单独使用时通过 Mini USB 接口供电，连接底板时通过底板供电，请注意不要 Mini USB 和底板同时供电，以免造成损坏。板上的电源设计示意图如下图 2-12-1 所示：

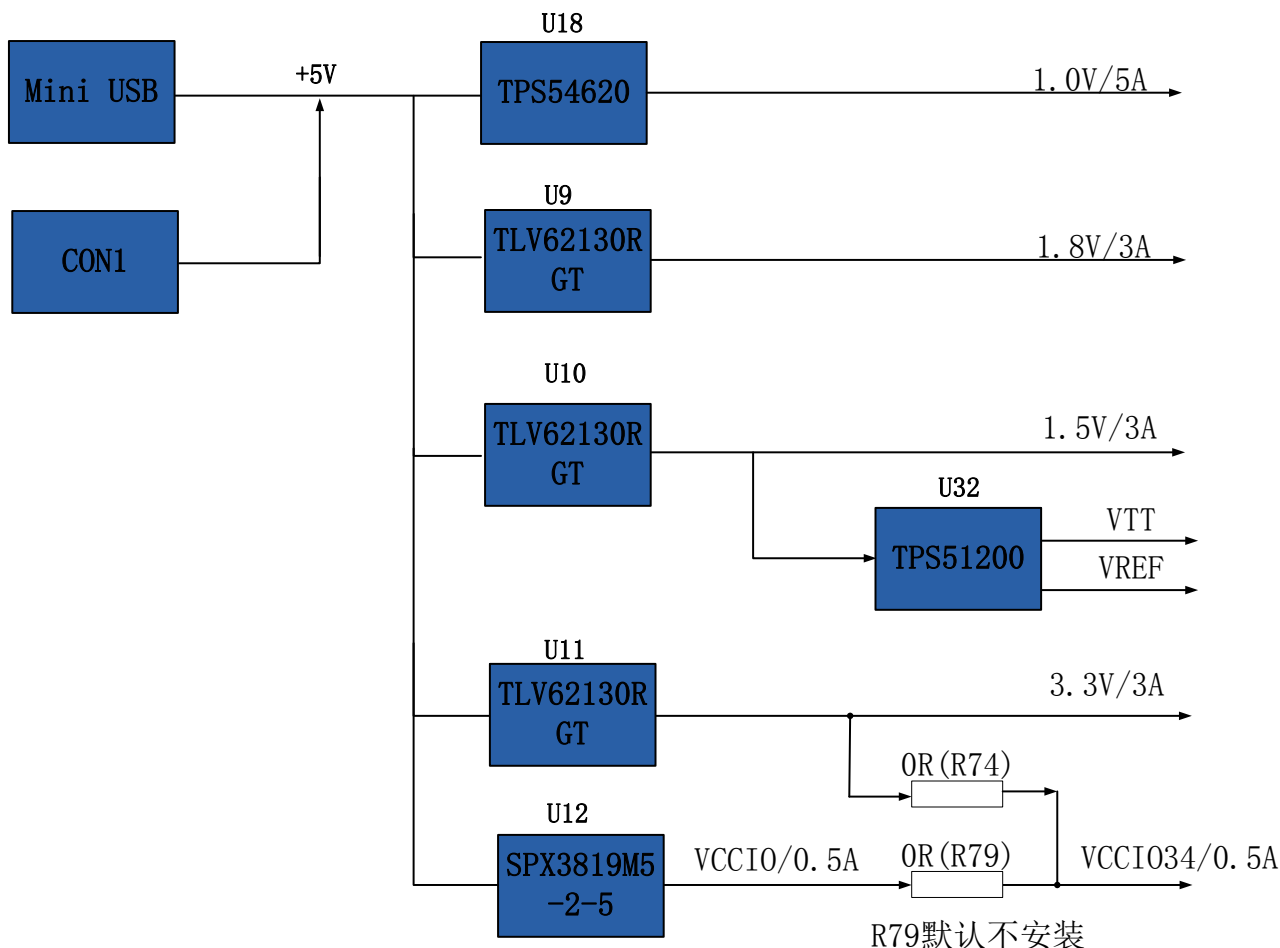


图 2-12-1 原理图中电源接口部分

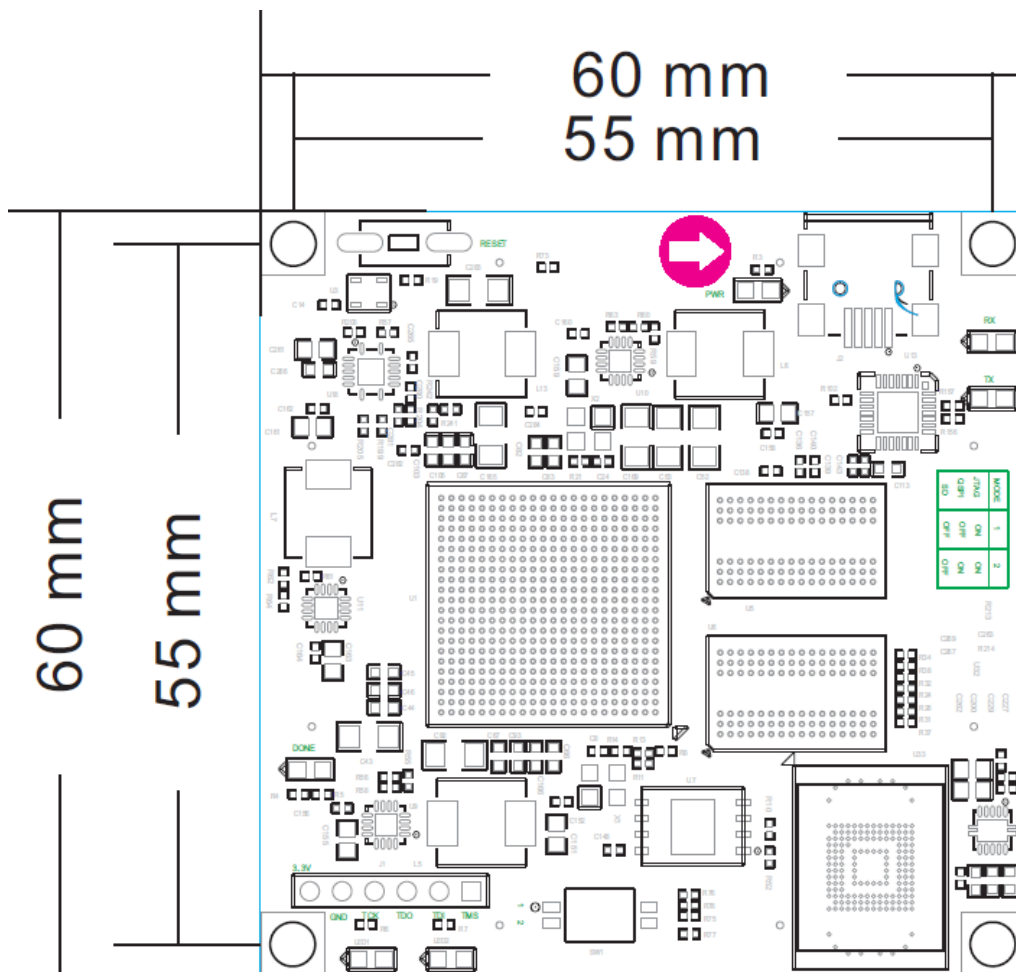
开发板通过+5V 供电，通过四路 DC/DC 电源芯片 TPS54620 和 TLV62130RGT 转化成 +1.0V，+1.8V，+1.5V，+3.3V 四路电源，+1.0V 输出电流可高达 5A，其它 3 路电源为 3A。通过一路 LDO SPX3819M5-2-5 产生 VCCIO 2.5V 电源，VCCIO 2.5V 电源只要是预留留给 FPGA 的 BANK33，BANK34 的 BANK 电源，用户可以通过 2 个 0 欧姆电阻(R74,R79)来选择 BANK33 和 BANK34 的电源。默认开发板上 R74 是安装的，R79 的电阻是不安装的，所以 BANK33，BANK34 的电源是+3.3V 的。用户可以通过更换电阻，使得 BANK33，34 的 IO 输出 2.5V 的电压标准。1.5V 通过 TI 的 TPS51200 生成 DDR3 需要的 VTT 和 VREF 电压。各个电源分配的功能如下表所示：

电源	功能
+1.0V	ZYNQ PS 和 PL 部分的内核电压

+1.8V	ZYNQ PS 和 PL 部分辅助电压 ,BANK501 IO 电压 , eMMC
+3.3V	ZYNQ Bank0,Bank500 , Bank13 , Bank35 的 VCCIO, QSIP FLASH, Clock 晶振
+1.5V	DDR3, ZYNQ Bank501
VREF, VTT (+0.75V)	DDR3
VCCIO(+2.5V)	预留为 ZYNQ Bank33, Bank34

因为 ZYNQ FPGA 的电源有上电顺序的要求，在电路设计中，我们已经按照 芯片的电源要求设计，上电依次为+1.0V->+1.8V-> (+1.5 V、+3.3V、VCCIO) 的电路设计，保证芯片的正常工作。

(十三) 结构图



正面图 (Top View)

(十四) 连接器管脚定义

核心板一共扩展出 4 个高速扩展口，使用 4 个 80Pin 的板间连接器 (CON1~CON4) 和底板连接，连接器的 PIN 脚间距为 0.5mm (连接器型号 AXK580137YG ，底板对应的连接器型号为 AXK680337YG)。其中 CON1 连接电源输入，PS 的 MIO 信号和 JTAG 信号，CON2~CON4 连接 PL 的 BANK13 , BANK33 , BANK34 , BANK35 的 IO 信号。BANK33 和 BANK34 的 IO 电平可以通过更换板上的 LDO 芯片 (U12) 来改变电平标准，默认是 3.3V。

CON1 连接器的引脚分配

CON1 管脚	信号名称	ZYNQ 引脚号	CON1 管脚	信号名称	ZYNQ 引脚号
1	+5V	-	2	+5V	-
3	+5V	-	4	+5V	-
5	+5V	-	6	+5V	-
7	+5V	-	8	+5V	-
9	GND	-	10	GND	-
11	PS_MIO13	A6	12	ETH_TXD0	E9
13	PS_MIO12	C5	14	ETH_TXD1	A7
15	-	-	16	ETH_TXD2	E10
17	-	-	18	ETH_TXD3	A8
19	GND	-	20	GND	-
21	-	-	22	ETH_TXCK	D6
23	-	-	24	ETH_TXCTL	F11
25	-	-	26	ETH_RXD3	A13
27	-	-	28	ETH_RXD2	F12
29	GND	-	30	GND	-
31	PS_MIO7	D5	32	ETH_RXD1	B7
33	PS_MIO8	E5	34	ETH_RXD0	E11
35	PS_MIO9	C4	36	ETH_RXCTL	D7
37	PS_MIO11	B4	38	ETH_RXCK	A14
39	GND	-	40	GND	-
41	-	-	42	ETH_MDC	D10

43	-	-	44	ETH_MDIO	C12
45	-	-	46	OTG_STP	A11
47	-	-	48	OTG_DIR	E8
49	GND	-	50	GND	-
51	XADC_VP	L11	52	OTG_CLK	A9
53	XADC_VN	M12	54	OTG_NXT	F9
55	-	-	56	OTG_DATA0	C7
57	PS_MIO10	G7	58	OTG_DATA1	G13
59	GND	-	60	GND	-
61	SD_CLK	E14	62	OTG_DATA2	B12
63	SD_D1	B11	64	OTG_DATA3	F14
65	SD_D0	D8	66	OTG_DATA4	A12
67	SD_CMD	C8	68	OTG_DATA5	B14
69	GND	-	70	GND	-
71	SD_D3	B9	72	OTG_DATA6	F13
73	SD_D2	E13	74	OTG_DATA7	C13
75	-	-	76	-	-
77	FPGA_TMS	G12	78	FPGA_TCK	G11
79	FPGA_TDO	G14	80	FPGA_TDI	H13

CON2 连接器的引脚分配

CON2 管脚	信号名称	ZYNQ 引脚号	CON2 管脚	信号名称	ZYNQ 引脚号
1	B13_L1_N	V9	2	B33_L4_N	W21
3	B13_L1_P	V10	4	B33_L4_P	W20
5	B33_L10_P	AB19	6	B33_L3_N	W22
7	B33_L10_N	AB20	8	B33_L3_P	V22
9	GND	-	10	GND	-
11	B13_L4_N	W12	12	B33_L2_N	U22
13	B13_L4_P	V12	14	B33_L2_P	T22
15	B34_L6_N	M16	16	B13_L5_N	U11
17	B34_L6_P	M15	18	B13_L5_P	U12

19	GND	-	20	GND	-
21	B13_L12_N	Y8	22	B33_IO25	U14
23	B13_IO25	U7	24	B34_IO25	R15
25	B13_L23_N	W7	26	B13_L6_P	U10
27	B13_L23_P	V7	28	B13_L6_N	U9
29	GND	-	30	GND	-
31	B13_L13_N	Y5	32	B13_L19_P	R6
33	B13_L13_P	Y6	34	B13_L19_N	T6
35	B13_L24_N	W5	36	B13_L22_P	U6
37	B13_L24_P	W6	38	B13_L22_N	U5
39	GND	-	40	GND	-
41	B33_L11_P	Y19	42	B13_L20_P	T4
43	B33_L11_N	AA19	44	B13_L20_N	U4
45	B33_L5_P	U20	46	B13_L3_P	W11
47	B33_L5_N	V20	48	B13_L3_N	W10
49	GND	-	50	GND	-
51	B33_L1_P	T21	52	B13_L10_P	Y11
53	B33_L1_N	U21	54	B13_L10_N	Y10
55	B13_L7_P	AA12	56	B13_L2_P	V8
57	B13_L7_N	AB12	58	B13_L2_N	W8
59	GND	-	60	GND	-
61	B13_L8_N	AB11	62	B13_L14_P	AA7
63	B13_L8_P	AA11	64	B13_L14_N	AA6
65	B13_L9_N	AB9	66	B13_L16_P	AB5
67	B13_L9_P	AB10	68	B13_L16_N	AB4
69	GND	-	70	GND	-
71	B13_L11_N	AA8	72	B13_L18_N	AA4
73	B13_L11_P	AA9	74	B13_L18_P	Y4
75	B13_L17_N	AB6	76	B13_L15_P	AB2
77	B13_L17_P	AB7	78	B13_L15_N	AB1
79	B13_L21_N	V4	80	B13_L21_P	V5

CON3 连接器的引脚分配

CON3 管脚	信号名称	ZYNQ 引脚号	CON3 管脚	信号名称	ZYNQ 引脚号
1	B34_L2_P	J16	2	B34_L12_N	L19
3	B34_L2_N	J17	4	B34_L12_P	L18
5	B34_L11_P	K19	6	B34_L10_N	L22
7	B34_L11_N	K20	8	B34_L10_P	L21
9	GND	-	10	GND	-
11	B34_L7_P	J18	12	B34_L3_N	L16
13	B34_L7_N	K18	14	B34_L3_P	K16
15	B34_L1_P	J15	16	B34_L15_N	M22
17	B34_L1_N	K15	18	B34_L15_P	M21
19	GND	-	20	GND	-
21	B34_L17_P	R20	22	B34_L16_P	N22
23	B34_L17_N	R21	24	B34_L16_N	P22
25	B34_L14_N	N20	26	B34_L20_N	P18
27	B34_L14_P	N19	28	B34_L20_P	P17
29	GND	-	30	GND	-
31	B34_L5_N	N18	32	B34_L13_P	M19
33	B34_L5_P	N17	34	B34_L13_N	M20
35	B33_L9_P	Y20	36	B34_L21_N	T17
37	B33_L9_N	Y21	38	B34_L21_P	T16
39	GND	-	40	GND	-
41	B33_L8_P	AA21	42	B33_L6_N	V19
43	B33_L8_N	AB21	44	B33_L6_P	V18
45	B33_L12_N	AA18	46	B33_L16_P	U17
47	B33_L12_P	Y18	48	B33_L16_N	V17
49	GND	-	50	GND	-
51	B33_L13_P	W17	52	B33_L17_N	AB17
53	B33_L13_N	W18	54	B33_L17_P	AA17
55	B33_L18_N	AB16	56	B33_L7_P	AA22
57	B33_L18_P	AA16	58	B33_L7_N	AB22

59	GND	-	60	GND	-
61	B33_L21_N	Y15	62	B33_L19_N	V15
63	B33_L21_P	W15	64	B33_L19_P	V14
65	B33_L24_P	AB14	66	B33_L15_N	U16
67	B33_L24_N	AB15	68	B33_L15_P	U15
69	GND	-	70	GND	-
71	B33_L23_N	AA13	72	B33_L14_P	W16
73	B33_L23_P	Y13	74	B33_L14_N	Y16
75	B33_L20_N	W13	76	B33_L22_P	Y14
77	B33_L20_P	V13	78	B33_L22_N	AA14
79	B34_IO0	H15	80	B33_IO0	U19

CON4 连接器的引脚分配

CON4 管脚	信号名称	ZYNQ 引脚号	CON4 管脚	信号名称	ZYNQ 引脚号
1	B35_L7_N	B15	2	B35_L9_P	A16
3	B35_L7_P	C15	4	B35_L9_N	A17
5	B35_L8_P	B16	6	B35_L10_P	A18
7	B35_L8_N	B17	8	B35_L10_N	A19
9	GND	-	10	GND	-
11	B35_L11_N	C18	12	B35_L15_P	A21
13	B35_L11_P	C17	14	B35_L15_N	A22
15	B35_L13_N	B20	16	B35_L18_N	B22
17	B35_L13_P	B19	18	B35_L18_P	B21
19	GND	-	20	GND	-
21	B35_L14_N	C20	22	B35_L16_N	C22
23	B35_L14_P	D20	24	B35_L16_P	D22
25	B35_L12_P	D18	26	B35_L17_N	D21
27	B35_L12_N	C19	28	B35_L17_P	E21
29	GND	-	30	GND	-
31	B35_L2_N	D17	32	B35_L23_N	F22
33	B35_L2_P	D16	34	B35_L23_P	F21
35	B35_L1_N	E16	36	B35_L22_N	G21

37	B35_L1_P	F16	38	B35_L22_P	G20
39	GND	-	40	GND	-
41	B35_L21_P	E19	42	B34_L8_N	J22
43	B35_L21_N	F19	44	B34_L8_P	J21
45	B35_L24_P	H22	46	B35_L20_N	F19
47	B35_L24_N	G22	48	B35_L20_P	G19
49	GND	-	50	GND	-
51	B35_L6_P	G17	52	B35_L19_N	H20
53	B35_L6_N	F17	54	B35_L19_P	H19
55	B35_L4_P	G15	56	B34_L9_P	J20
57	B35_L4_N	G16	58	B34_L9_N	K21
59	GND	-	60	GND	-
61	B35_L3_N	D15	62	B35_IO25	H18
63	B35_L3_P	E15	64	B35_IO0	H17
65	B34_L24_N	R16	66	B34_L4_P	L17
67	B34_L24_P	P16	68	B34_L4_N	M17
69	GND	-	70	GND	-
71	B34_L23_P	R18	72	B34_L18_N	P21
73	B34_L23_N	T18	74	B34_L18_P	P20
75	B35_L5_P	F18	76	B34_L22_P	R19
77	B35_L5_N	E18	78	B34_L22_N	T19
79	B34_L19_P	N15	80	B34_L19_N	P15